

VHDL을 이용한 PWM 컨버터의 구현

백공현, 주형준, 이호성, 임용곤*, 이흥호
 충남대학교 전기공학과, 해양연구소*

Embodiment fo PWM converter by using the VHDL

Baek, Kong-hyun Joo, Hyung-jun Lee, Hyo-sung Lim, Yong-kon Lee*, Heung-ho
 Chungnam National University, Korea Ocean Research & Development Institute*

Abstract - The invention of VHDL(Very High Speed Integrated Circuit Hardware Description Language), Technical language of Hardware, is a kind of turning point in digital circuit designing, which is being more and more complicated and integrated. Because of its excellency in expression ability of hardware, VHDL is not only used in designing Hardware but also in simulation for verification, and in exchange and conservation, composition of the data of designs, and in many other ways. Especially, It is very important that VHDL is a Technical language of Hardware standardized by IEEE, intenational body with an authority.

The biggest problem in modern circuit designing can be pointed out in two way. One is a problem how to process the rapidly being complicated circuit complexity. The other is minimizing the period of designing and manufacturing to survive in a cutthroat competition. To promote the use of VHDL, more than a simple use of simulation by VHDL, it is requested to use VHDL in composing logical circuit with chip manufacturing. And, by developing the quality of designing technique, it can contribute for development in domestic industry related to ASIC designing.

In this paper in designing SMPS(Switching mode power supply), programming PWM by VHDL, it can print static voltage by the variable load, co nnect computer to chip with byteblaster, and download in Max(EPM7064SLC84 - 5)chip of ALTER.

To achieve this, it is supposed to use VHDL in modeling, simulating, compositing logic and product of the FPGA chip. Despite its limit in size and operating speed caused by the specific property of FPGA chip, it can be said that this method should be introduced more aggressively because of its prompt realization after designing.

1. 서 론

하드웨어 기술 언어인 VHDL(Very High Speed Integrated Circuit Hardware Description Language)의 등장은 갈수록 복잡해지고 집적도가 높아지는 디지털 회로의 설계분야에 새로운 장을 여는 계기라고 할 수 있다. VHDL은 하드웨어 표현 능력이 우수하여 하드웨어 설계뿐만 아니라 검증용을 위한 시뮬레이션, 설계 정보의 교환 및 보존, 합성 등 여러 가지 용도로 사용될 수 있으며 특히 세계적으로 권위 있는 기구인 IEEE가 최초로 표준화한 하드웨어 기술언어이므로 중요한 의미를 가진다고 말할 수 있다.

현대의 회로 설계에 있어서의 가장 큰 문제는 대개 두

가지 점으로 집약된다. 하나는, 급속히 증가하는 회로의 복잡도(circuit complexity)를 어떻게 처리해야 하는가 하는 문제이고, 다른 하나는 치열한 경쟁 속에서 살아남기 위하여 절대적으로 요구되는 설계 및 생산기간의 극소화를 어떻게 실현할 수 있는가이다. 그런데 VHDL을 이용한 시뮬레이션의 단순한 사용에서 더 나아가 VHDL을 이용한 논리회로의 합성과 칩 제작을 행하여야 VHDL의 사용이 더욱 증대할 것이며 설계 기술의 질적 향상을 꾀함으로써 ASIC설계에 대한 국내 산업의 발전에 도움이 될 것이다.

본 논문에서는 SMPS(Switching mode power supply)를 설계하는데 있어서 PWM을 VHDL로 프로그램 하여 ALTERA의 Max(EPM7064SLC84 - 5)칩에 byteblaster를 컴퓨터와 칩에 연결하여 다운로드하고 회로를 설계하여 부하의 변동에 따른 정전 압을 출력하고자 하였다.

이를 구현할 수 있는 방법으로 VHDL을 이용한 모델링, 시뮬레이션, 논리합성과 FPGA 칩에 의한 칩의 제작이 제시되고 있다. FPGA칩의 특성으로 인한 크기와 동작 속도에서의 한계성은 있으나 설계 즉시 구현을 할 수 있는 장점으로 인하여 이 방법은 보다 적극적으로 도입되어야 할 것으로 생각된다.

2. VHDL의 기본

2.1 VHDL 소개

ALTERA의 MAX+plusⅡ의 소프트웨어는 스케매틱에 의한 설계방법과 HDL에 의한 설계방법 2가지가 있다. 스케매틱에 의한 설계방법은 기존의 방법으로써 회로의 설계, 검증 및 유지보수에 있어서 여러 가지 문제점이 있다. 따라서 근래에는 표준화된 HDL인 VHDL을 이용하여 디지털 회로 설계와 구현을 주로 한다. 이 VHDL에 의한 설계는 스케매틱과 그 밖의 HDL에 의한 설계와 달리 IEEE 표준으로 제정되어 대부분의 CAD업체가 이 표준 설계방식을 따르고 있다. 따라서 설계자는 CAD 업체 및 관련 PLD제조업체와 무관하게 회로를 설계할 수 있게 되었다. 따라서 현재 거의 모든 설계자들이 VHDL에 의한 설계방식을 선호하고 있으며, 본 논문에서도 VHDL에 의한 설계방식을 채택하였다. VHDL을 이용하여 디지털 회로 설계를 하기 위해서 우선 VHDL의 특징을 살펴보고 기본 설계방식을 알아본다.

2.2 VHDL의 특징

VHDL의 특징을 요약하면 다음과 같다.

첫째, 표준으로 공인된 HDL,

VHDL은 IEEE에 의해 공인되어 미국정부 및 업체와 업체간의 하드웨어 개발과 상호교환 문서화에 표준 언어로 사용되고 있다. 둘째, 특정기술 및 공정에 무관, VHDL은 특정 ASIC(Application Specific IC)업체의 특정 기술이나 공정에 무관하게 사용할 수 있다.

셋째, 광범위한 기술 능력, VHDL은 시스템 레벨에서

게이트 레벨까지 다양한 하드웨어 회로 구현이 가능하다. 따라서 전체 시스템의 동작에 대한 고수준의 표현과 그것에 부속되는 서브시스템과 서브시스템의 개개 단위 구성에 이르기까지 회로 표현이 가능하게 되어 있다. 그 결과 VHDL의 사용자는 개개 구성에서부터 여러 가지 모델을 적용시켜 점진하게 하여 그 시스템에 가장 적합한 구성요소를 선택할 수 있다. 또한 VHDL 사용자는 시스템의 한 구성요소를 변경하거나, 타 업체에서 이용되고 있는 설계 단위로 교환하거나, 혹은 기존의 것을 재사용 할 수가 있다. 그리고 전체 시스템의 설계공정과 상관없이 먼저 개발된 서브시스템 레벨을 시뮬레이션하고 검증하는 등 설계과정의 병행수행을 할 수도 있다. 그리고 VHDL은 대규모 설계를 위한 설계의 공유, 검증, 관리를 지원하기 위해 패키지, 구성요소, 및 하나의 entity에 따른 여러개의 architecture body 표현등을 지원한다.

2.3 VHDL의 설계단위 표현

VHDL에서 독립적으로 분석할 수 있는 VHDL File을 설계단위라고 부른다. 이러한 설계 단위는 VHDL 해석기에 의해 분석되어 VHDL Library에 독립적으로 저장된다. 따라서 이러한 설계단위는 모듈단위로 분리됨으로써 여러 설계에 이용 될 수 있다. VHDL 설계 단위는 5개의 종류가 있다.

그림 2.1은 5개의 설계단위들에 대한 설명이다. 그리고 이 5개의 설계단위는 크게 Primary unit와 Secondary unit로 구분된다. Primary unit은 설계단위를 외적 관점에서 본 것이다.

	Primary unit	Secondary unit
하드웨어 계층	entity configuration	architecture body
	package	

그림 2.1 5가지의 설계단위

Primary unit은 주로 외부와의 인터페이스를 담당하고 그 Primary의 내부 내용은 Secondary unit에서 표현하는 것이다. 따라서 Secondary unit은 Primary unit의 내적 표현이다. 그림은 Primary unit와 Secondary unit의 개념을 이해시키기 위한 것이다. Primary unit은 entity와 configuration 및 package가 있고, Secondary unit는 architecture body와 package body가 있다. 그리고 이들 5개의 설계단위는 하드웨어 계층과 소프트웨어 계층으로 구분할 수 있다. entity와 configuration 및 architecture body는 하드웨어 계층에 속하고 package와 package body는 자주 사용되는 VHDL의 표현의 자료 형이나 프로그램의 일부를 부프로그램하여 지정해준 것으로 소프트웨어 계층에 속한다.

3. Half-bridge 컨버터

Bridge형 컨버터는 절연형 컨버터의 또 다른 예로서 출력 용량이 500W급 이상의 중대 전력용으로 많이 응용되고 있는 컨버터이다. Bridge형 컨버터 회로의 종류로는 스위치의 개수와 위치형태에 따라 Half-bridge와 Full-bridge 컨버터로 나눌 수 있다. 이 컨버터 역시 Forward 컨버터와 같이 고주파 절연 트랜스포머를 제외하면 Buck 컨버터와 그 기본동작이 동일하다.

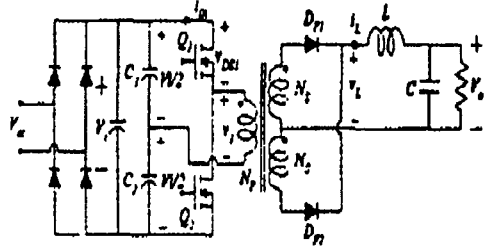


그림 3.1 Half-bridge 컨버터.

그림 3.1는 Half-bridge 컨버터의 기본회로도 및 각부의 이론적인 파형을 나타낸다. 컨버터 회로의 구성을 보면 입력커패시터, 두 개의 스위치, 트랜스포머, 다이오드 출력필터 등으로 구성되어 있는데 입력 커패시터는 각각 입력전압을 반분하고 있다. 스위치 Q1이 도통하면 입력 전류는 Q1과 트랜스포머 1차 권선을 통하여 흐름과 동시에 2차측으로 전달되고 다이오드 D1을 도통시켜 출력필터 인덕턴스 L을 통하여 출력측으로 흐르게 된다. 이 때 L에는 에너지가 축적되며 트랜스포머의 1차측 권선에는 흑점을 기준으로 할 때 $V_1/2$ 의 전압이 걸린다. 다음 스위치 Q1, Q2 모두가 차단되며 L에 축적되었던 에너지는 다이오드 D1, D2를 환류패스로 하여 출력측으로 방출되며 트랜스포머의 전압은 0이 된다.

스위치 Q2가 도통하면 입력전류(C_2 의 전압으로부터)는 트랜스포머의 1차측 권선과 Q2를 통하여 흐름과 동시에 2차측으로 전달되고 D2를 도통시켜 L을 통하여 출력측으로 흐르게 된다. 이 때 L에는 다시 에너지가 축적하게 되며 트랜스포머 1차측 권선에는 흑점을 기준으로 할 때 $-V_1/2$ 의 전압이 걸린다. 다음 Q1, Q2 모두가 차단되면 L에 축적됐던 에너지는 D1, D2를 환류패스로 하여 출력측으로 방출되며 트랜스포머 전압은 0이 된다. 이 과정을 한 주기로 하여 반복이 되면서 컨버터가 동작하게 되는데, 그림 3.2의 파형으로부터도 알 수 있듯이 스위치 Q1 및 Q2가 도통, 차단되는 동작은 서로 대칭적이므로 출력측에서의 파형을 고려할 때는 스위칭 주파수가 2배로 증가함을 알 수 있다.

Half-bridge 컨버터 역시 Buck 컨버터와 그 기본특성이 동일한 컨버터임을 알 수 있다. 이 Half-bridge 컨버터에서 부하의 전압 변동을 A/D컨버터로 받아서 전압변동의 아날로그 값을 디지털로 바꾸어서 Max칩에 보내 펄스폭을 조정하여 두개의 스위치를 가동시키도록 설계하였다.

4. Max 칩을 이용한 회로 설계

PLD는 게이트 용량에 따라 저밀도 PLD와 고밀도 PLD로 나눌 수 있다. 저밀도는 주로 PAL과 거의 유사한 구조를 가지고 있으며, 내부 게이트 용량은 약 100개 정도로 간단한 로직을 구현할 수 있게 되어 있다.

이에 반해 고밀도 PLD는 저밀도 PLD보다 높은 집적도의 PLD로 구성되어 있다. 고밀도 PLD는 내부구조에 따라 CPLD(Complex Programmable Logic Device)와 FPGA(Field Programmable Gate Array)로 나뉜다. CPLD는 PAL과 같은 내부 로직 블록을 여러 개를 가지고 있다. 그림4.1는 CPLD의 구조를 나타낸 것이다. 이 구조는 ALTERA사의 MAX 7000E의 예를 든 것이다. 이 구조를 살펴보면 내부에 여러 개의 LAB(Logic Array Block)와 LAB의 연결선인 PIA(Programmable Interconnection Array)로 되어 있다. 이 LAB는 각각 복잡한 PAL과 같은 로직으로 되어 있으며, 몇 개의 Macrocell로 구성된다.

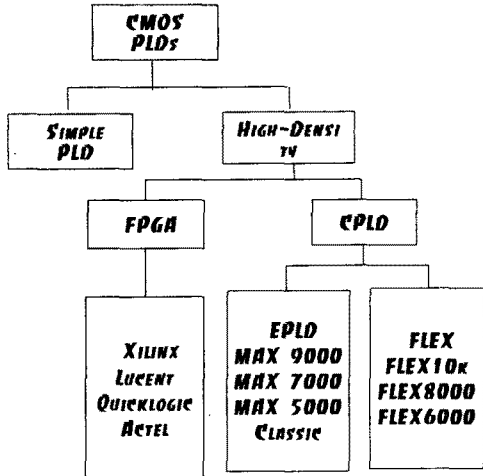


그림 4.1 Logic Device

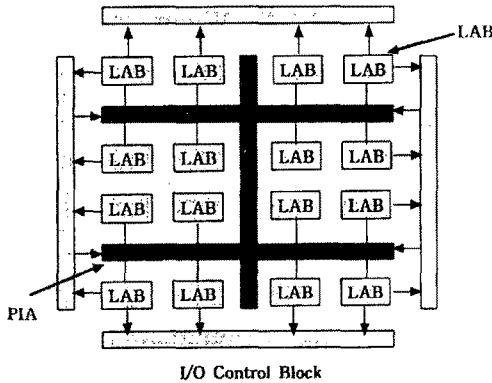


그림 4.2 CPLD 구조 : MAX 7000E(s)

매크로셀은 3가지의 Function Block 으로 구성되는데 이는 Product term(프로그램 가능한 AND 라인)과 product-term select matrix(프로그램 가능한 AND 라인의 출력 선을 OR하기 위한 선택선) 및 programmable register로 이루어진다. 조합논리회로는 Product term 과 product-term select matrix에 의해 만들어 지고 그 출력이 programmable register로 입력된다. 따라서 매크로셀은 조합회로와 순차회로 모두 구현이 가능하다. 매크로셀에는 보다 많은 로직을 구현하기 위해서 동일 LAB 내에 있는 다른 매크로셀의 Product term을 이용할 수 있다. 그림 4.2에서 보는 바와 같이 CPLD의 구조는 LAB의 연결상태에 무관하게 라우팅 딜레이가 일정하며 타이밍 예측이 가능하게 한 것이 특징이다. FPGA는 CPLD와 달리 복잡한 LAB를 사용하지 않고 비교적 간단하고 동일한 단위 PLD로 여러 개 나열되어 있는 형태이다. CPLD의 경우에는 LAB가 매우 복잡한 구조, 즉 내부에 Embedded Array Block으로 구성될 수 있어 RAM, ROM 및 FIFO 등의 특수 형태가 존재할 수 있으나 FPGA의 경우에는 간단하며 논리블록의 배열로 되어 있는 것이 특징이다. 그림 4.3은 FPGA의 구조를 나타낸 것이다, 각각의 논리 블록간에는 segmented Interconnect를 쓰기 때문에 연결 상태에 따라 내부의 연결 길이가 변경될 수가 있다. 그러므로 연결 상태에 따라 라우팅 딜레이가 다르게 되어 타이밍의 예측이 어렵고 논리소자의 기능 또한 CPLD의 구조에 비해 떨어진다. 그러나 사용자가 사용할 수 있는 게이트 용량이 대규모이며 CPLD보다 많다는 장점을 가지고 있다. 이러한 FPGA의 대표적 제조회사로서는 Xilinx, Quicklogic

및 Actel 등이 있다.

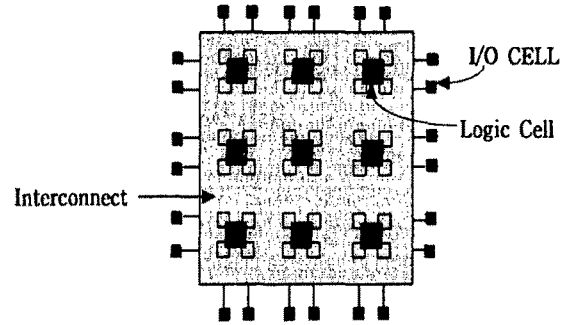
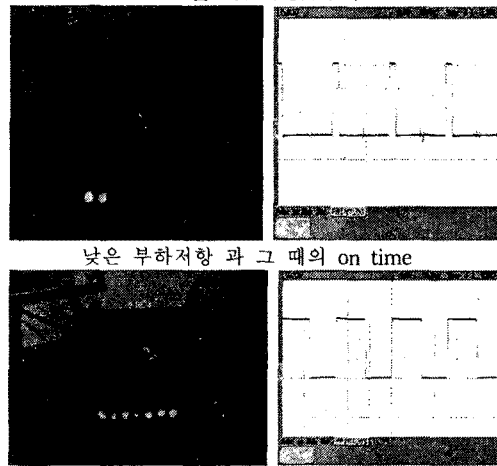


그림 4.3 FPGA의 구조



높은 부하저항과 그 때의 on time

5. 결 론

본 논문에서는 현대의 갈수록 복잡해지고 집적도가 높아지는 디지털 회로의 설계분야에 새로운 장을 여는 계기라고 할 수 있는 하드웨어 기술언어인 VHDL을 이용하여 PWM을 설계하였다.

현대의 회로 설계에 있어서의 가장 큰 문제는 대개 두 가지 점으로 집약되는데 하나는 급속히 증가하는 회로의 복잡도를 어떻게 처리해야 하는가 하는 문제이고, 다른 하나는 치열한 경쟁 속에서 살아남기 위하여 절대적으로 요구되는 설계 및 생산기간의 극소화를 어떻게 실현할 수 있는 가인데 본 논문의 실험에서는 VHDL을 이용함으로써 해서 두 가지 문제점에 접근하여 다소 효과를 얻었다고 할 수 있겠다. 시뮬레이션 결과에서도 보여주듯이 부하의 값을 가변시켜 부하 전압이 높을 때와 낮을 때의 두 경우에 대해 펄스폭이 가변되어 일정 출력 전압을 낼 수 있음을 알 수 있었다. VHDL을 이용한 논리회로의 합성과 칩 제작을 행하여야 VHDL의 사용이 더욱 증대할 것이며 설계 기술의 질적 향상을 꾀함으로써 ASIC설계에 대한 국내 산업의 발전에 도움이 될 것이다.

[참고 문헌]

- [1] Vijai K. Madiseti, VLSI Digital Signal Processors, Butterworth - Heinemann, pp. 121-129,1995,
- [2] 홍 수환, 선우 명훈, "Slim 이미지 프로세서 칩 설계 및 구현," 전자공학회 논문지, 제33권 A편 제10호, pp. 186-194, 1996.10.
- [3] 박세현 "하드웨어 엔지니어를 위한 VHDL" 도서출판 그린, pp. 2-22,1999.