

전자회로 보드의 RLC 병렬회로 검사를 위한 위상검출회로 설계

한길희·이경호·임철수·최병근·고윤석
 남서울 대학교

Phase Detector Design for Inspection of a RLC Parallel Circuit on the Electronic Circuit Board

Kil-Hee Han · Kyoung-Ho Lee · Chul-soo Lim · Bung-Gun Choi · Yun-Seok Ko
 NamSeoul University Electronics Engineering

Abstract -This paper proposes the test method for the testing of a RLC parallel circuit on the electronic circuit board. This method utilizes a guarding circuit and a phase detection circuit. The guarding circuit separates electrically the tested device or circuit from printed circuit board. Phase detector estimates the phase difference from two signals, voltage and current. This method computes R, L and C value from phase difference(θ) and impedance value(Z) obtained by enforcing two other frequency stimulus under the guarding state.

1. 서 론

최근 전자관련 산업은 자동화된 표면실장기술(SMT)을 도입하여 제품의 생산성을 크게 제고하고 있는데, 전자 소자를 회로 보드에 실장하는 과정에서 부품 자체의 불량은 물론 오삽, 미삽 역삽 등 다양한 원인에 의해 제품의 불량이 발생할 수 있다[1-3]. 그러므로 생산라인의 최종단계에 실장 회로보드 검사 시스템을 도입하여 회로 보드상의 소자 및 회로를 검사. 불량소자 회로를 확인함으로써 제품의 품질을 고도화시키고 있다. 그러나 실장된 전자회로 보드는 회로패턴과 소자들에 의해 회로망이 구성되기 때문에 각 소자나 회로를 정확하게 검사하는 일은 쉽지 않다[4]. 이러한 경우 가딩기법을 이용하여 측정하고자 하는 부품이나 회로를 전기적으로 주변 회로와 분리시킨 다음 전기적인 신호를 인가하여 각 부품이나 회로를 측정하게 되는데, R,L,C 병렬회로의 경우 회로의 합성 임피던스 값만을 얻을 수 있기 때문에 기준값과 다른 상이한 R,L,C가 삽입되어 있는 경우라도 합성 임피던스 값이 허용오차 범위내에 들면 불량을 확인할 수가 없다[5-8].

이 문제는 가딩기법을 통해 R,L,C 병렬회로를 전기적으로 분리한 후 서로다른 2개의 주파수 신호를 인가하여 얻어지는 위상각과 임피던스 값으로부터 해결될 수 있다. 따라서 본 연구에서는 전자회로 보드 상에서 R,L,C 병렬회로의 소자값을 측정하기 위한 검사회로에서 기본이 되는 가딩회로를 분석하고 위상검출회로를 설계하고자 한다.

2. 가딩회로 분석

측정 병렬회로의 결합여부를 정확히 결정하기 위해서는 무엇보다도 측정 병렬회로의 임피던스 값을 정확히 측정할 수 있어야 한다. 그러나, 그림1에 보인 바와 같이 회로상의 모든 부품들이 상호 연결되어 병렬저항 성분이나 임피던스 성분을 가지게 됨으로써 회로에서 개별 소자나 회로의 임피던스 값을 정확하게 측정하는 것은 어려운 문제이다. 이러한 문제는 측정하고자 하는 디바이스를 주변회로로부터 분리하는 가딩원리에 의해 해결

될 수 있다.

가딩법에는 2단자, 3단자, 확장된 4단자, 6단자 병 등 측정의 정밀도를 제고하기 위한 다양한 기법이 있는데 본 연구에서는 3단자 정전압, 정전류 기법을 채용하기로 한다. 3단자 가딩법은 회로 보드의 임피던스 크기를 측정하기 위한 방법으로서 회로구성이 간단하고 병렬 저항 성분을 고려함으로써 정밀도 측면에서 비교적 적합한 가딩방법이다. 3단자 가딩법 중 정전류 가딩법은 측정소자가 저저항이나 다이오드, 트랜지스터인 경우 적절하다.

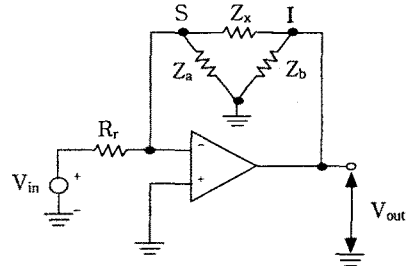


그림 1 정전류 가딩회로

3단자 가딩회로 구성은 op-amp의 케환회로 구성시 부재한 입력이 정의 입력과 동일한 전압으로 제어되는 가상단락 특성을 이용하여 그림 1과 같이 구성된다. 식 (1)은 증폭기의 출력을 표시한다. 식(1)에 보인바와 같이, 측정전압이 Zx에 비례하기 때문에 저저항이나 저임피던스를 가지는 소자 등을 측정하기에 적합하다. 그러나 op-amp 케환회로가 측정소자를 포함하기 때문에 가드하고자 하는 소자가 캐패시턴스와 결합되는 경우 케환신호가 정전압법의 최대 90도 위상전이에 비해 최대 180도의 위상전이를 보임으로써 Op-Amp 회로가 불안정해져 캐패시턴스 성분이 결합되어 있는 소자를 측정하기에는 바람직하지 않다.

$$V_{out} = -\frac{Z_x}{R_f} V_{in} \quad (1)$$

또한 측정 저항값보다 큰 배수의 저항값이 오삽되는 경우 저항 측정시 노드 I에 연결된 반도체 소자의 파괴를 가져올 수 있는데, 반도체 소자가 먼저 측정된다면 반도체 소자의 결합을 확인할 수 없다. 그리고, 측정하고자하는 저항이 커패시터와 병렬로 연결되는 경우 정전류에 의해서 커패시터가 충전됨으로써 상당한 측정 대기 시간이 요구되는 단점을 가진다. 반면에 저저항이나 다이오드, 트랜지스터 이외의 소자검사에는 3단자 정전압 가딩법을 채택한다.

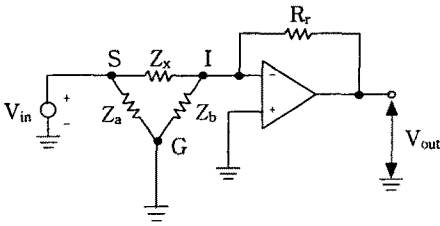


그림 2 정전압 가당회로

그림 2는 op-amp의 가상단락 특성을 이용한 3단자 정전압 가당시 회로구성을 보이며 식(2)는 증폭기 출력을 표시한다.

$$V_{out} = -\frac{R_f}{Z_x} V_{in} \quad (2)$$

op-amp 케환회로가 노드 I만을 포함함으로써 케환신호가 최대 90도 위상전이를 보여 정전류법에 비해 측정회로가 보다 안정적이기 때문에 커패시턴스와 결합된 소자를 검사하기에 적합하다. 또한 식(2)에 보인바와 같이 측정전압이 $Z_x(R_x$ 또는 $L_x)$ 에 반비례하기 때문에 높은 저항 값이나 임피던스를 포함하는 소자 등을 측정하기에 바람직하다. 특히 커패시터가 충전되는 동안 노드 I를 가상 그라운드 상태로 유지하기 위해서 증폭기의 출력이 그것의 안정상태 값을 초과하게 되어 훨씬 큰 전류를 허용함으로써 극히 작은 측정 대기시간이 요구된다.

3. 위상 검출처리회로 설계

R,L,C 위상검출처리회로는 발진부, 위상검출부, 프로세서부로 구성된다. 발진부는 회로보오드 상에서 측정하고자 하는 미지의 병렬 R,L,C회로에 대한 위상차를 얻기 위해 회로의 양단에 입력되는 일정 주파수신호를 얻기 위해 설계된다. 위상검출부는 위상차가 θ 만큼 나는 두 개의 주파수신호를 2개의 비교기에 각각 인가하여 넣어 op-amp의 비교기능에 의해서 구형파를 얻고, 위상차에 비례하는 만큼의 트리거성분을 적분하여 0~5V의 DC 값을 얻는다. 프로세서부는 DC 성분을 A/D 컨버터에 넣어 2°의 바이너리 값을 수학적 알고리즘을 통하여 위상각 θ 를 디스플레이 하게 된다. 그림 3은 위상검출회로에 대한 하드웨어 구성을 보인다.

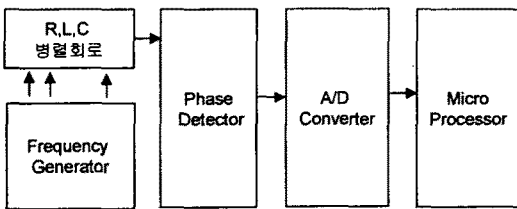


그림 3 위상검출처리회로 구성도

만약, 이 발진부에 의해서 회로의 양단에 주파수 신호가 인가될 때 R,L,C 병렬회로에서 전압과 전류의 페이저 관계는 그림 4와 같다. R,L,C 병렬회로에서 저항에 흐르는 전류 I_R 은 V_Z 와 동상이며 콘덴서에 흐르는 전류 I_C 는 V_Z 에 비해 $\pi/2$ 앞선다. 반면에 코일에 흐르는 전류 I_L 은 V_Z 에 비해 $\pi/2$ 뒤진다. 그래서 최종적으로 얻어지는 전압과 전류의 페이저도는 그림 4와 같이 표시

될 수 있다. 전압과 전류사이에는 위상차 θ 가 존재하게 되는데 유도성인 경우 전류는 전압보다 뒤지는 반면 용량성인 경우 전류는 전압보다 앞선다.

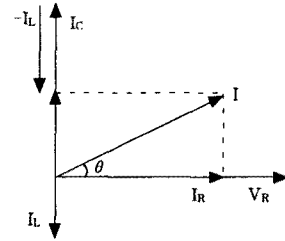


그림 4 R,L,C 병렬회로의 전압 전류 페이저도

위상검출부는 이 페이저도에 표시된 전압과 전류의 위상차를 검출하게 된다. 그림 5는 비교기로 동작하는 2개의 op-amp와 위상차에 비례하는 스위칭 소자로 동작하는 FET로 구성되는 위상검출회로의 구성을 보인다. 위상차를 가지는 두 개의 입력신호가 비교기로 동작하는 2개의 op-amp들의 각각의 입력으로 가해지면 0전위와 비교되어 두 신호는 구형파로 변하게 된다.

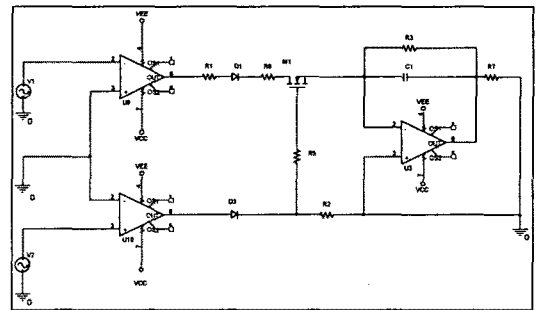


그림 5 위상검출회로

이 두개의 구형파중 하나는 FET의 입력으로 그리고 다른 하나는 스위칭 신호가 되는데, 이 스위칭 신호는 입력신호를 위상차에 비례하는 만큼 turn-on 시켜 평균치를 측정하기 위한 적분회로의 입력으로 인가시킨다.

A/D 컨버터는 위상검출기의 출력전압을 n비트의 바이너리 값으로 변환해준다. 전압범위가 0V~5V이고 출력 비트수가 8비트라면 $5V/28=0.0195V$ 가 잴 수 있는 전압의 최소 단위가 되며, 디지털 값으로 1에 해당한다. 여기서 얻은 바이너리 코드는 위상차와 전압의 비에 대한 수학적 알고리즘에 따라 출력할 수 있게 프로세서가 처리한다.

4. 실험 및 고찰

본 연구에서는 R,L,C 병렬회로 검사의 핵심이 되는 위상검출회로 설계결과의 안정성과 정확성을 검증하기 위해서 수개의 경우에 대해서 실험을 모의하였다.

먼저 그림 6과 같이 입력신호가 동상인 경우를 모의한다. 이때 FET에 가해지는 두 개의 입력신호와 스위칭 신호는 그림 7과 같다. 두 개의 입력신호와 스위칭 신호는 역상이 된다.그러므로 FET의 출력신호는 0이 된다. 다음은 2개의 입력신호가 역상 즉, 180도 위상차를 가질때의 경우이다. 그림 8은 역상신호시의 입력신호를 보인다.

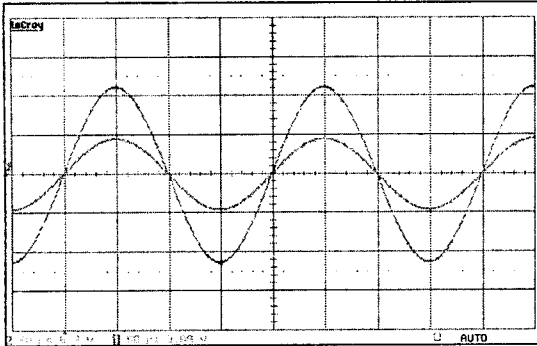


그림 6 동상인 경우 2개의 입력신호 파형

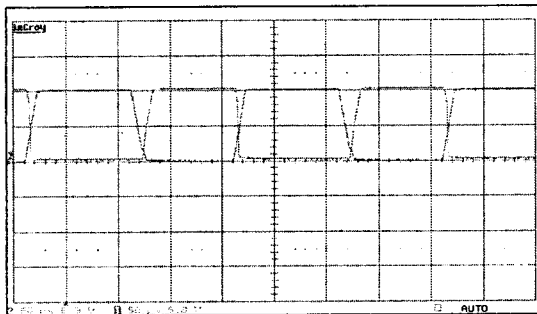


그림 7 동상인 경우 입력신호와 트리거신호

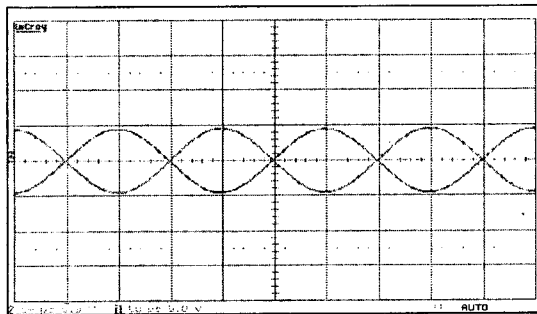


그림 8 동상인 경우 FET 스위칭 신호

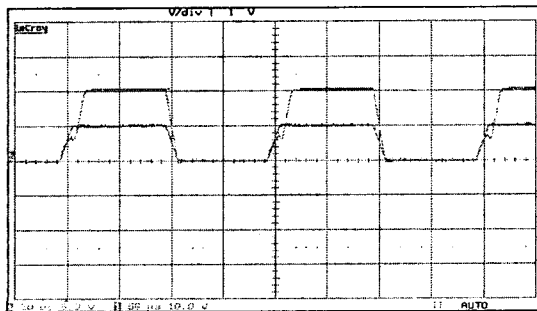


그림 9 역상인 경우 2개의 입력신호 파형

역상신호가 두입력에 가해지면, FET에 가해지는 입력신호와 스위칭 신호는 그림 9와 같다. 스위칭 신호와

입력신호가 동상이 되므로 출력에는 입력신호와 같은 크기의 신호가 발생한다. 이 신호를 평활화 하여 출력하여 직류값을 가지게 하여 두신호의 위상차를 표현하게 된다. 이러한 방법으로 다른 위상차를 가지는 입력들을 비교하게 된다.

위상차에 따라 스위칭 신호와 입력 신호의 구형파가 매칭되는 면적이 다르게 되어 이때 매칭된 부분만이 스위칭 되어지게 된다. 이 신호를 평활화 하여 직류값으로 표현하여 나타내면 위상차 대응되어지는 값이 된다. 표 1은 5개의 경우들에 대한 실험 결과들을 보인다.

표 1 실험결과

경우#	위상차	DC 출력값	신호원
1	0°	0 V	5kHz 5 V _{p-p}
2	36°	1.00 V	
3	72°	1.60 V	
4	90°	2.50 V	
5	180°	5.00 V	

실험결과들은 설계된 위상검출회로가 아주 안정적이고 정확하게 위상차에 비례하는 DC 출력값을 제공하고 있음을 보인다.

5. 결 론

본 연구에서는 생산라인에서 대량생산되는 아날로그회로 보드로부터 R,L,C 병렬소자들의 결함을 자동 확인하기 위한 검사전략에서 핵심이 되는 가당기법을 분석하고 위상검출기를 설계하였다. 실험결과들은 위상차에 비례하는 DC 출력값을 정확하게 제공하고 있음을 보임으로써 위상검출회로가 아주 안정적이고 정확하게 설계되었음을 확인할 수 있다. 따라서 차후 가당기법과 위상검출처리부를 통해 2개의 선로다른 주파수에 대한 임피던스 값 Z와 위상차 θ 를 측정하여 회로오드상의 RLC 병렬소자를 정확하게 검출할 수 있는 기법을 개발함으로써 전자 및 관련제품의 생산성을 크게 제고할 수 있을 것으로 기대된다.

[참 고 문 헌]

- 1) Jon Turino, "Functional Testing's Place In Electronics Manufacturing", Evaluation Engineering, pp 58-61, September 1984.
- 2) Reynold, "In-Circuit McTesters or the Future of In-Circuit Test", Evaluation Engineering, pp 8-15, February 1987.
- 3) Steve J B., "Analog-Component Faults Yield to In-Circuit Testing", GenRad journal pp 15-20.
- 4) 고윤석, 정경희, 인쇄회로기판의 자동복합 검사/진단 시스템 개발, 과학기술처 기술지도보고서, 1994.
- 5) 고윤석의 3인, "지능형 회로보드 검사 시스템 설계", 대한전기학회 하계학술대논문집, pp.660-662, 1998.
- 6) 고윤석, "부품이 실장된 아날로그 회로보드의 검사 전략에 대한 연구", 대한전기학회 하계학술대회 논문집, pp.2196-2198, 2001.
- 7) 고윤석, "생산라인에서 SSA 기법에 근거한 디지털 회로 보드 검사기술", 대한전기학회 하계학술대회 발표논문집, pp. 2193-2195, 2001.
- 8) 고윤석의 3인, 생산라인의 회로보드 검사기술에 대한 연구, (주)KMI, 2001.9.