

항공용 추적 레이더의 신호처리기 소형화 설계

김도현*, 이영성*, 이형우*, 김수홍*, 김영채**

* LG이노텍, **국방과학연구소

전화 : (031) 288-9376 / 팩스 : (031) 285-0199

Miniaturization of Signal Processor of Airborne Tracking Radar

Doh Hyun Kim*, Young Sung Lee*, Hyung Woo Lee*, Soo Hong Kim*, Young Chae Kim**

*LG Innotek, **ADD

E-mail : dhkim@lginnotek.com

Abstract

The airborne tracking radar is located in front of aircraft or missile and measures and tracks a target motion. The signal processor receives target signals from a receiver using A/D converters, and calculates the target motion, and transfers the data to the aircraft or missile control unit. Since the signal processing system is required to be lightweight and small size as well as high performance to calculate and analyze the received signal, we use high speed DSPs and SMD type components having low power consumption. In this paper, we describe the design concept of signal processing system of the airborne tracking radar.

I. 서론

항공기나 유도탄등에 사용되는 레이더는 동체의 앞부분에 장착되어 표적을 탐색하고 추적하여, 표적의 속도, 시선각 오차에 대한 정보를 제공하는 역할을 한다. 레이더의 신호처리기는 이러한 일련의 동작과 운용을 제어하는 역할을 한다.

신호처리기는 통제제어기와 MIL-STD-1553B통신을 통해 초기 입력 데이터와 운용모드 데이터를 입력 받아 레이더를 운용하고, 송수신부로부터 수신신호를 분석하여 표적신호를 추출한 뒤 송신 주파수와 안테나 회전각도를

제어함으로써 표적의 추적 및 호밍을 유도하는 기능을 한다. 또한 수신신호의 강도와 분포를 분석하여 적의 재밍(jamming)시에는 통제제어부가 재밍신호 여부를 판단할 수 있도록 한다.

신호처리기는 데이터획득(DAQ) 보드와 운용제어(OPC) 보드로 구성된다. 데이터획득 보드에서는 수신기부터 받은 신호를 디지털신호로 추출한 후, 필터링, FFT를 수행하여 그 결과를 운용제어 보드로 전송한다. 또한 송수신의 타이밍 제어 및 도플러 추적신호 발생하여 표적의 속도제어를 수행한다.

운용제어 보드는 FFT결과로부터 표적의 운동정보를 추출하며, 각도추적과 속도추적 알고리즘을 수행한다. 또한 통제제어부와와의 실시간 통신을 통해 레이더 운용과 통제를 수행한다. 따라서 신호처리기는 고성능의 프로세서를 요구하며 고속 신호처리, 제어 및 운용 알고리즘을 수행해야 한다. 동시에 소형화 및 경량화의 요구조건을 만족해야 한다.

본 연구에서는 고성능 DSP 3개를 사용하여 고속 처리능력을 구현하였으며, 소형의 SMD부품을 사용하여 소형화를 구현하였다.

II. 신호처리기 구성

본 연구에서 설계한 신호처리기의 전체 구성을 그림1에 나타내었다. 고속의 연산을 수행하기 위해 Analog Device사의 ADSP 21060을 3개

(DAQ, SOP, MIF) 사용하였으며 각각의 DSP는 Backplane을 통해 버스 및 링크로 연결되어 있다. OPC보드의 SOP, MIF DSP는 mirror type을 사용하여 PCB의 앞, 뒷면에 장착하도록 하여 공간 활용도를 높였으며 address, data 버스를 서로 연결시켜서 내부 메모리를 서로 공유할 수 있도록 하였다.

DAQ보드의 DAQ DSP는 OPC보드의 SOP DSP와 링크로만 연결되도록 설계하여 DAQ보드 자체로도 기능 수행이 가능하도록 하였다.

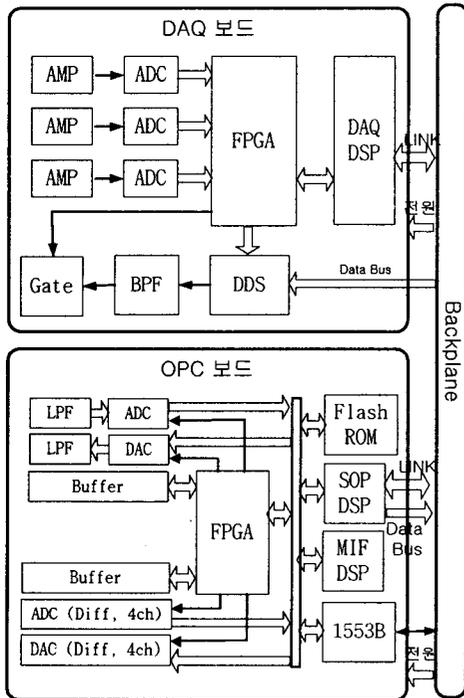


그림 1. 신호처리기 구성도
Fig. 1 Block diagram of signal processing system

신호처리기의 멀티프로세싱 구조는 그림 2에 나타내었다. 각 DSP의 링크 연결과 버스연결을 표시하였다. 부팅은 먼저 OPC보드의 MIF DSP가 점퍼 설정에 따라 ROM부팅이나 Host DSP를 이용한 링크부팅이 되고 SOP, DAQ DSP순으로 링크 부팅이 된다. Host는 PC용 DSP보드인 Spectrum Darlington사의 Estoril PCI 보드를 사용하였다.

FPGA는 Xilinx사의 것을 사용하며 두 보드에 동일한 것을 사용하였다. FPGA는 각 보드의 Address decoding과 제어 신호 발생 및 인터페이스를 담당한다.

각 보드에는 40MHz의 오실레이터를 장착하여 DSP와 FPGA의 주 클럭으로 사용할 뿐만 아니라, DDS의 기준 클럭으로도 사용한다.

전원은 디지털 부품들을 위해 +5V를 사용하였고, 아날로그 부품인 ADC, DAC, OP Amp 등은 별도의 $\pm 5V$, $\pm 15V$ 를 사용하였다. 각 전원들은 DC-DC변환기를 사용하여 독립적으로 공급된다.

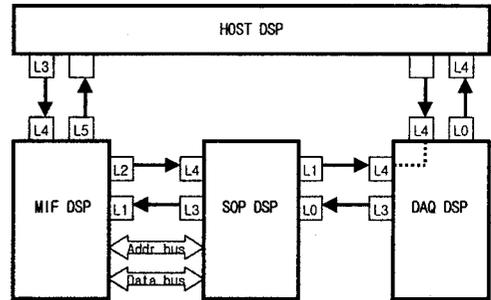


그림 2. 멀티프로세싱 구조
Fig. 2 Multiprocessing structure

2.1 데이터획득(DAQ) 보드

DAQ보드에서는 수신기부터 받은 합신호(Σ), 차신호($\Delta Y, \Delta Z$)를 증폭한 후 고속 ADC를 이용하여 디지털신호로 추출한다. 3채널의 ADC에서 변환된 디지털 데이터는 DSP의 DMA 인터페이스를 이용하여 실시간으로 전송되는데, FPGA에 3채널의 데이터에 대한 buffer와 mux의 기능이 구현되어 있다. DAQ DSP에서 디지털 필터링과 FFT를 수행하여 그 결과를 OPC보드로 전송한다. 또한 송수신기의 제어신호를 생성 및 타이밍 제어를 하고, 표적 도플러의 추적신호를 발생하여 표적의 도플러 추적제어(속도제어)를 수행한다. 도플러 신호의 발생은 DDS를 사용하며 대역통과필터(BPF)를 사용하여 DDS출력단의 harmonic, image, aliasing 성분을 감쇄시킨다. 또한 DDS출력단 회로 부분과 주변회로 사이에 격벽을 설치하여 신호간섭을 최소화 하였다.

DAQ보드는 공간활용도를 높이기 위해 외부 연결 컨넥터를 모두 SSMA type의 coaxial 컨넥터를 사용하고 대부분의 부품은 SMD type을 사용하였다. DAQ보드의 외관을 그림 3에 나타내었다.

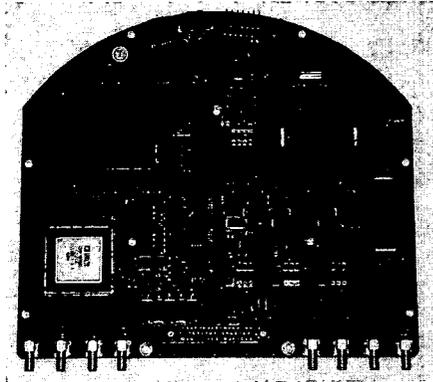


그림 3. 데이터획득 보드의 외관
Fig. 3 Photograph of DAQ board

2.2 운용제어(OPC) 보드

OPC보드는 2개의 DSP(SOP, MIF)로 구성되어 있다. SOP DSP는 FFT결과로부터 표적의 상대속도 성분을 계산하고, 신호의 크기와 위상을 이용하여 표적의 상대각도(시선각 오차)를 계산한다. 이 정보를 이용하여 송신 주파수의 표적 속도 추적과 안테나의 각도 추적 알고리즘을 수행하여 김발서보 및 송수신기에 대한 제어 신호의 입출력을 담당한다. 여러 가지 제어 신호의 입출력을 처리하기 위해 4채널 ADC와 DAC를 1개씩 사용하여 공간 효율성을 높였고 저잡음 OP amp를 사용하였다.

MIF DSP는 수신신호의 강도를 분석하여 전파 교란 여부 및 종류를 판단하고 그에 대한 대책을 수행하며, 통제제어부와 1553B통신을 실시간으로 수행하여 레이더의 운용과 통제 역할을 한다. OPC보드의 외관을 그림 4에 나타내었다. MIF DSP는 SOP DSP의 mirror 형태로서 PCB의 뒷면에 장착이 되어 있다.

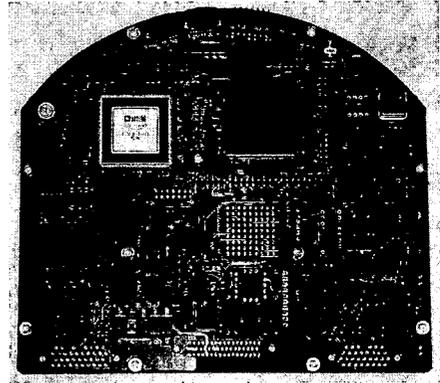


그림 4. 운용제어 보드의 외관
Fig. 4 Photograph of OPC board

III. 테스트 결과

신호처리기는 그림 5와 같은 기본적인 기능을 수행한다. 수신기로부터 받은 신호는 ADC를 통해 DSP로 입력되면 hamming윈도우를 거쳐 sidelobe잡음을 감쇄시키고 FFT를 수행한다. FFT 결과를 누적하여 신호대잡음비를 향상 시키고 표적의 신호를 검출한다. FFT누적 결과의 fine tuning후 최종 검출된 표적의 속도 성분을 이용하여 표적의 속도추적 신호를 계산한다. 계산된 추적 도플러 주파수를 DDS를 이용하여 발생하여 송신기로 전송한다.

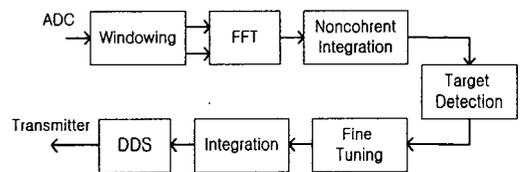


그림 5. 신호처리기의 수행 알고리즘
Fig. 5 Algorithm of signal processor

이중에서 FFT는 표적의 속도와 각도를 추출하는데 가장 기본이 되는 연산이고, DDS의 출력 또한 표적의 속도추적 신호를 발생하는 기능을 담당하므로, 본 연구에서 개발한 신호처리기의 기본적인 성능을 테스트하기 위해 FFT 처리와 DDS의 출력신호를 시험해본다.

3.1 FFT처리속도

성능 시험을 위해 임의의 신호에 대해 1024 point FFT하는데 소요되는 시간을 측정하였다. 측정방법은 1024 point FFT를 10000번 수행할 때 소요된 시간을 측정하여 10000으로 나누면 1회 FFT의 평균 소요시간을 알 수 있다. 같은 시험을 3회에 걸쳐 측정한 결과를 표 1에 나타내었다. FFT 계산 소요시간이 1ms 설계 규격에 만족함을 알 수 있었다.

표 1. FFT 수행시간

Table 1. FFT calculation time

시험회수	1회	2회	3회
소요시간	0.423 ms	0.422 ms	0.423 ms

3.2 전력소모

신호처리기의 소요전원에 대한 소모전류를 시험하였다. 총소모전력은 26W로서 30W 설계 규격을 만족하였다.(표2 참조)

표 2. 전원별 소모 전류

Table 2. Current consumption

구분	+5VD	+15VA	-15VA	+5VA	-5VA
전류	2A	0.5A	0.5A	0.1A	0.1A

3.3 DDS 출력신호

도플러 추적을 위한 DDS의 출력신호를 스펙트럼 분석기를 통해 측정하였다.(그림 6) 신호 대비 배경잡음의 차이가 70dB정도이므로 60dB 설계규격을 만족하였다.

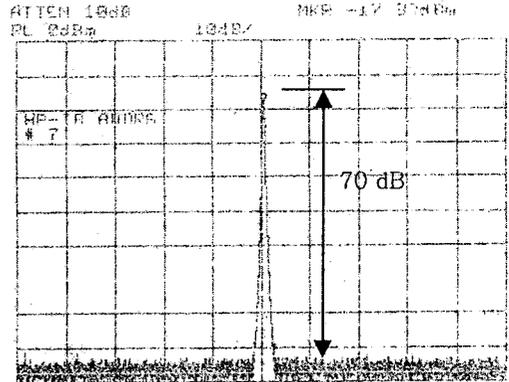


그림 6. DDS출력의 주파수 스펙트럼

Fig. 6 Frequency spectrum of DDS output

IV. 결론

본 연구에서 구현한 신호처리기는 고성능, 부품 소형화 및 저전력화에 중점을 두고 설계하였고, 항공용 추적 레이더의 기본적인 성능을 시험한 결과 요구규격을 만족하는 것으로 나타났다. 보다 구체적인 성능 시험을 통해 수정 및 보완이 요구된다.

참고 문헌

- [1] ADSP-2106x SHARC User's Manual 1st edition, Analog Device, 1995
- [2] Fred J Taylor, Principles of Signals and Systems, McGRAW-HILL, 1994.
- [3] Merrill I. Skolnik, Introduction to Radar System 2nd edition, McGRAW-HILL, 1980.
- [4] Robert F.C, Frederick F.D, Operational Amplifiers & Linear Integrated Circuits 4th edition, Prentice Hall, 1991.