

플라즈마 디스플레이 패널 구동회로의 설계

최 일 훈, 김 준형, *임 병하, **유 상 대

경북대학교 대학원 전자공학과, *LG전자 PDP 사업부, **경북대학교 전자전기컴퓨터학부
전화 : 053-940-8837 / 핸드폰 : 018-535-3590

Design of A Driving Circuit for Plasma Display Panels

Ill-Hoon Choi, Jun-Hyung Kim, *Beong-Ha Lim, **Sang-Dae Yu

Department of Electronics, Graduate School, Kyungpook Nat'l Univ.

*LG Electronics PDP Division.

**School of Electronical Engineering and Computer Science, Kyungpook Nat'l Univ.

E-mail : chkcgg@palgong.knu.ac.kr

Abstract

In this paper, PDP driving circuit is designed to show the pattern of still-image with ADS (Address Display Separation) driving method. The designed circuits consist of three stages which are the image processing program, digital logic parts, and power circuits. The Image processing program is designed serial-communication with RS-232C using BASIC language. Digital logic parts design ADS driving signals with Xilinx FPGA and are simulated by ModelSim 5.5f. Power circuits convert output of digital logic parts into high voltage which panel is driven.

방전에 의해서 생성된 전공자외선을 이용하여 형광체를 여기하여 발광하는 방식으로 영상을 표현하는 장치이다. 최근 상용화된 제품들은 일반적으로 AC PDP 구조를 이용하고 있으며, 이것은 초기방전에 의해 셀 내부의 유전층에 쌓이는 전하, 즉 벽전하를 이용하여 셀의 초기방전여부와 유지방전시에 낮은 전압을 인가하는 방식을 특징으로 한다. 벽전하가 이미 생성되어 있는 경우와 벽전하가 전혀 없는 경우에 방전개시를 위한 외부인가 전압에 차이가 있는데, 이것을 메모리 특성이라 한다.[1][2] 그림 1은 AC PDP 단위셀의 모식도이다. X 전극, Y 전극은 주 방전에 사용되는 주사 및 표시전극들이며, Y 전극은 셀 어드레싱에 사용되므로 주사전극이라 하며 A 전극은 어드레스전극 또는 데이터전극이라 한다.

I. 서론

최근 매스미디어의 발달과 디스플레이 장치의 다양화가 가속되고 있다. 그 중에서 PDP (Plasma Display Panel)는 낮은 콘트라스 비율과 동화위 윤곽 현상의 문제점을 갖고 있지만, 두께가 얇고 대형화가 가능한 장점으로 차세대 디스플레이로써 각광 받고 있다. PDP는 고전압에 의한 He, Ne, Ar, Xe등의 혼합기체의

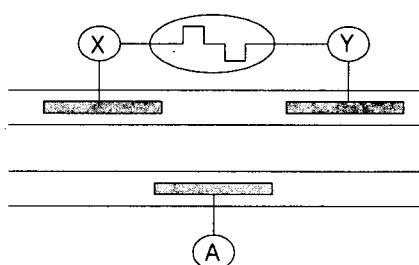


그림 1. AC PDP 단위셀의 모식도

본 논문에서 AC PDP 구동방식의 가장 기본이라 할 수 있는 ADS (Address Display Separation) 방식을 이용하여서, PC의 정지 영상을 3전극 면방전형 패널에 표현하는 구동 드라이버 설계에 대하여 설명한다.

II. ADS 구동방식

ADS 구동방식은 일본의 후지쯔 사에서 개발한 구동 방식으로 3전극 면방전형 AC PDP를 구동하는 대표적인 것이다. 그림 1의 각 전극에 인가되는 전압 파형은 그림 2에 나타내었다. 이 전압 파형은 크게 전체 셀의 벽전하를 모두 균일하게 소거하여 주는 리셋기간과 특정 위치의 셀 내에 벽전하를 형성시키기 위한 어드레싱기간 그리고 계조 구현을 유지방전기간으로 구분된다. 리셋기간은 X,Y 전극 사이에 방전유지전압보다 낮은 전압을 오랫동안 인가하여서 모든 셀의 벽전하를 소거한다. 어드레싱기간은 X 전극은 일정 전위를 유지하고, Y 전극과 A 전극 사이에 선택적인 쓰기가 이루어진다. 유지방전기간은 방전유지전압 펄스를 교대로 가해지며 펄스수에 따라 계조를 차등화하여 표현할 수 있다.[3]

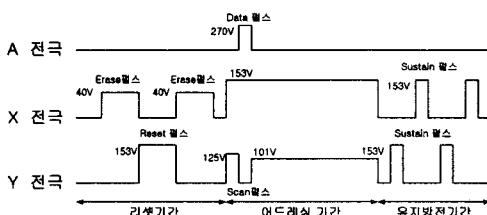


그림 2. ADS 구동방식

PDP의 계조는 일반 CRT가 각 셀에 주사되는 전자빔의 강도를 변화시키는 것으로 밝기를 아날로그적으로 조절하는 것과는 달리 유지방전기간의 펄스 수의 차이에 의해 밝기를 디지털적으로 조절한다. ADS 구동방식은 256 계조를 가지고 있으며, 그림 3은 ADS 구동방식의 256 계조를 나타낸다. 8개의 서브필드(subfield)는 유지방전기간에 발생하는 빛을 방전회수에 따라 $1:2:4:8:16:32:64:128$ 의 비율로 나타나게 된다. 이를 조합하게 되면 256 단계의 빛이 발생하게 된다. 특정 셀에 발광 휘도를 나타내기 위해서 휘도에 맞는 서브필드에만 데이터를 어드레싱 하는 방식으로 수행된다. 그리고, 이러한 방전이 병렬로 합쳐져 사람의 눈에 적분효과로 하면 자연스러운 영상을 볼 수 있게 된다. 일반적으로 256 계조를 구현하기

위해서는 1개의 프레임에 소요되는 시간은 16.67ms° 다.[4]

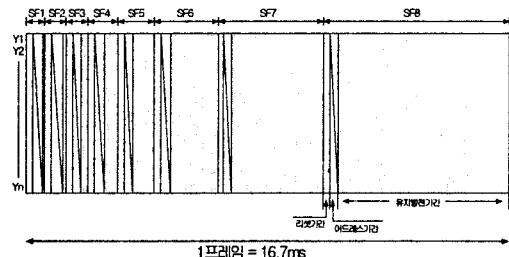


그림 3. ADS 구동방식의 256 계조

이와같은 ADS 방식은 현재 AC PDP 구동의 기본이 되고 있으나 그림 3에서 알 수 있듯이 어드레싱에 필요한 시간이 전체 프레임에 상당량을 차지하고 있으므로 표시시간 비율이 저하되고 전체 휘도가 낮아지는 단점을 가지고 있다.

III. PDP 구동 회로 설계

그림 4는 본 논문에서 설계한 정지영상을 4인치 패널에 나타내기 위한 구동 회로의 블록도이다. 전체 회로는 영상처리부분과 디지털 회로부분과 전력회로 부분으로 나누어진다.

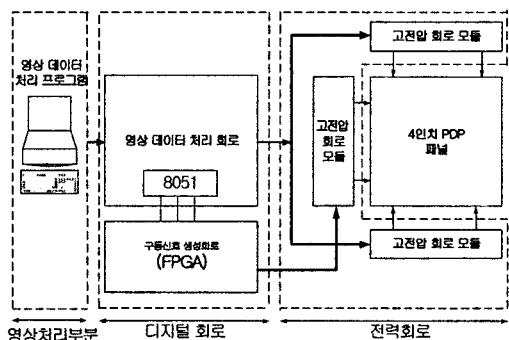


그림 4. PDP 구동회로 블록도

3.1 영상처리부분

영상처리부분에서는 컴퓨터와 8051은 RS_232C를 이용한 직렬통신으로 8비트 영상데이터를 전송한다. 전송하는 영상데이터는 Red, Green, Blue 8비트 데이터로서 ADS 구동방식의 서브필드의 가중치에 맞추어 재정렬 하여 전송하며, 직렬통신환경은 아래의 표 1과

같다.

표 5 RS-232C 직렬통신환경

초당비트수	115,200 bps
정지비트	1
데이터비트	8
페러티비트	없음
흐름컨트롤	없음

3.2 디지털회로

디지털회로는 RS-232C에 의해 전송된 데이터를 메모리에 저장하고, 이를 FPGA가 읽어 어드레싱에 맞는 데이터를 만들고, ADS 구동방식의 리셋 파형과 어드레싱 파형과 유지방전파형을 구현하는 것으로 서두로 적의 보드 모델 MP7110-XLV240Q를 사용한다. 보드의 기본구성은 XILINX사의 FPGA와 ATMEL사의 8051과 메모리 및 직렬, 병렬포트로 구성되어 있다.

(1) 8051/FPGA 통신방법

보드는 8051과 FPGA가 메모리에 접근하기 위해서 단일 버스를 사용하고 있다. 따라서 특정시간에 둘 중 하나만 버스를 사용하여야만 한다. 이를 가능하게 하기 위하여 핸드쉐이킹에 의한 통신을 수행한다. 그림 5는 8051과 FPGA의 타이밍 도를 나타낸다.

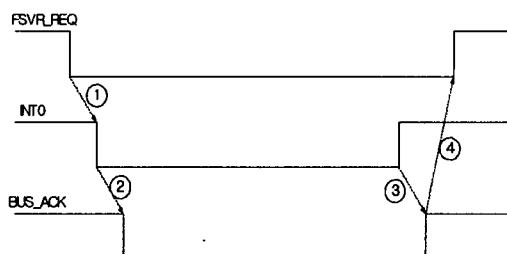


그림 5. 8051과 FPGA 타이밍도

8051의 신호 FSVR_REG가 액티브로(Active low)가 되면서, 핸드쉐이킹이 시작된다. 이 신호를 받은 FPGA는 작동을 시작 할 수 있으며, 이 작동과정에서 버스를 사용할 필요가 있을 때 FPGA는 INT0을 액티브로하여 버스 사용에 대한 요청을 한다. 이 신호를 받은 8051은 BUS_ACK를 액티브로 만들어 줌으로서 FPGA에게 보드상의 버스허가권을 넘겨준다.[5]

(2) FPGA 설계

8051에서 저장한 영상데이터를 읽어서 ADS 구동방식에 맞는 로직 파형을 생성한다. 그림 6은 Xilinx사의 FPGA VIRTEXE XCV600HQ240을 이용하여 설계한 구동회로의 schematic이다. 기본적으로 Verilog-HDL을 사용하여 코딩을 하였고, 모의실험은 ModelSim5.0f를 이용하여 설계를 검증하였다.[6]

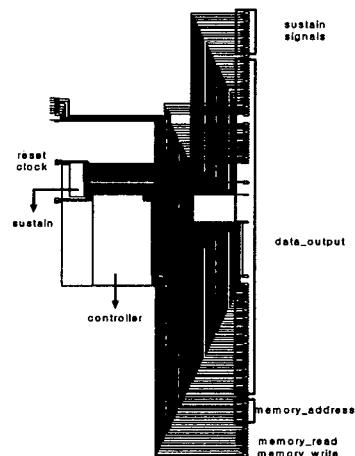


그림 6. FPGA schematic

3.3 전력회로

본 논문에서 사용한 전력 회로는 그림 7과 같다. FPGA의 데이터 출력을 받아서, 패널 방전을 위한 문턱전압이상의 크기로 변환시켜준다.

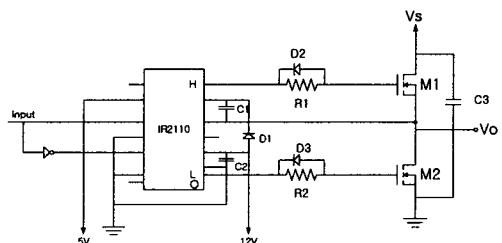


그림 7. 전력회로

IR2110은 MOSFET 게이트 구동 드라이버로서 상축(H)과 하축(L)으로 나뉘어 2개의 MOSFET을 독립적으로 구동 가능하며, C1, C2, D1은 IR2110의 연동부품이며, C3은 전력용 커패시터로서 공급전원전압(Vs)에 방전전류에 의해 나타나는 왜곡현상을 보상한다.

회로의 H부분인 상축에 신호가 인가되면 M1은 on

되고, M2는 off 된다. 출력은 M1에 공급되는 전원전압 Vs가 나타난다. 그리고 L부분인 하측에 신호가 인가되면 M1은 off되고, M2는 on되어 출력은 0V가 나타난다. 이때 기본 입력신호와 인버터에 의한 반전된 신호가 IR2110으로 인가되므로 PDP 패널 구동에 안정된 출력을 얻을 수 있다. 또한 전력회로에 패널방전을 위한 공급전원전압은 ADS 구동방식에 맞는 값을 가지고, X전극과 Y전극과 어드레싱의 전압은 표 2와 같이 약한다.

표 6. 패널 방전을 위한 공급전압

X 전극	Xerase	40V
	Xss	153V
Y 전극	YR1S	153V
	YR2	125V
	YSC	101V
A 전극		270V

그림 8은 X 전극, Y 전극, A 전극의 오실로스코프 출력 파형이다.

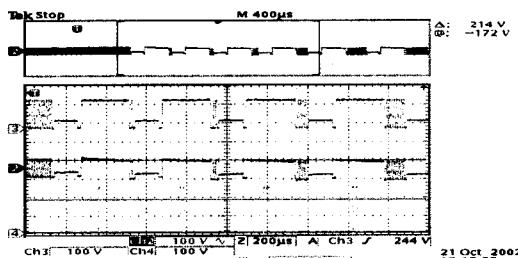


그림 8. 오실로스코프 출력 파형

그림 9의 원 정지영상을 본 논문에서 설계한 구동회로에 의해 PDP에 나타낸 것을 그림 10에 나타내었다. 셀의 오방전 문제없이 올바르게 정지영상의 패턴이 나타나는 것을 알 수 있다. 그리고, 그림 10는 7×10의 분해능을 나타낸다.

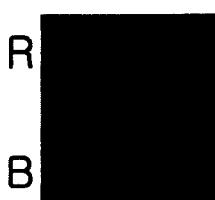


그림 9. 원 정지영상

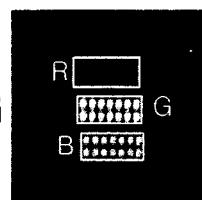


그림 10. 패널 출력

IV. 결론

본 논문은 기존의 ADS 방식을 이용하여 PDP 구동 회로를 설계하였고, 정지영상의 패턴이 올바르게 표현됨을 확인하였다. 그러나, 앞에서 언급한 ADS 방식이 갖이는 단점을 개선하기 위해서 어드레싱기간과 유지방전기간이 구분되어 있는 Non-ADS 구동방식의 연구가 수반되어져야 할 것이다. 또한 설계한 회로에서는 에너지 회수회로에 대한 문제점을 지적하지 못하였으며, 고 해상도가 되었을 때에 수반될 하드웨어적인 문제점도 지적하지 못하였다. 하드웨어의 잡음문제에 대해서도 많은 연구가 요구된다.

참고문헌(또는 Reference)

- [1] H. Gene Slottow *et al.*, "The voltage transfer curve and stability criteria in the theory of the AC plasma display," *IEEE Trans. Electron Device*, ED-24, pp.571-574, July. 1997.
- [2] O. Shani *et al.*, "Origin of the bistable voltage margin in the AC plasma display panel," *IEEE Trans. Electron Device*, ED-24, pp.853-858, July. 1997.
- [3] H. Hirakawa *et al.*, "Cell structure and driving method of a 25-in. (64-cm) diagonal high resolution color ac plasma display," SID 98 DIGEST, 1998.
- [4] 김상수 외, "디스플레이 공학", 청법출판사, 2000.
- [5] 서두로직, "FPGA/MCU 통합 신속개발 시스템 MP7000 사용자 매뉴얼".
- [6] Michael D. Ciletti, "Modeling, synthesis, and rapid prototyping with the verilog™ HDL", Prentice Hall, 1999.