

비선형 부하에 적용 가능한 전력 계측 회로의 개발

박종찬^{*}, 김병진^{**}, 김수곤^{***}, 전희종^{***}
 오산대학 전기시스템제어과^{*}, 현대중공업^{**}, 송실대학교 전기공학과^{***}

The Development of Power Measurement Circuit for Non-Linear Load

Park Jong-Chan^{*}, Kim Byung-Jin^{**}, Kim Soo-Gon^{***}, Jeon Hee-Jong^{***}
 Osan College^{*}, Hyundai HI.^{**}, Dept. of Electrical Eng. Soongsil Uni.^{***}

Abstract - Non-linear loads are the sources of power systems harmonics, and the power quality is influenced by harmonics. Recently, the requirements of power quality is important. For the power quality problems, it is very important that the development of power measurement circuit for non-linear load. In this paper, it is discoursed on that high speed sampling circuit and efficient power analysis algorithms. The sampling circuit is implemented using FPGA. Since the power measurement circuit system is composed by FPGA and efficient power algorithms, it is practicable application that accurate power measurement, stable protection relaying, and low cost system configuring.

1. 서 론

고조파가 많이 발생되는 비선형 부하를 사용하는 현장 상황에서의 전력과 전력량의 계산은 고려해야 할 사항이 많다. 근래에 들어서 보호계전기와 현장의 각종 RTU을 기반으로 하는 전력 감시시스템(SCADA)나 분산제어시스템(DCS)의 확산이 이루어지면서 광범위한 지역의 전력을 한 눈에 감시할 수 있는 원격관리 시스템의 도입과 함께 부하의 소비전력상태 추이 및 전력관리가 실제로 요구되고 있다. 따라서 정확한 전력과 전력량에 대한 요구가 필수적이며, 디지털 설비가 기존의 설비들을 대체하고 있는 실정이다.

이러한 문제는 단순히 전력 계측에 관한 문제를 떠나, 전력 계통을 운용하는 보호계전기의 정확한 계전동작을 위해서도 고조파 전압과 전류에 대한 영향을 고려해야 한다. 예를 들어 이러한 고조파는 변압기와 전동기의 와전류를 발생켜 고장자에 온도를 증가시키는 원인이 되고 변압기나 전동기의 과열을 막기 위해 설계된 열동계전기나 지속적인 고조파 전류에 노출된 부하의 과전류를 보호하는 과전류 계전기등은 기본과 이외에 고조파에 대한 영향을 감안해야 한다.

본 연구에서는 먼저 현장에서 전형적인 비선형 부하인 다이오드 정류기에서 발생하는 고조파의 크기를 분석하여 문제의 심각성과 이러한 고조파를 고려한 전력계산 알고리즘을 소개하였고, 본문에서는 이러한 알고리즘을 적용하기 위해 필요한 고속의 샘플링회로 개발 및 계산 알고리즘의 적용에 관하여 논하였다. 컴퓨터 시뮬레이션과 실험을 통해 제안된 방식의 우수성을 입증하였다.

2. 비선형 부하의 고조파 발생

일반적인 3상 브리지 다이오드 정류기에서 직류 전압보다 입력단 전압이 높은 경우에 입력단에서 부하측으로 전류가 유입된다. 그 결과 대부분의 전류는 콘덴서의 용량에 따라 파형이 왜곡되는 펄스의 형태를 갖는다. 따라

서 입력단 선전류는 큰 THD(Total Harmonic Distortion)를 가지며 특히 5, 7고조파 성분이 크게 나타난다.

그림 1(a)는 다이오드 정류기의 입력측의 상전압과 선전류의 파형을 보여주고 있다. 전압이 영점을 지나서 전/후 30°동안 전류가 흐르지 않음을 알 수 있다. 그림 1(b)는 이 선전류의 주파수 분석을 나타내고 있다. 5차 고조파의 크기가 1차 고조파의 약 76%이며 7차 고조파 역시 57%에 이르는 것을 볼 수 있다[4].

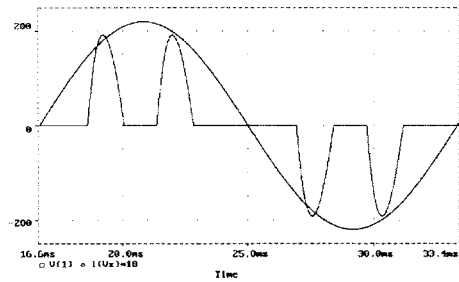


그림 1(a) 3상 다이오드 정류기 상전압과선전류파형

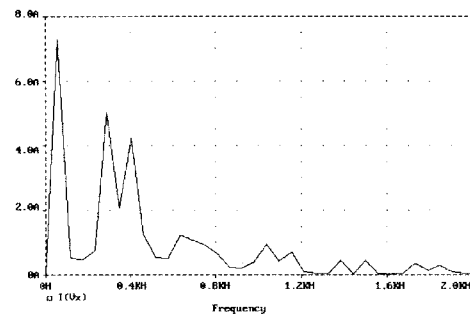


그림 1(b) 3상 다이오드 정류기 입력 선전류의 주파수 해석
 그림 1 3상다이오드 정류기의 파형 및 고조파 해석

3. 고조파를 포함한 전력계산회로의 개발

3.1 고조파를 포함한 전력계산

기존 디지털 전력량계와 보호 계전기에서는 기본과 중심의 계측이 이루어졌다. 그러나 실제 부하에서 사용되는 전력은 기본과 이외에 고조파 성분이 많이 포함된 전압과 전류를 사용한다. 따라서 정확한 전력과 전력량을 구하기 위해서 고조파에 대한 해석이 필수적이다.

또한 기존에 많이 사용되어온 2전력계 방식은 3상의 전압과 전류 고조파에 대한 영향을 각각 적용하기 힘들다. 따라서 3상 전압과 전류를 고려한 전력계산식으로 바뀌어야 한다. 먼저 DFT(Discrete Fourier Transform)나 FFT(Fast Fourier Transform)를 통해 얻어진 각 고조파의 실효값에 직류 성분이 모두 제거되었다는 가정

서 전압과 전류는 다음 식(1)과 (2)와 같이 표현 가능하며 실효값은 식(3)과 (4)와 같다. 여기서 N샘플링 수이며 이론상으로 샘플링수의 절반에 해당하는 주파수를 취득하여 처리한다.

$$V_n = A_n + jB_n \quad (1)$$

$$I_n = C_n + jD_n \quad (2)$$

$$V_{rms} = \sqrt{\sum_{n=1}^{N/2} |V_n|^2} \quad (3)$$

$$I_{rms} = \sqrt{\sum_{n=1}^{N/2} |I_n|^2} \quad (4)$$

전압과 전류를 이용하여 식 (5)은 유효전력이며 식 (6)은 무효전력이다. 피상전력은 식 (7)과 같이 구할 수 있으며 위상전력(phase power)과 왜곡전력(distortion power)은 각각 식 (8)과 (9)와 같다.

$$P_{sum} = \sum_{n=1}^{N/2} A_n * C_n + B_n * D_n \quad (5)$$

$$Q_{sum} = \sum_{n=1}^{N/2} B_n * C_n + A_n * D_n \quad (6)$$

$$U = V_{rms} * I_{rms} \quad (7)$$

$$S = \sqrt{P_{sum}^2 + Q_{sum}^2} \quad (8)$$

$$D = \sqrt{U^2 - S^2} \quad (9)$$

FFT 결과로 얻어진 전압과 전류 값을 이용하여 THD 계산은 다음과 같다.[1][2][4]

$$THD_V = \frac{\sqrt{\sum_{n=2}^{N/2} V_n^2}}{\sqrt{\sum_{n=1}^{N/2} V_n^2}} 100 [\%] \quad (10)$$

$$THD_I = \frac{\sqrt{\sum_{n=2}^{N/2} I_n^2}}{\sqrt{\sum_{n=1}^{N/2} I_n^2}} 100 [\%] \quad (11)$$

3.2 신호 지연시간에 대한 고려사항

정확한 전력과 전력량 계산을 위해서는 고조파에 대한 영향이외에 배전반에서 유입되는 전압과 전류신호의 지연을 고려해야 한다. 현장에서 배전반의 고압전압과 전류를 계측하기 위해서는 1차 전압, 전류 변류기(transducer)를 사용한 또한 계전기 내부에서 2차 변류기를 사용한다. 이러한 변류기는 작업공정, 노화상태 또는 결선상태에 따라 다양한 시정수를 갖는다.

또한 정확한 계측을 위해서 변류기 출력단에 아날로그 필터나 임피던스 매칭회로를 거치게 된다. 주로 op-amp로 구성되는 아날로그 회로 역시 구성에 따라서 많은 지연성분을 갖는다. 이러한 지연성분은 전압과 전류신호의 제로크로싱(zero-crossing) 지점을 오실로스코프를 통해 보면 확연히 알 수 있다. 그림 2는 계전기 CT와 PT에서 입력받은 전압과 전류 파형이다. 정확한 시점에서 제로크로싱이 이루어지는 것 같이 보이나 제로크로싱 시점을 확대해 보면 그림 3과 같이 전압파형에 대해 전류 파형이 약 150[usec] 정도의 지연이 생기는 것을 알 수 있다.

아날로그 회로를 거친 전압 전류 신호를 디지털 프로

세서가 처리하기 위해서 A/D 컨버터가 사용된다. 정확한 계측을 위해서 분해능이 높고 고속변환이 가능한 고가의 A/D 컨버터가 사용된다. 그러나 4상의 전압과 전류를 측정하기 위해서 다수의 A/D 컨버터가 필요하나 이러한 고성능 A/D 컨버터는 가격이 매우 비싸므로 주로 아날로그 멀티플렉서를 사용한다. 그러나 이러한 멀티플렉서의 사용은 가격적인 문제는 해결할 수 있으나 순차적으로 각 채널의 전압과 전류를 계측해야 한다는 문제점을 갖는다.

앞서 언급된 신호의 지연에 따라서 보호계전기 내부에서 계측된 전압과 전류신호를 기반으로 벡터도를 그려보면 신호지연에 대한 영향을 확실히 알 수 있다. 아날로그 회로에서 발생하는 지연과 멀티플렉서에서 발생하는 지연은 예상이 가능하나 변류기에서 발생하는 지연은 예상할 수 없다. 따라서 전압에 대한 전류지연을 보정하는 보정값(calibration factor)을 임의 조정할 수 있게 하여 현장에서 보상이 가능하게 하였다.

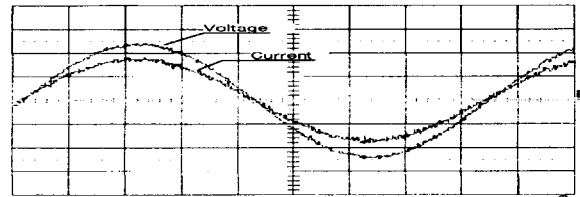


그림 2 전압, 전류 파형(1[volt/div], 2[msec/div])

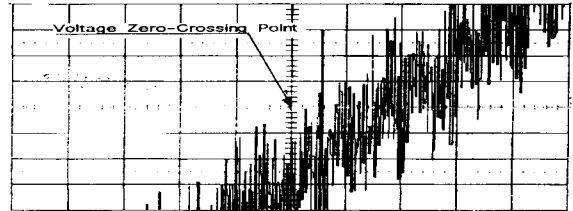


그림 3 전류 제로크로싱(100[usec/div], 10[mv/div])

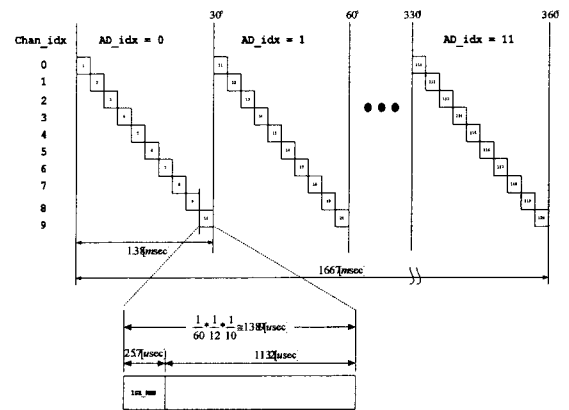


그림 4 각 채널에 대한 멀티플렉서 및 A/D동작

3.3 제2고조파 필터

고조파 분석을 하기 위해서는 FFT를 사용해야 한다. 그러나 언제나 리얼타임으로 계측을 해야하는 보호계전기의 특성상 FFT를 정해진 시간에 수행한다는 것은 불가능하다. 따라서 기존에는 DFT를 사용하여 기본파와 과도전류해석을 위한 2차 고조파에 관해서만 해석했다.

변압기의 여자돌입전류에는 변압기 용량, 변압기 철심의 재질, 잔류자속, 투입위상각 등에 따라 차이가 있으나 일반적으로 제 2고조파성분을 포함한다. 이러한 여자돌입전류의 모양은 지수함수적으로 감소하는 직류성분으로 초기에 큰 값을 가졌다가 서서히 감소하는 형태이다.

이러한 과도상태에서의 큰 값을 정상상태에서의 과전류 사고로 오판할 수 있으므로 제 2차고조파에 대한 해석이 필요하다. 이러한 특성은 변압기와 유사한 구조를 갖는 전동기나 선로 인덕턴스가 큰 계통에서도 발생한다.

DFT를 이용한 제 2차고조파 해석방법과 달리 직류오프셋(offset)제거 필터를 이용한 방식이었다. 직류성분의 시정수에 비해 샘플링 주기가 매우 작다는 가정에서 식 (12)와 같이 전류의 변화량은 직류성분을 제거할 수 있다.

$$I[n] = I_m[n] - I_m[n-1] \quad (12)$$

그림 5는 주기당 12샘플 한 전류 파형을 그림 6은 36 샘플링 주기를 갖는 전류파형을 각각 직류오프셋 필터를 거치게 한 것이다. 그림 5에서 볼 수 있듯이 샘플링 주기가 크면 직류오프셋이 완전히 제거되지 못하는 모습을 보인다. 즉 이와 같은 방식은 샘플링 주기가 매우 작은 시스템에 적합하며 필터의 크기이득(magnitude gain)과 위상지연(phase gain)을 고려해야 하여 보상하였다.

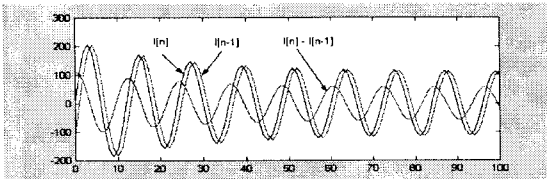


그림 5 12샘플링된 전류입력의 직류오프셋 제거필터

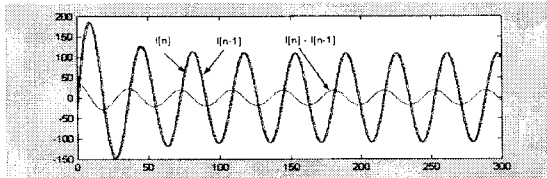
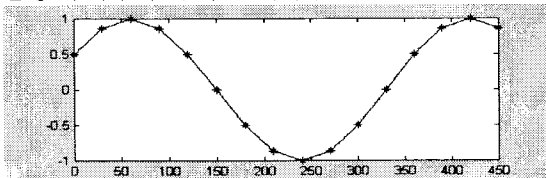


그림 6 36 샘플링된 전류입력의 직류오프셋 제거필터

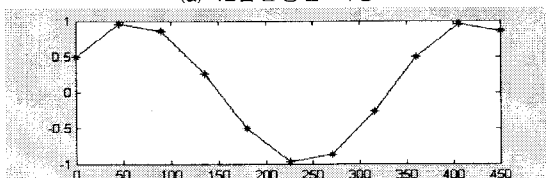
3.4 샘플링 주파수의 선택

계통에서 발생하는 다양한 고조파의 영향을 모두 분석하여 처리할 수는 없다. 또한 샘플링 주파수의 한계와 계산시간의 제약 때문에 제한된 주파수의 분석만이 가능하다. 전압 고조파 발생원으로 생각되는 다이오드 정류기나 전류고조파 발생원으로 여겨지는 사이리스터 컨버터에서의 전압과 전류 고조파를 분석하면 주로 12차 이하의 저차 고조파가 대부분을 차지하고 있다.

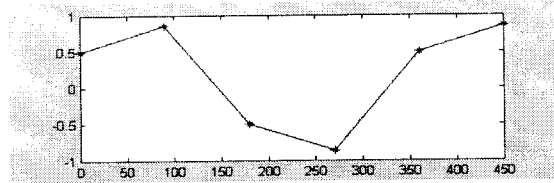
너무 적은 샘플링을 하면 정확한 주파수 분석이 이루어지지 않으며, 너무 많은 샘플을 하면 계산량이 증가하게 된다. 따라서 얼마만큼의 데이터 샘플링을 하느냐는 중요한 문제이다. 그림 7, 그림 8에서 알 수 있듯이 샘플링 주파수의 선택은 계측부분의 중요한 쟁점이다.



(a) 12샘플링된 파형



(b) 8샘플링된 파형



(c) 4샘플링된 파형

그림 7 샘플링 주파수에 따른 파형

Dilichelt 조건에 의하면 왜형율이 0.03이하로 제어되어야 하는데, A는 파형의 피크값일 경우 다음과 같이 왜형율을 구할 수 있다.

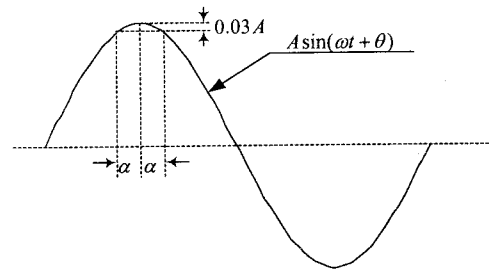


그림 8 샘플링 주파수와 왜형율과의 관계

$$A - A \sin(90^\circ \pm \alpha) \leq 0.03 A \quad (12)$$

$$\alpha \leq 14.0669. \quad (13)$$

따라서, 식 (12)와 (13)에서 알 수 있듯이 샘플링 간격은 14.0669. 이하를 유지해야한다. 이 값을 만족하는 샘플링 수는 26샘플링으로 3[%]이하의 왜형을 유지하기 위해서는 26샘플 이상해야한다는 것이다. 식(12)와 (13)을 근거로하여 12샘플은 13.4[%]이며 36샘플은 1.52[%]이다[3].

샘플링 주파수를 정할 때 주의해야하는 것은 FFT를 하기 위해서 2^N 의 데이터가 필요하다는 것이다. 특히 radix 2^2 알고리즘 적용을 위해서는 4의 배수의 데이터 수가 필요하다. 즉 FFT 알고리즘을 적용하여 계산량을 줄이기 위해서는 항상 페어 또는 4의 배수로 된 데이터를 가지게 해야 한다는 것이다. 따라서 본 연구에서는 주기당 32, 36 또는 64 샘플링 주파수를 갖게 하였다.

4. FPGA를 이용한 샘플링 회로개발

기본 주파수(f_{HZ})는 60[Hz]이며 아날로그 채널($N_{channel}$)은 10개이며 주기당 샘플링(N_{sample})이라면 식 (14)와 같은 제어주기(f_{ad}) 멀티플렉서, A/D변환기 그리고 메모리 관리가 필요하다. 따라서 만약 메인 프로세서에 인터럽트를 이용하여 A/D변환 기능을 수행하면 프로세서에 많은 부담을 주게된다.

$$\begin{aligned} T_{ad} &= T_{HZ} * \frac{1}{N_{channel}} * \frac{1}{N_{sample}} \\ &= \frac{1}{60} * \frac{1}{10} * \frac{1}{32} \\ &= 52 [usec] \end{aligned} \quad (14)$$

본 개발에서는 FPGA(Field Programmable Gate Array)를 이용하여 A/D변환 기능을 하드웨어적으로 수행하게 하여 메인 프로세서의 부담을 줄였다. FPGA는

정해진 양의 게이트를 이용하여 사용자의 설계에 따라 회로를 구성할 수 있는 소자로 본 개발에서는 어드레스 분할(address decoder) 및 A/D변환 제어기로 사용하였다.

FPGA(XC95108)의 A/D변환 제어기는 다음과 같은 순서로 동작된다. 먼저 식 (14)과 같은 시간마다 멀티플렉서의 채널(MPC506A)을 변환시키고 안정된 출력이 나오기 위해서는 일정시간을 기다린 후 A/D변환 명령을 발생한다. A/D변환에 소요되는 시간은 사용하는 A/D변환기에 따라서 다양하지만 본 개발에 사용된 A/D변환기(ADS7805)는 약 7~10(μsec)정도가 소요된다. 마지막 과정으로 A/D변환이 끝나면 변환된 출력 데이터를 듀얼포트 램의 정해진 주소에 저장하게 된다.

이와 같은 동작을 반복하여 일정한 양을 저장한 후에 메인 프로세서(TMS320C31-50)에 인터럽트를 발생시켜 처리를 요청한다. 메인 프로세서는 메모리를 통해 저장된 데이터는 읽어들이어 다양한 DSP(Digital Signal Processing) 처리후 계측기능과 계전기능을 수행한다 [5].

그림 9는 위에서 설명한 A/D변환 제어기의 구조와 동작을 나타내고 있다. 앞서 언급했던 것과 같이 고속 샘플링을 위해 FPGA에서 샘플링과 데이터 저장을 관장하며 이렇게 얻어진 데이터가 다양한 필터와 조정기를 통해 FFT나 DFT 모듈에 들어간다. 보호계전기 특성상 실시간 처리가 필요하므로 계전동작을 위해서는 DFT에서 동작을 수행하고 전력품질 분석을 위해서 FFT부분의 동작하게 된다.

그림 10은 FPGA로 구성된 샘플링회로의 컴퓨터 시뮬레이션 결과이며 그림 11과 12는 실제의 실험 파형이다. 그림 11에서 멀티플렉서의 채널 변화 후에 1.9[μsec] 후에 A/D 컨버터명령이 발생하여 제한시간을 만족함을 확인하였다. 또한 듀얼포트 램의 읽고 쓰기 과정에서 발생하는 충돌을 방지하기 위해 고려된 뱅크 인덱스의 스위칭이 48(=16채널*3)개의 입력을 받은 후에 정확히 발생됨을 그림 12에서 확인하였다.

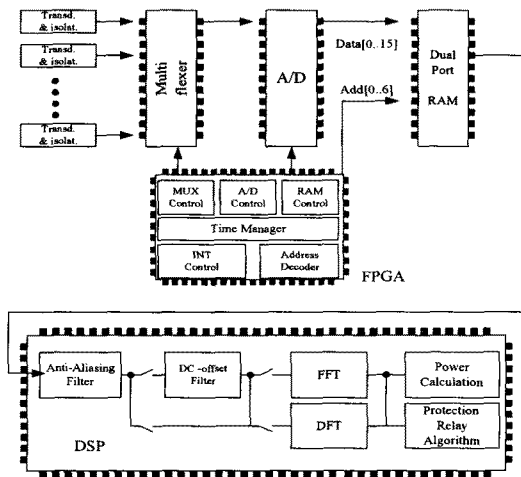


그림 9. 계측부의 블록 다이어그램

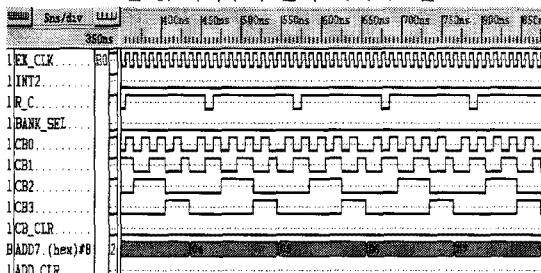


그림 10. 샘플링 회로의 시뮬레이션 파형

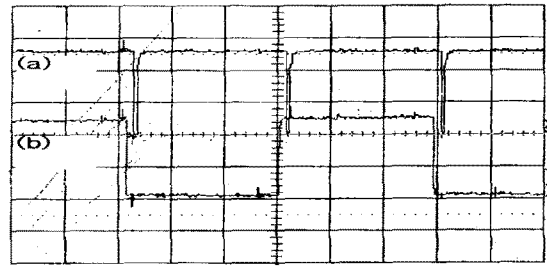


그림 11 (a)A/D명령과 (b)멀티플렉스 입력(2[volt/div], 10[μsec/div])

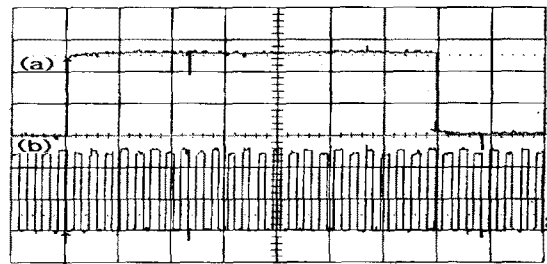


그림 12 (a)듀얼포트 램 뱅크 인덱스와 (b)멀티플렉스 입력 (2[volt/div], 0.2[msec/div])

5. 결 론

산업발전과 반도체 기술의 발달로 전력전자 소자를 이용한 비선형부하의 사용이 계속 증가되리라 예상된다. 이러한 비선형 부하의 사용은 전원 계통에서 유입되는 다양한 고조파에 대한 대책을 요구하고 있다.

본 연구에서는 고조파에 많이 포함된 계통에 적용가능한 디지털 보호 계전기용 전력계산회로 개발에 관하여 논하였다. 실제 현장 적용에 필요한 다양한 고려 사항과 이에 대한 대책을 열거하였으며 고속 샘플링에 필요한 샘플링 회로를 개발하였다. 제안된 회로는 하드웨어적인 처리를 통해 이루어지므로 메인 프로세서에 부담을 줄여 전체 계전기 동작의 안정성을 확보하였으며 저가격화를 이룰 수 있었다.

향후 FFT 알고리즘 구현의 고속화 및 사고 파형 기록에 필요한 메모리 관리기법과 압축기술에 대한 연구가 필요하다.

(참 고 문 헌)

- [1] Scott C. Smith M.S.E.E and Micheal J. Devancy, "Fourier Based Three Phase Power Metering System," IEEE Trans. on Instrument and Measurement, 2000.
- [2] G. Bucci and C. Landi, "On-Line Digital Measurement," IEEE Trans. on Instrument and Measurement, August, 1999.
- [3] Zhang Liyi, Li Qiang and Wang Huakui, "Studies on Sampling and Algorithms of DSP-based Parameters Measuring Instrumentation of Low-Voltage Power Net," Proceedings of ICSP2000.
- [4] Tadashi Yamaguchi, Keiju Matsui, Kazuo Tsuboi and Fukasui Ueda, "A simple and low cost measuring method for harmonics in the power system," IEEE Trans. on Instrument and Measurement, 1998.