

경계주사 테스트 시스템에 관한 연구

유기수*, 송오영*

*중앙대학교 전자전기 공학부

song@jupiter.cie.cau.ac.kr

A Study of Boundary Scan Test System

Ki Soo Yu*, Ohyoung Song*

*School of Electrical & Electronic Engineering, Chung-Ang University

요약

IEEE Std.1149.1 표준의 제정으로 경계주사는 규격화되었다. 그러나 이러한 표준의 제정에도 불구하고 실제 보드 테스트를 수행하는 데에는 아직도 많은 어려움을 가지고 있다. 본 연구에서는 IEEE Std. 1149.1의 표준을 만족하면서도 기존의 방법보다 안전성에서 우위를 보임과 동시에 보다 높은 고장 검출률을 가지는 경계주사 테스트 시스템의 새로운 구현 기법을 제시한다.

I. 서론

최근의 전자 분야의 획기적인 발전으로 인해서 고기능 고집적도의 칩들이 등장하고 있으며, 이에 따라 보드 디자인도 고집적화되는 양상을 띠고 있다. 칩수준 테스트는 다양한 테스트 용이 설계 기법(DFT : Design for Testability)을 적용하여 높은 고장 검출률을 확보하는 방법을 사용하고 있지만 보드수준의 테스트는 다양한 문제점 때문에 어렵고 복잡한 면이 있다.

본 논문에서는 IEEE Std. 1149.1에 근거한 경계주사 규정에 따라서 설계된 보드를 테스트할 수 있는 테스트 시스템의 구현에 관한 새로운 기법을 제안한다. 본 테스트 시스템은 경계주사 칩들간의 연결구조를 테스트하고, 메모리나 경계주사가 구조상에 없는 칩들과 경계주사 칩들간의 연결구조를 테스트하고, 보드의 다양하고 복잡한 연결구조를 테스트할 수 있는 테스트패턴 자동생성기능과 그러한 테스트패턴을 이용하여 고장 검출은 물론 고장 진단도 할 수 있는 기능을 포함한다.

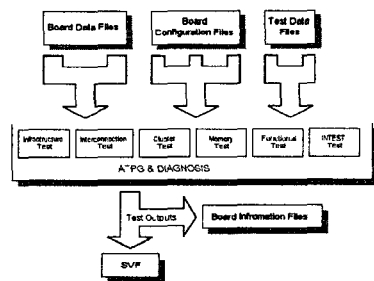


그림 1 제안된 경계주사 테스트 시스템 구성도

II. 경계주사 테스트 기능

본 논문에서 구현된 경계주사 테스트 시스템은 연결선 사이의 기본적인 0/1고착고장 외에도 연결선 사이의 브릿징도 검출이 가능하도록 구성되었다. 또한 다중 체인이 형성된 보드에 대해서 동일체인 내 뿐만 아니라 다른 체인들 사이에 대한 테스트로 수행을 한다. 제안된 경계주사 테스트 시스템은 [그림 1]에서 보는 바와 같이 다음과 같은 테스트 기능을 갖는다.

1. Infrastructure 테스트

2. Interconnection 테스트
3. Cluster 테스트
4. Functional 테스트
5. 메모리 테스트
6. INTEST 테스트

경계주사는 기본적으로는 보드의 연결선 사이의 테스트 목적으로 제안되었지만 보드 테스트 이외에도 다양한 부분으로 적용할 수 있다. 다음 소절들에서는 경계주사를 기반으로 한 보드에서 수행할 수 있는 다양한 테스트들에 대하여 설명한다.

Infrastructure 테스트

Infrastructure 테스트는 보드 상에 장착된 경계주사 구조를 가진 칩들 사이에 테스트 수행을 위한 시스템의 경계주사 체인이 잘 연결되었는지를 검사한다. 이 테스트는 크게 체인의 연결상태만을 테스트하는 방법과 IDCODE 레지스터가 내장된 칩에 대해서 칩의 정보를 획득하는 방법으로 연결상태를 검사하는 방법, 그리고 보드의 Test Reset 기능을 이용한 방법이 있다. 이 테스트는 경계주사를 적용한 테스트의 신뢰성을 보장하는 테스트로 가장 먼저 수행을 하며, 이 테스트에서 고장이 발견될 경우 고장수리를 한 이후, 다른 테스트를 수행하게 된다.

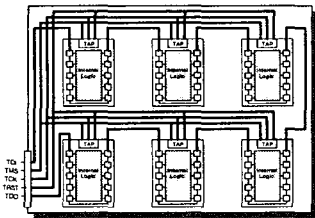


그림 2 Infrastructure 테스트 개념도

[그림 2]는 Infrastructure 테스트의 개념도로 이 테스트를 수행하면 그림의 진한 실선 부분인 경계주사 체인과 TAP 연결선 부분의 고장을 검사하게 된다.

Interconnection 테스트

Interconnection 테스트는 경계주사 구조를 가진 보드상의 장착된 칩들 사이에 연결이 잘 되었는지를 테스트한다. 본 논문을 통해서 구현된 Interconnection 테스트 시스템은 기본적인 연결구조뿐만 아니라 Multi-Drive와 Multi-Chain이 형성된 테스트 보드에

대해서도 적용되며, 수동소자들이 연결된 부분들에 대해서도 향상된 테스트패턴을 생성한다[4]. 구현된 Interconnection 테스트 시스템과 향상된 테스트 기법에 대한 자세한 내용은 다음 장에서 설명하도록 한다. [그림 3]는 Interconnection 테스트의 개념도로 그림에서 칩과 칩 사이의 연결선에 해당되는 진한 실선부분의 고장을 검사하게 된다.

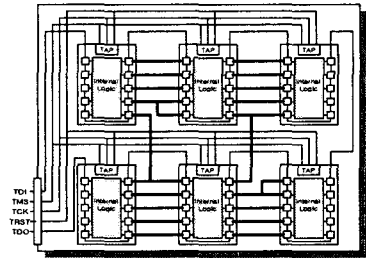


그림 3 Interconnection 테스트 개념도

Interconnection 테스트는 EDIF 파일과 BSDL 파일의 보드 데이터 파일과 보드 환경 설정파일을 사용하여 테스트 파일을 생성하며, 옵션에 따라서 테스트 패턴 알고리즘을 결정한다.

Cluster 테스트

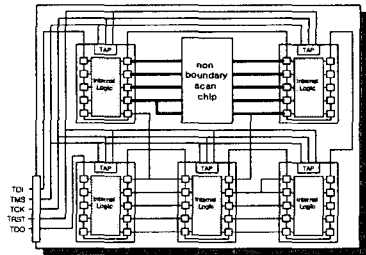


그림 4 Cluster 및 Functional 테스트 개념도

Cluster 테스트는 보드에 장착된 Boundary Scan 설계가 없는 칩과 Boundary Scan을 가지고 있는 칩 사이의 연결상태를 테스트한다. 이 때의 테스트 패턴과 관찰 패턴은 사용자, 혹은 칩 제작사에서 제공하는 패턴을 사용하며 주어진 관찰 패턴과 실제 패턴이 일치하는지 여부를 알려주게 된다. Cluster 테스트를 ASIC에 적용할 경우 칩의 로직에 대해서도 검사하게 된다. [그림 4]은 Cluster 테스트의 개념도이다.

Functional 테스트

Functional 테스트는 보드에 장착된 경계주사 설계가 없는 칩에 대해서 주어진 패턴에 대한 동작 결과 값을 얻는다. 따라서 Functional 테스트는 테스트보다는 입출력 패턴을 조사하는데 사용한다. Functional 테스트를 사용하면 Cluster 테스트에 사용되는 입출력 패턴을 생성할 수도 있으며, Design Verification의 용도로도 사용될 수 있다. [그림 6]은 Functional 테스트의 개념도이다.

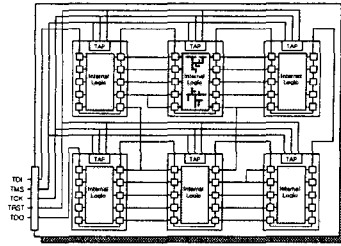


그림 6 INTEST ATPG 개념도

메모리 테스트

메모리 테스트는 Cluster 테스트를 확장시켜서 메모리와 경계주사 구조를 가진 칩 사이를 테스트한다. 테스트의 대상은 메모리 내부가 아닌 메모리와 경계주사 구조 사이의 연결선이다. 비록 메모리에는 기억 능력을 가진 메모리의 특성상 Cluster보다 고장 검출율이 높으며, 고장진단 시 Cluster보다 자세한 정보를 제공해 주는 장점이 있다. [그림 5]은 메모리 테스트 개념도이다.

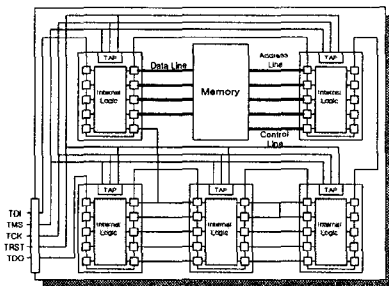


그림 5 Memory 테스트 개념도

INTEST 테스트

INTEST 테스트는 보드에 장착된 BSD의 내부를 검사한다. 이때의 테스트 패턴과 관찰 패턴은 사용자, 혹은 칩 제작사에서 제공하는 패턴을 사용하며 주어진 관찰 패턴과 실제 패턴이 일치하는지 여부를 알려주게 된다. INTEST Instruction은 IEEE Std. 1149.1 표준에 의하면 선택사항이기 때문에 INTEST 명령어가 있는 칩에 대해서만 수행을 할 수가 있다. 칩의 테스트 대상은 칩의 내부이며 ASIC에 적용할 경우 칩의 로직에 대해서 검사하게 된다. [그림 6]은 INTEST 테스트의 개념도이다.

III. 경계주사 테스트 패턴 자동생성 알고리즘

경계주사 칩을 사용한 Interconnection 테스트 알고리즘은 0/1 고착고장(0/1 Stuck At Fault) 과 0/1 우세 연결고장 (0/1 Dominance Bridge Fault)을 그 기본 고장 모델로 하고 있다[7]. 연결고장은 두 연결선이 다른 값을 가지고 있을 때 우선되는 값에 따라서 0/1우세라고 말하기도 한다[8]. 보드에서 발생하는 대부분의 고장은 연결고장 모델로도 충분히 표시할 수가 있다. 본 연구에서 사용한 알고리즘은 다음과 같다.

- Stuck-at Fault Detection 알고리즘

Stuck-at 고장 검출 알고리즘은 보드에서 빈번하게 발생하는 고착고장을 검출하는 알고리즘이다.

- Log(N) 알고리즘

Log(N) 알고리즘은 Counting Sequence 알고리즘으로도 불리며 연결선에 나타나는 연결고장을 검출할 수 있는 알고리즘이다.

- 2log(N) 알고리즘

이 알고리즘은 Log(N) 알고리즘에서 현재 검사중인 두 개의 연결선 이외의 제 3의 연결선이 이 고장에 관여했는지 여부를 판별할 수 없다는 단점을 보완하기 위한 알고리즘이다.

- 2N 알고리즘

2N 알고리즘은 Walking One's 테스트 패턴에 이 패턴의 Complement를 더해서 만든 테스트 패턴으로, 다중으로 존재하는 고착 고장과 연결 고장의 검사와 위치 검출에 사용되는 테스트 패턴을 생성하는 알고리즘이다.

IV. 경계주사 테스트 시스템의 Interface Files

필요한 입력과 출력으로서 다음과 같은 세 가지 중

류의 파일들이 관련된다.

보드 데이터 파일

보드상의 칩들과 소자들의 연결정보를 포함하는 EDIF(Electronic Design Interchange Format) 형태의 파일, 보드 상에 장착된 경계주사 구조를 갖는 칩들에 대한 경계주사 구조 정보를 알려주는 BSDL(Boundary Scan Description Language)파일, EDIF 파일과 BSDL 파일의 연관성을 기술하는 MAP 파일로 구성된다.

보드환경설정파일(Board Configuration File)

보드 환경설정 파일은 다양한 연결구조가 존재할 때 이런 연결구조에 의해서 보드 테스트 시에 안전이나 테스트 패턴 발생에 나쁜 영향을 줄 경우 이를 방지하고자 할 때 사용된다. NIF(Net Information File), PCL(Passive Component List), TCL(Transparent Component List)등과 같은 파일이 이에 속한다.

출력파일

제안된 테스트 시스템에서는 다양한 출력파일을 생성한다. 실제로 테스터에 사용될 테스트패턴을 포함하는 파일뿐만 아니라, 테스트패턴을 테스트중인 보드에 입력시킨 후 관찰결과 패턴을 저장하는 파일, 저장된 관찰결과 파일을 이용하여 고장진단 정보를 알려주는 파일 등이 필요하다. 또한 테스트 기술자에게 보드의 상태를 알려주는 각종 정보 파일들이 생성된다. 출력 파일들에는 SVF(Serial Vector Format), DIA(Diagnosis File), ADF(Application Data File), ECN(Evaluation Circuit File), EXP(Expectation Pattern File), PIL(Part Information File) 등이 있다.

V. 결론

본 논문에서는 보드에서 일반적으로 발생할 수 있는 다양한 연결구조를 분석하고 현상을 파악하여 각각의 연결 구조에 대한 테스트 방법을 제시하였다. 또한 이러한 분석을 토대로 경계주사 테스트 시스템을 구현하였다.

본 연구를 통하여 얻은 보드의 다양한 연결구조에 대한 테스트 방법은 기존의 경계주사 테스트에서 테스트가 불가능했던 영역을 테스트가 가능하도록 할 수 있고 테스트 대상의 확장도 용이하게 되었으며 범용 파일들을 입력 파일로 수용하여 테스트 수행 시

사전 작업의 시간을 줄일 수 있다.

참고문헌

- [1] IEEE Standard Test Access Port and Boundary Scan Architecture, IEEE Std. 1149.1-1990, *IEEE Press*, New York, 1990.
- [2] Colin M. Maunder, Rodham E. Tulloss, "The Test Access Port And Boundary Scan Architecture," *IEEE Computer Society Press*, 1990.
- [3] Harry Bleeker and Peter van den Eijnden, "Boundary-Scan Test A Practical Approach", *Kluwer academic publishers*, 1993.
- [4] Electronic Design Interchange Format Version 2.0.0, *Electronic Industries Association*, EDIF Steering Committee, 1989.
- [5] Kenneth P.Parker and Stig Oresjo, "A Language for Describing Boundary Scan Devices," *Proc. Int'l Test Conf.*, IEEE Computer Society Press, Los Alamitos, Calif.1990, pp.222-234.
- [6] IEEE Std 1149.1(JTAG) Testability, Semiconductor Group, Texas Instruments, 1997.
- [7] Hideo Fujiwara, Logic Testing and Design for Testability., The MIT Press, 1985.
- [8] M.Abramovici, M.A.Breuer and A.D.Friedman, Digital Systems Testing and Testable Design, IEEE Press, 1990.
- [9] N.Jarwala and C.Yau, "A New Framework for Analyzing Test Generation and Diagnosis Algorithms for Wiring Interconnects," *Proc. Int'l Test Conf.*, IEEE Computer Society Press, Los Alamitos, Calif., 1989, pp.63-70
- [11] P.Wagner, "Interconnect Testing with Boundary Scan," *Proc. Int'l Test Conf.*, IEEE Computer Society Press, Los Alamitos, Calif.1988, pp.52-57.