

무선통신용 저전력 10-Bit 10MS/s ADC

김준호, 이용직, 김준엽
 세종대학교 전자공학과 서울특별시 광진구 군자동 98번지

Low Power 10-Bit 10MS/s ADC for Mobile Communication System

Jun-Ho Kim, Yong-Jic Lee, Joon-Yub Kim
 Department of Electronics Engineering, Sejong University, 98 Kunja-Dong, Kwangjin-Ku, Seoul, 1

Abstract - 10-bit 해상도, 10MS/s의 ADC를 Stage 당 1.5-Bit의 Resolution을 가지는 Redundant signed digit(RSD) 방식의 파이프라인 구조를 이용하여 설계하였다. Error Correction Logic을 사용함으로써 비교기를 Coarse하게 설계하였고 잔류 전압 증폭기의 최적 Scaling을 통하여 일반적인 ADC에 비해 성능 저하 없이 효율적으로 소비 전력을 감소시켰다. 또한, Charge Pump의 선택적 사용을 통해 기생 커패시턴스의 영향을 최소화함으로써 잔류전압 증폭기의 출력 전압 특성을 향상 시켰다. 삼성 0.35u CMOS 공정 파라미터를 이용하여 입력 전압 -1~1V, 공급 전압 -1.5~1.5V에서 18.73mW로 설계하였으며 HSPICE로 시뮬레이션 하였다.

1. 서 론

이동통신을 포함한 무선통신용 장비 및 시스템에서 ADC는 Transceiver Modem, Digital Signal Processor의 전후단 등에 다양하게 응용되는 핵심 요소이다. 대부분의 경우, ADC는 System on Chip화로 다른 기능 블록과 함께 집적되기 때문에 전체 Chip에서 소모되는 ADC의 전력 및 성능은 전체 System의 성능을 결정짓는 중요한 요소이다. 더욱이 무선 통신을 위한 장비 및 시스템은 대부분 Mobile 시스템으로 응용되기 때문에 ADC의 소비 전력은 중요한 문제로 대두되고 있다.

10MS/s 이상의 Sampling Rate를 가지는 고속 ADC 구현하고자 할 경우, 기본적으로 Flash ADC의 Direct Conversion 방식을 이용하게 된다. Flash 구조의 ADC 구조적으로 단순하며 가장 빠른 Conversion이 가능하지만, N-bit ADC를 구현하기 위해서는 2^N-1 개의 비교기와 2^N 개의 저항을 필요로 하게 되므로 큰 전력소모와 칩 크기를 요구한다.

Flash 형 ADC의 단점을 극복하고 고해상도와 높은 Sampling Rate를 동시에 갖는 ADC를 저전력으로 구현하기 위하여 파이프라인 방식의 ADC가 널리 사용된다. 그러나 일반적인 파이프라인 구조에서는 파이프라인 Stage 수와 각 Stage에서 사용되는 비교기의 수에 비례하여 전력소모와 칩 크기가 결정되어진다. 결국, 사용되는 비교기 및 Op-amp의 수와 각 기능 블록 별 소비 전력을 전체적인 성능 저하 없이 최소화하는 것이 저전력 ADC를 구현하는 데에 있어서 중요한 관건이라고 하겠다.

본 논문에서는 파이프라인 ADC를 저전력으로 설계하기 위한 파이프라인 ADC의 구조 및 비교기, 잔류전압 증폭기의 Scaling 기법을 소개하며 이를 증명하였다.

2. 본 론

2.1. 1.5-bit/stage 파이프라인 구조

파이프라인 구조의 ADC는 1~4-bit의 낮은 해상도를 가지는 다수의 Stage로 구성되어 있으며 각 Stage의 출

력은 출력 레지스터로 연결된다. 이러한 파이프라인 ADC는 사용된 Stage 수에 비례하여 디지털 출력이 지연되지만, 일정 지연 시간 이후에는 출력 레지스터로부터 클럭 한 주기 간격으로 Conversion을 수행하게 된다.

그러나 일반적인 파이프라인 ADC 구조는 정확한 Interstage Gain과 비교기의 낮은 Offset이 ADC의 정적인 성능을 좌우하게 되므로, 고성능의 Op-amp와 비교기를 필요로 하게 된다. 고성능의 Op-amp는 높은 DC Gain과 빠른 Settling Time을 필요로 하므로 많은 정류를 필요로 하며 낮은 Offset의 비교기를 설계하기 위해서는 큰 전력소모를 가져온다.

Op-Amp와 비교기에서 발생하는 소비 전력을 줄이기 위하여 그림 1과 같은 Stage 당 1.5-bit(00, 01, 10)의 상도를 가지는 RSD 방식의 파이프라인 구조를 사용하였다. RSD 방식의 파이프라인 구조는 일반적인 파이프라인 구조와 유사하지만 Stage 당 해상도가 1.5-bit의 저해상도로 구현된다는 점에서 큰 차이를 가진다. Stage 당 1.5-bit 구조는 그림 2에서 볼 수 있듯이 기존의 2-bit 구조에 고의적인 Offset을 인가하고 이를 Error Correction Logic을 이용하여 보정함으로써 최대 1/2LSB까지의 Offset에 대한 보정 마진을 가지게 되며 결국, Coarse한 비교기의 사용을 허용하게 된다. [1]. 한, DAC의 출력 전압 레벨을 낮춤으로써 기존의 2진 가중 커패시터를 이용하던 방식에서 단순히 Multiplexer만으로 간단하게 구현할 수 있다.

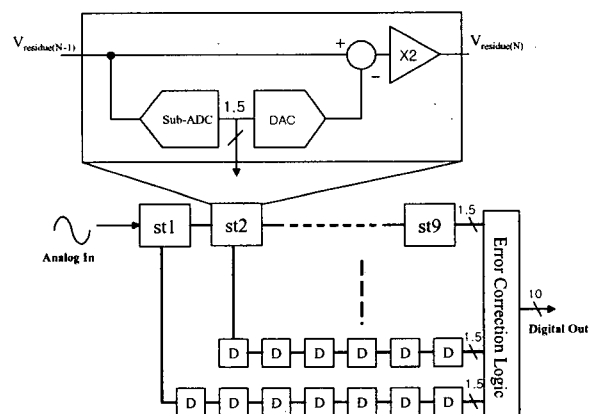


그림 1. 1.5-bit/Stage 구조의 파이프라인 ADC

그림 3은 각 파이프라인 Stage의 실제적인 구현을 보여준다. 기능 블록 위주의 표현을 위해 Single-Ended 방식으로 표현하였으나 실제 구현은 Fully Differential 조로 설계하였다. 일반적으로 각 Stage는 크게 두 단계의 클럭에 의해 동작된다. 첫 번째 단계에서 각 비교기는 입력 신호를 $1/4V_{ref}$ 와 $-1/4V_{ref}$ 의 비교 전압과 비교하

고 논리 상태를 결정하여 이를 Latch에 저장하게 된다. 동시에, 잔류전압 증폭기의 Sampling 커패시터 C_s 와 Feedback 커패시터 C_f 에 입력신호를 저장하게 된다. 두 번째 단계에서 C_f 는 Op-Amp와 Feedback Loop를 형성하게 되고 C_s 는 DAC의 출력과 연결되어 진다. 이러한 과정을 통해 각 Stage의 입력 신호는 Sub-ADC를 통하여 Digital 신호로 전환되게 되며 DAC와 잔류전압 증폭기를 통하여 잔류전압을 생성하고 이를 2의 이득으로 증폭하여 출력하게 된다.

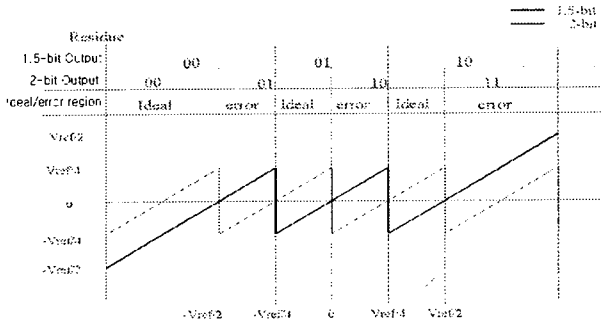


그림 2. RSD 방식과 2-bit/Stage 방식의 Residue Plot

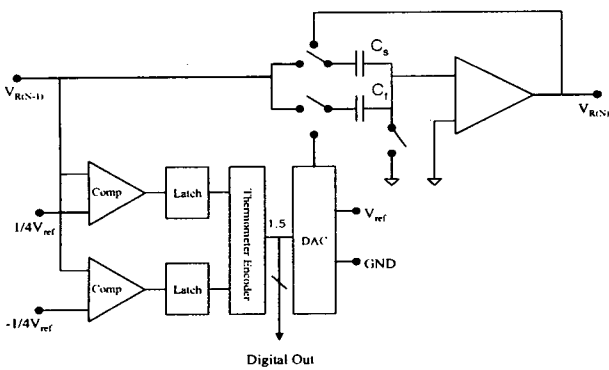


그림 3. 각 Stage의 블록 다이어그램

전체적인 ADC의 Linearity를 성취하기 위해 정확한 Interstage Gain이 요구되어지며 이는 C_s 와 C_f 의 정확한 매칭을 필요로 한다. 전형적으로 커패시터의 정확한 매칭을 위해 수동적 혹은 자동적으로 Calibration을 수행하지만 이는 추가적인 증폭기 및 복잡한 Digital Logic을 사용하여 구현되기 때문에 많은 전력을 소모하게 된다 [2].

본 논문에서는 C_s 와 C_f 의 정확한 매칭을 구현함과 동시에 저전력 설계를 위하여 추가적인 Calibration 회로를 사용하지 않았으며 Layout 상에서 커패시터의 매칭 비율을 최적화 할 수 있는 기법을 사용하였다.[3].

2.2 저전력 설계 기법

일반적으로 ADC에서의 전력소모는 대부분 낮은 Offset을 가져야 하는 고성능 비교기와 Op-Amp와 같이 DC Bias 전류를 필요로 하는 아날로그 회로에서 발생한다. 즉, ADC의 소비 전력을 줄이기 위하여 디지털 회로부에 비하여 많은 전력을 소비하는 비교기와 Op-Amp 같은 Analog 회로부의 전력을 최소화하여야 한다. 이러한 점에 착안하여 각 Stage에서 사용되는 비교기를 Latch 형태로 구현하였으며 비교기의 성능 저하에 의해 발생하는 문제를 Error Correction Logic을 이용하여 정 하였다. 또한, Op-Amp의 전류를 최적화하기 위해 각 Stage에 발생하는 Thermal Noise를 고려하여 부하 커패시터를 Scaling 하였다. Scaling을 통해 발생하는 기

커패시턴스의 영향은 두 종류의 Charge Pump를 선택적으로 활용함으로써 최소화하였다.

2.2.1 Latch 형 비교기

일반적으로 비교기는 작은 입력 신호를 증폭하기 위해 전치 증폭기와 Latch의 두 단계로 구성되어 있다. 그러나 ADC의 해상도가 2-bit 이하 일 경우, 비교기는 전치 증폭기를 사용하지 않고 단지 Latch만으로 구현 가능하다. Latch 형 비교기는 비교기가 논리 결정을 위해 입력 신호를 Sample 하거나 비교기의 출력이 또 다른 상태로 전환되어지는 순간에만 전류가 발생되기 때문에 소비 전력을 최소화 할 수 있다[4]. 또한, RSD 파이프라인 구조에서 Latch 형 비교기의 출력 신호는 Error Correct Logic에 의해 1/2LSB 까지 Random Offset을 보정함으로써 고성능 비교기와 동일한 성능을 유지할 수 있다.

그림4는 Latch 형 비교기의 구조를 보여준다. Latch 형 비교기는 Reset 구간과 비교 구간의 두 단계로 동작을 수행한다. 클럭이 Low인 동안 비교기의 출력은 모두 V_{DD} 로 충전되며 클럭이 High로 전환됨과 동시에 입력 신호의 크기에 따라 비교기는 논리값을 결정하게 되고 이를 유지한다. 이러한 Latch 형 비교기는 기본적으로 CMOS Inverter의 동작원리와 유사하게 동작 과정에서 정전류를 발생시키지 않는다.

Latch 형 비교기의 동작은 클럭이 Low에서 High로 바뀌는 순간에 입력 신호를 비교하고 논리 레벨을 결정하여 Latch 상태로 이어지기 때문에 입력 신호의 Settling Time은 매우 중요하다. 이를 위해 비교전압 발생기의 커패시터 크기를 최적화 하여 충전 시간을 비교기의 클럭보다 빠르게 하거나 클럭의 타이밍을 수 ns 이상 지연하는 방안이 필요하다.

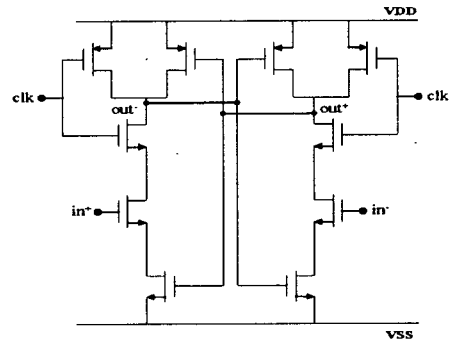


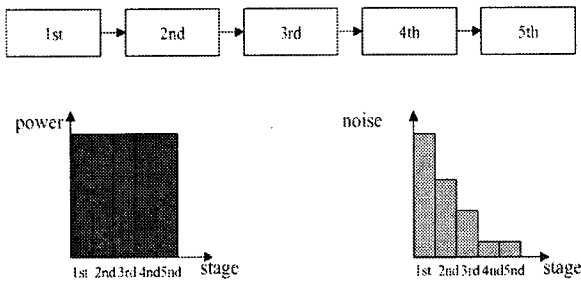
그림 4. Latch 형 비교기

2.3.2 Op-Amp Scaling

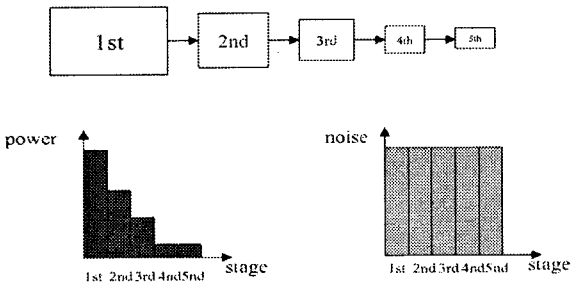
파이프라인 구조에서 발생하는 Noise는 일반적으로 Thermal Noise이므로 Analog 신호를 Sampling하여 폭하는 상위 Stage의 경우, 하위 Stage에 비하여 발생하는 Noise가 크다. 따라서 상위 Stage에서는 Sampling 커패시터의 크기가 커야하는 반면 하위 Stage에서는 비교적 작은 크기의 커패시터를 사용할 수 있다. 이럴 경우 하위 Stage에서는 Noise의 영향에 비해 기생 커패시턴스에 의한 영향이 문제로 나타나게 된다[5]. 그림 5는 Scaling을 사용하지 않은 ADC와 Scaling을 사용 ADC의 각 Stage 별 소비 전력과 Noise의 상관 관계를 보여주고 있다.

Sample and Hold Circuit과 마지막 Stage를 제외한 개의 Stage에서 잔류 전압을 증폭하므로 전체 9개의 Op-amp를 필요로 하며 각 stage 별 Noise를 고려하여 Scaling하였다. 그림 6은 각 파이프라인 Stage에 사용 Sampling 커패시터의 크기를 보여준다. 전력과 Noise 따르는 문제를 고려하여 두 번째 Stage의 Sampling 커패시터는 첫 번째 Stage의 Sampling 커패시터의 값인 2pF에 비해 3.4의 Scaling Factor로 Scaled Down 다. Pipeline의 뒷 Stage에서는 Thermal Noise에

영향이 거의 없는 반면 기생 커패시턴스의 영향이 커지므로 Scaling을 하지 않았다. 일반적으로 Active Switch의 크기에 의존하는 기생 커패시턴스 성분을 최소화하기 위하여 기존의 CMOS 구조의 Switch에서 상대적으로 큰 PMOS를 제거하고 NMOS 만으로 구현하였으며 Voltage Doubler를 이용하여 Switch의 인가 전압의 범위를 기존의 CMOS Switch와 동일하게 유지하였으며 Gate 전압을 증가시킴으로써 NMOS의 크기를 감소시켰다.



(a) Scaling을 사용하지 않은 ADC



(b) Scaling을 사용한 ADC
그림 5. Scaling에 따른 각 Stage 별 전력 및 Noise의 관계

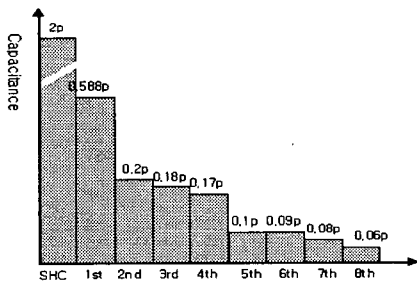


그림 6. 각 Stage에서 사용되는 Sampling 커패시터의 크기

2.3.3 Bootstrapped MOS Switch

그림 7은 잔류 전압 증폭기의 구조에 따른 기생 커패시턴스 성분의 분포를 보여준다. 잔류전압 증폭기의 출력은 Sampling 커패시터의 크기가 작을수록 기생 커패시턴스의 영향을 크게 받기 때문에 Active Switch의 크기를 최소화 할 수 있는 기법이 필요하다. 일반적으로 Active Switch를 CMOS 구조에서 단지 NMOS만으 구현하기 위해 그림 8과 같은 Voltage Doubler를 사용하여 클럭 전압을 증폭하지만 Thermometer Encoder의 력에 의해 값이 결정되는 DAC의 경우 동일한 구조의 Voltage Doubler를 사용하는 것은 불가능하다[6].

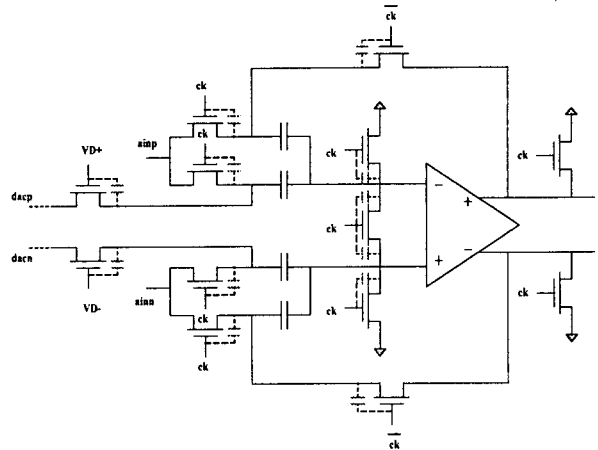


그림 7. 잔류전압 증폭기의 기생 커패시턴스의 분포

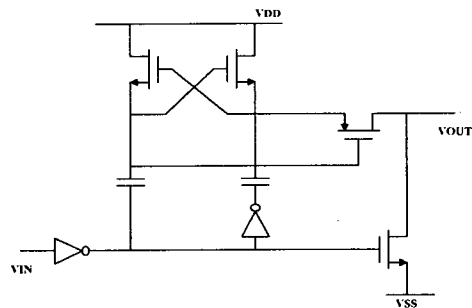


그림 8. 클럭을 증폭하기 위한 Voltage Doubler[6]

그림 9는 DAC의 구조를 보여준다. in1이 High이면 V_{out} 은 V_{ref} 를 in2가 High이면 V_{out} 은 0 전위를 출력하게 된다 in3가 High이면 V_{out} 은 $-V_{ref}$ 의 전압을 출력하게 된다 이 경우, M1과 M5의 Gate 전압은 V_{ref} 보다 문턱전 이상 높아야 하며 CMOS 구조의 Active Switch를 사용했을 경우, 잔류전압 증폭기의 기생 커패시턴스 성분의 영향은 증가하게 된다. 결국, 기생 커패시턴스의 영향을 줄이고 DAC 출력 전압의 빠른 Settling Time을 위해 M1과 M5와 같이 Source 전위가 비교적 높은 전위에 있는 Active Switch에 대해 그림 10과 같은 Gate-Source Turn-on 전압을 항상 일정하게 유지할 수 있는 Charge-Pump를 사용함으로써 단지 NMOS 만의 DAC를 구현하였다.

일정 Turn-on 전압을 가지는 Charge Pump의 경우 클럭이 High 상태에 있는 동안 C3 커패시터에 $2V_{DD}$ 의 값을 충전하고 클럭이 Low로 바뀌는 순간 Active Switch의 Gate와 Source 사이에 배터리와 같이 연결되어 Turn-on 전압이 항상 $2V_{DD}$ 로 일정하게 유지될 수 있다.

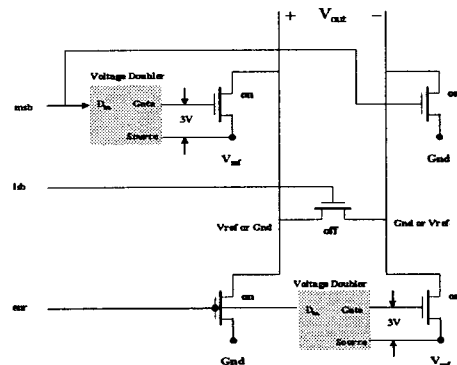


그림 9. DAC의 구조

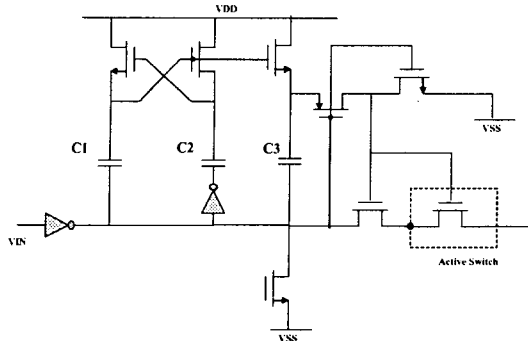


그림 10. 일정 Turn-on 전압을 가지는 Charge Pump

3. 설계 결과

그림 11에서 볼 수 있듯이 이상의 설계기법을 이용하여 표 1의 설계 사양을 가지는 전체 ADC를 소비 전력 18.73mW로 설계하였다. 표 2는 파이프라인 ADC에 사용되는 각 기능 블록별 소비 전력을 보여준다. 비교기를 비롯한 대부분의 디지털 블록의 전체 소비 전력을 전체 소비전력의 15% 정도로 제한하였으며 Sampling 커패시터의 Scaling을 통해 Op-Amp의 전력을 Scaling 하지 않은 경우에 비하여 60%이상 감소시켰다.

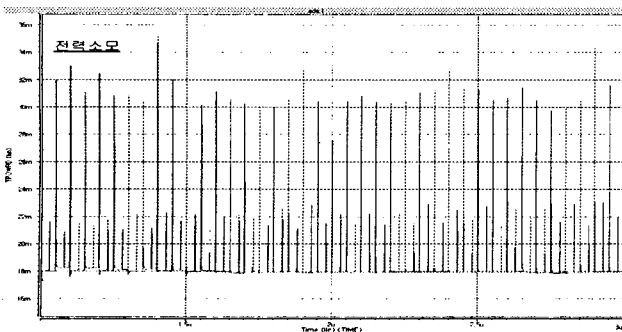


그림 11. 전체 ADC의 소비 전력

표 1. 설계 사양

사양 항목	사 양
Supply Voltage	-1.5V, 1.5V
Resolution	10-bit
Sampling Rate	10MS/s
Input Voltage Range	-1V~1V
DNL(fs=10MHz)	0.4LSB
INL(fs=10MHz)	0.5LSB
Power Consumption(Core)	18.73mW
Technology	0.35um CMOS
Area(Core)	1.5mm x 1.5mm

표 2. 각 기능 블록 별 소비 전력

기능 블록	소비 전력
Comparator 및 DAC	540uW
Delay	378uW
Clock Driver	112uW
Error Correction Logic	88uW
Op-Amp	16.84mW

4. 결 론

10-bit Resolution, 10MS/s의 ADC를 RSD 방식의 이프라인 구조를 사용하여 설계하였다. 효율적인 소비 전력 감소를 위해 전체 비교기를 Latch 형으로 구현하였으며 이에 의한 오차를 Error Correction Logic을 이용하여 보정하였다. 또한, 각 Stage에서 발생하는 Therm Noise를 고려하여 잔류전압 증폭기의 Sampling 커패시터를 Scaling하였으며 이로 인해 발생하는 기생 커패시턴스 성분을 두 종류의 Charge Pump를 이용하여 최소화하였다. 삼성 0.35u CMOS 공정 파라미터를 이용하여 이동통신을 포함한 무선통신용 장비 및 시스템에서 사용할 수 있는 ADC를 18.73mW로 설계하였고 이를 HSPICE를 통하여 증명하였다.

[참 고 문 헌]

- [1] T.B. Chao and P.R Gray, "A 10b, 20MSam 35mW pipeline A/D converter," IEEE J. Solid Circuits, vol. 30, no. 3, pp.166-172; Mar.1999
- [2] H.S. Lee, "A 12-b 600KS/s dogota::u se:f-ca pipelined algorithmic ADC," IEEE J. Solid-State C vol. 29, no.4, pp.509-511, Apr.1994
- [3] M.J.McNutt, "Systematic Capacitance Matching Err Corrective Layout Procedures," IEEE J. Solid Circuits, vol. 29, no.5, May 1994
- [4] W.S. Song, H.W. Choi, S.U. Kwak and B.S. Song, " 20Msample/s low-power CMOS ADC," IEEE J. Solid Circuits, vol. 30, no. 5 pp. 514-521, May. 1995
- [5] David W. Cline, P. R. Gray "A Power Optimized 5Msample/s Pipelined Analog-to-Digital Converter in CMOS," IEEE J. Solid-State Circuits, vol. 31, no. 1996
- [6] Jen-Shiun, Chiang, Ming-Da Chiang "The Design of 10Bit, 10Msamples/s Low Power Pipelined Analog-to-Converter," ISCAS, May, 2000
- [7] Andrew M. Abo, Paul R. Gray " A 1.5-V, 1 14.3-MS/s CMOS Pipeline Analog-to-Digital Conv IEEE J. Solid-State Circuits, vol. 34, no. 5, May 1999