AC PDP의 경사형 Address 전압 인가 방식에 의한 오방전 보상에 관한 연구

김준연 이상진 권병대 김동현 이호준 박정후
부산대학교 전기공학과

A study on the compensation of misfiring by the method of ramp address voltage in AC PDP

J. Y. Kim S. J. Lee B. D. Kwon D. H. Kim H. J. Lee J. H. Park
Department of Electrical Engineering, Pusan National University

Abstract

If the ambient temperature rises for AC PDP, some of the discharge cells are turned off because of the misfiring during address period.

Particularly, the misfiring of the last scan line is more serious than that of the first.

In order to compensate the misfiring in such that case, different addressing voltage is applied at each cell such as progressively increasing pulse voltage instead of constant one. As a result, the addressing time and discharge charge of the last scan line have become similar to those of the first scan line and the phenomenon of misfiring has disappeared.

1. 서 론

Plasma Display Panel(PDP)은 저기압 가스 방전에서 발생된 자외선이 형광체를 여기 시킴으로써 발생하는 가시광을 이용한 자체 발광형 표시소자이다. 현재 PDP는 대화면화가 용이하고 초박형 경량 구조로 대화면 평판 디스플레이로 각광 받고 있다. 하지만 AC PDP의 문제점 중 주위 온도가 올라감에 따라 켜져야 할 방전 cell들 중 꺼지는 cell들이 나타나는 오방전 현상이 있다. 이러한 고온 오방전 현상은 ADS구동 방식에서 address 기간 중 addressing 방전이 제대로 이루어지지 않은 경우에 잘 나타난다. 특히, 처음 scan line에 비해 후반부 scan line에서의 addressing 방전의 불량이 더 잘 나타났으며, R, G, B 중 Green이 꺼짐으로써 마젠타(Magenta)빛을 띠는 현상이 나타났다.

본 연구에서는 후반부 scan line에서 addressing 방전의 불량에 의한 고온 오방전의 대책으로 모든 scan line에 대해 동일한 address 전압을 인가하는 방식과는 달리 후반부 scan line으로 갈수록 address 전압을 서서히 상승시켜 주는 방식을 적용하였다.

2. 실험 방법

AC PDP의 기본 구조는 그림1과 같이 상, 하판 두 장의 유리 기판으로 구성되어 있다. 상판에는 Ag로 이루어진 방전 유지 전극이 있고, 그 위에 유전층이 유지 전극을 덮고 있으며, 방전 시 이온 충격으로부터 이 유전층을 보호하기 위한 MgO박막이 E-beam 증착 기법에 의해 유전층 상에 증착 되어 있다. 그리고, 하판에는 방전을 제어하기 위한 어드레스 전극과 표면 방전에서 발생하는 진공 자외선을 가시광으로 변화하는 R G B 삼원색의 형광체가 도포 되어 있으며, 인접 cell과의 구분을 위해 격벽이 형성되어 있다.

표 1은 test panel의 사양을 나타내고 있으며, 총 40 line의 scan line을 사용하였다.

그림 2는 본 실험에서 사용된 구동 파형을 나타내고 있다. Matsushita의 ADS 파형을 사용하였으며, 총 주기는 1.63ms였으며 reset 기간 중의 ramp 파형의 ramping up 시의 rising time은 100μs, ramping down 시의 falling time은 150μs로 설계하였다.

Address 기간은 실제 40인치급과 동일한 조건을 만들기 위해서 총 1ms의 기간을 할당하였으며, 하나의 address 펄스 폭은 2μs로 하였다.

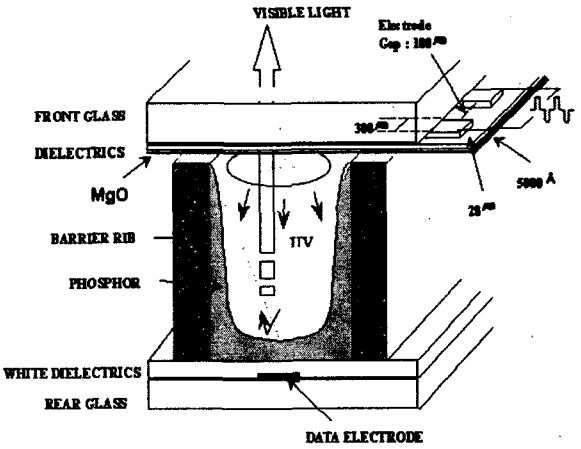


그림 1. AC PDP의 개략도

표 1. Test panel의 사양

Table 1. The specification of test panel

Bus 전극 폭	85μm
ITO 전극 폭	270μm
ITO 전극 간격	65μm
유전층 두께	40μm
MgO층 두께	5000Å (E-beam 증착)
Barrier rib 폭	75μm
Barrier rib 높이	130μm
형광체 두께	20μm
Mixture gases	Ne+(9.6%)He+(4%)Xe

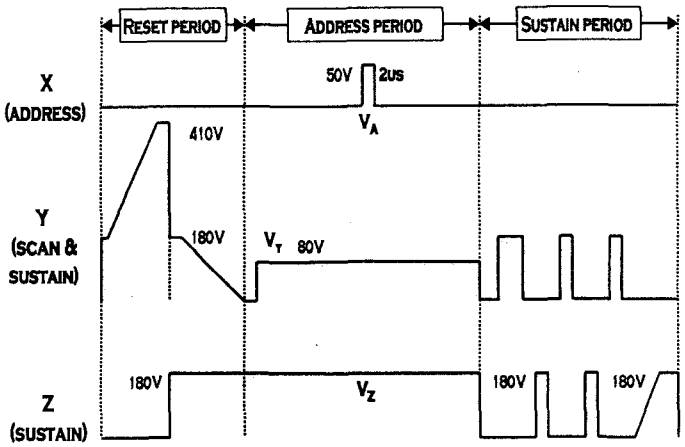
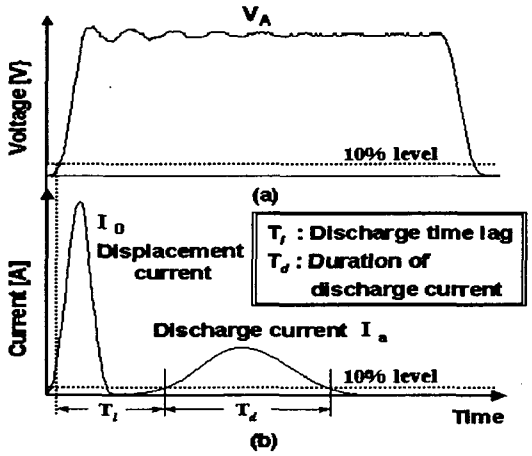


그림 2. ADS 방식의 AC PDP 구동 파형

그림 3은 address 기간 중에 address 전압 펄스 V_A 파형과 전류 파형을 나타내고 있다. PDP cell은 용량성 부하이기 때문에 전압을 인가할 경우 그림 3에서와 같이 전압 상승 부에 충전 전류 혹은 변위 전류라고 칭하는 I_0 전류가 먼저 흐르게 되고 그 전류 성분에 의해 cell 내 전압이 확립되면 이 후 방전에 의한 방전 전류 I_a가 흐르게 된다. 그림 3에서는 방전 지연 시간을 Tl로 그리고, 방전 전류 지속 시간을 Td로 정의하였는데, 여기서 방전 지연 시간 Tl은 전계가 인가된 이후에 방전 cell 내부에 breakdown이 발생하는데 까지 소요되는 시간을 의미하고, 방전 전류 지속 시간 Td는 방전 전류가 발생하여 소멸하기까지의 시간을 의미한다.

Addressing 방전은 Tl+Td 시간 내에 생성, 소멸되기 때문에 address time을 Tl+Td로 정의하였다. 방전 전류는 current probe를 이용하여 oscilloscope 상에서 측정된다. Tl은 oscilloscope 상의 인가전압 파형의 peak 치의 10% 지점에서 방전전류 peak 치의 rising 10% 지점까지의 시간으로 계산하였으며, Td는 방전전류 peak 치의 rising 10% 지점과 falling 10% 지점까지의 시간으로 계산하였다. 또한, 시간 Td 동안 흐르는 방전 전류를 적분하여 방전 전하량을 측정하였다.



(a) 인가 전압 파형
(b) 변위 전류 및 방전 전류 파형
그림 3. Tl 과 Td.의 정의

그림 4는 실험 장치의 구성도 이다. 실험 장치는 크게 7.5인치 panel과 panel의 주위 온도를 제어할 수 있는 고온조, 그리고 구동회로 부분으로 구성되어 있다. 고온조는 panel의 주위 온도를 40℃~90℃까지 가변 시킬 수 있으며 설정 온도에서 PWM제어를 통해 1℃미만의 오차를 가지도록 제작하였고, 외부에서 panel의 방전상태를 관측하기 용이하도록 상부 면에 관측 창을 두었다. 구동회로 부분은 signal 발생부와 전압 공급부, 그리고 analog switching 부로 구성되어 있다.

그림 2의 파형을 test panel에 인가하여 40개 scan line과 120개 address line의 4800개 cell을 full white 상태로 구동하였다. 먼저 panel 주위 온도가 상온(18℃)일 때의 전류를 계측하고, panel의 주위 온도를 고온(70℃)으로 했을 때 상온과 동일 전압 하에서의 전류를 계측하였다.

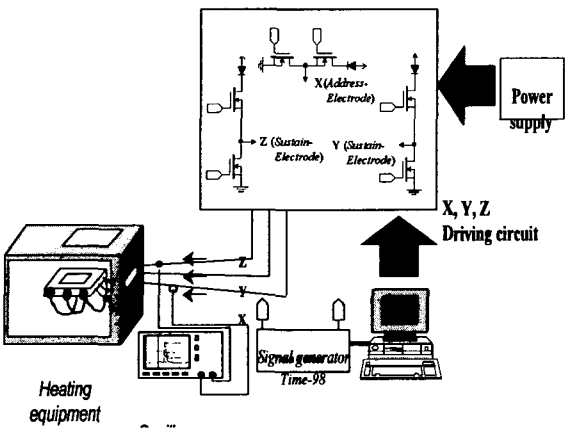


그림 4. 실험 장치의 개략도

3. 실험 결과 및 고찰

고온에서 오방전 발생시 경사형 address파형을 적용하기에 앞서 우선 4800개 cell을 full white상태로 구동하기 위한 최소 address 전압을 상온(18℃)과 고온 (70℃)에서 각각 구하였다. 첫 번째 scan line의 scanning 시간에 맞춰 전 cell을 동시에 addressing 방전 시켜 full white시 address 전압을 측정하고, 다음으로 address 기간 시작 후 500μs, 1ms 경과 지점인 가운데 scan line과 마지막 scan line의 scanning 시간에 동기 하여 전 cell을 addressing하여 address 전압을 측정하였다.
그림 5에서와 같이 상온에서는 scanning 시간에 따른 전압 편차가 처음과 마지막에서 1V 정도밖에 나지 않았으나, 고온에서는 그 편차가 3V로 상온에 비해 커짐을 알 수 있다.
또한 실제 PDP구동에서와 같이 순차적으로 scanning 동작을 행할 때 address 전압을 50V로 인가하면 상온에서는 전 cell이 full white 상태를 유지하나 고온에서는 후반부 scan line에서 R, G, B cell들 중 Green cell 중 일부가 꺼지는 현상이 나타났다.

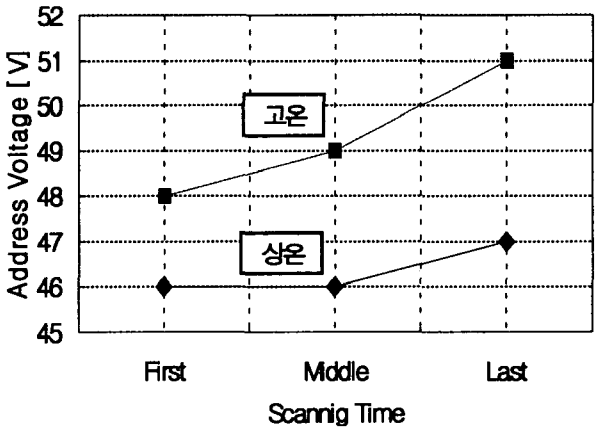


그림 5. 상온(18℃)과 고온(70℃)에서 scan 시간에 따른 full white 상태의 address 전압 특성

좀 더 자세한 방전 특성을 알아보기 위해 순차적으로 scanning 동작을 하고 동일한 address 전압(50V)를 인가하여 방전 전류와 방전 전하량을 상온과 고온에서 측정하였다.
그림 6은 상온 첫 번째 scan line에서 방전 전류 및 방전 전하량을 100으로 두고 온도와 scanning time에 따라 상대치를 도표화한 것이다. 그림 6에서와 같이 상온에서는 scanning time에 따라 처음, 중간, 마지막 scan line에서의 방전 전류와 방전 전하량의 변동이 거의 없었다. 고온에서는 상온에 비해 addressing time은 처음, 중간, 마지막 scan line에서 1.8%, 3.3%, 4.6%씩 각각 증가하였고, 방전 전하량은 11.5%, 14.7%, 21.3%씩 감소하였다.
고온에서 전 scan line에 걸쳐 상온과 비교하여 방전 전하량 감소가 두드러지게 나타났으며, 후반부 scan line으로 갈수록 감소폭도 커졌다. 이는 고온에서 후반부 scan line에서의 cell 꺼짐 현상과 대응한다.

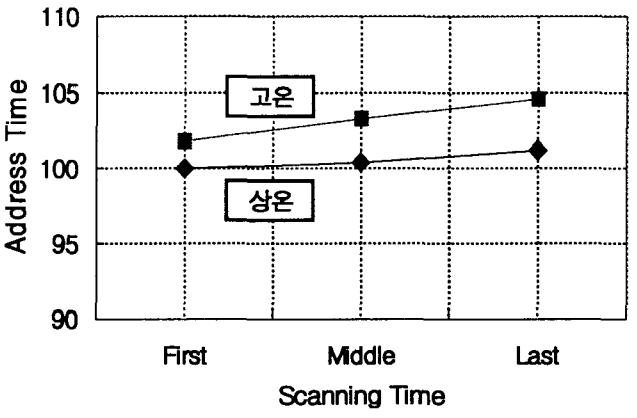


그림 6.(a) 상온과 고온에서 scan 시간에 따른 address time 변화

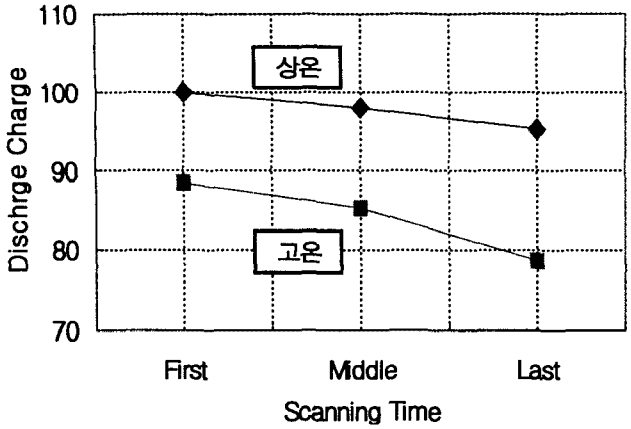


그림 6.(b) 상온과 고온에서 scan 시간에 따른 방전 전하량 변화

그림 7은 address 측 data driver IC에 인가되는 전압 파형과 실제 출력되는 addressing pulse를 나타내고 있다. 그림 7(a)는 기존의 방식으로 인가되는 address pulse를 나타내고 있다. 이 경우 출력되는 address pulse의 전압 값은 address 기간 동안 항상 50V로 동일하게 된다. 그림 7(b)는 본 연구에서 사용한 경사형 address 전압 파형을 나타내고 있다.

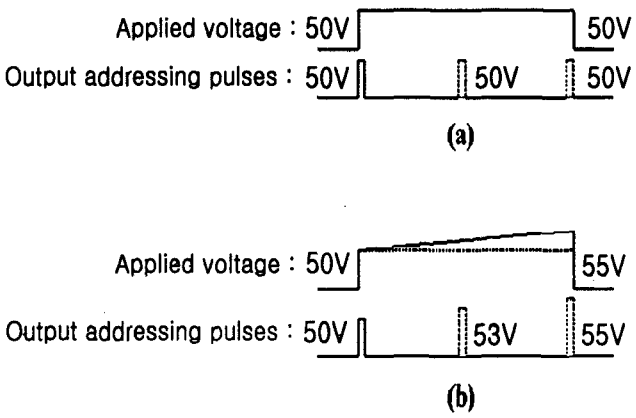


그림 7. 인가전압과 출력 펄스 개략도

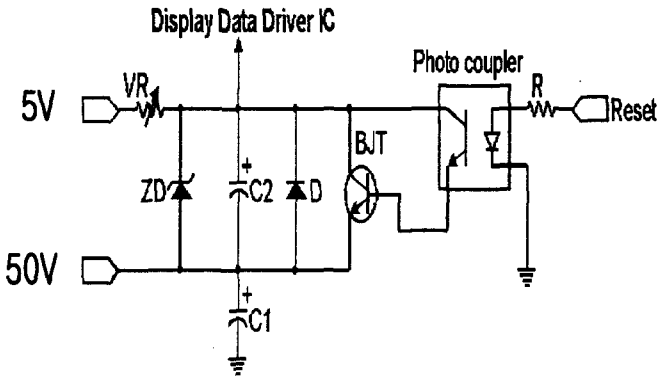


그림 8. 경사형 address 파형을 위한 회로도

고온에서 후반부 scan line에서의 cell 꺼짐 현상을 보상하기 위하여 scanning time이 증가함과 함께 address data driver IC에 인가되는 전압을 약 5V 정도 서서히 상승시켰다. 실제 첫 번째 scan line의 addressing 전압은 50V, 그리고 마지막 scan line의 addressing 전압은 55V가 되도록 설계하였다. 그림 8은 본 연구에서 사용한 ramp 형태의 addressing 전압 발생회로의 회로도를 나타내고 있다. 그 동작 원리는 다음과 같다. 먼저 C1 condenser에 50V가 충전되고, C2 condenser에 RC 시정수를 가지고 5V가 충전된다. C1과 C2의 condenser에 충전된 전압의 합이 address 기간 중에 display data driver IC에 공급된다. Address 기간을 제외한 나머지 reset과 sustain 기간 중에는 C2에 충전된 전압은 방전되도록 설계되어 있다. 즉, sustain 이나 reset 기간 중에는 그림 8에서 reset signal이 photo coupler에 인가되어 BJT를 turn on 시킴으로써 C2의 전압이 clear 된다.

방전 현상을 이용하여 구동하는 PDP에서는 priming이 매우 중요한 역할을 한다. 그리고 이러한 priming은 ADS방식에서는 reset 과정에서 과전압을 인가하여 생성시키게 되고 생성된 priming 상태는 1ms 정도의 address 기간 중에 다소 변화하게 된다. 또한, reset 기간에 형성된 벽전하 역시 address 기간 중에 확산이나 재결합에 의해 변할 수 있다.
결국, reset 기간 이후의 address 기간 동안 첫 번째 scan line과 마지막 scan line을 scanning할 때의 방전 개시전압 및 방전 늦음이 priming과 잔류 벽전하의 상태에 영향을 받아 변하게 된다.
그림 5와 그림 6에서 알 수 있듯이 첫 번째 scan line보다 마지막 scan line에서의 address 전압과 address time의 증가 및 address 방전 전하량의 감소가 이를 뒷받침한다. 이런 scanning 시간에 따른 방전 특성 차이는 상온일 때보다 고온일 때 더 심했으며, 결과적으로 고온에서 후반부 scan line에서의 addressing 방전 불량으로 인한 cell 꺼짐 현상으로 나타난다고 생각한다.
그러므로, 고온에서 후반부 scan line에서의 addressing 방전 특성을 첫 번째 scan line에서와 동일하게 유지하기 위해서는 address 전압을 높여줄 필요가 있다. 마지막 scan line에 인가되는 address pulse 전압을 처음에 비해 5V 더 높게 인가했을 때, 그림 9에서와 같이 address time 및 address 방전 전하량 모두 처음과 거의 같은 값을 얻을 수 있었다.
기존의 동일한 address 전압을 계속적으로 인가하는 방식의 경우 만일 address 전압을 55V까지 상승시키면 첫 번째 scan line의 addressing 셀에서 cross-talk가 발생할 우려가 있으며, 과도하게 인가된 전압 증가분에 의한 에너지 손실($\frac{1}{2} C V^2$) 등을 고려할 때 ramp 형태의 addressing 전압을 인가하는 것이 바람직하다고 생각한다.

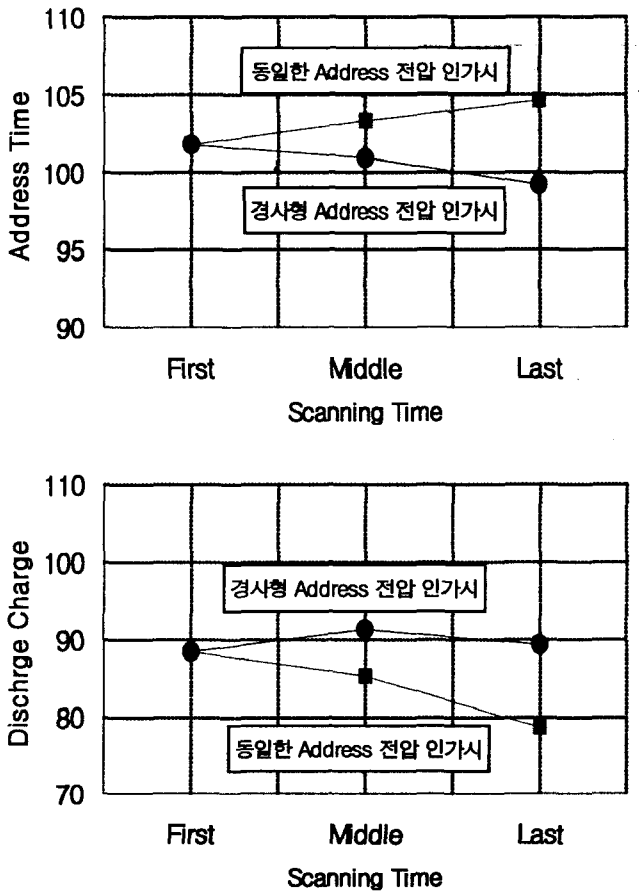


그림 9. 고온에서 경사형 address 전압 인가시 address time, 방전 전하량 변화

4. 결 론

본 연구에서는 AC PDP의 고온 오방전 현상에 대해 address 측 display data driver IC에 ramp 형태의 전압을 인가하는 방식을 적용하였다. 고온에서 동일한 address 전압을 인가하는 방식에 비해 마지막 scan line에서 address time은 5.2% 감소하였고 방전 전하량은 13.6% 증가하였으며, 그 값 또한 첫 번째 scan line과 비슷하게 되어 유사한 addressing 방전 특성을 얻을 수 있었다.

그 결과, 마지막 scan line 부분에서 발생한 cell 꺼짐 현상을 사라지게 할 수 있었다.

[참 고 문 헌]

[1] 김동현, AC PDP의 contrast ratio 및 기입속도 개선에 관한 연구, 공학박사 논문, pp.95-100

[2] Sung-Hyun Lee, Improvement of addressing time and its dispersion in AC PDP, Asia Display/IDW 01 digest, pp.1009-1012

[3] R. Yoshida, Plasma Display. Japan : Kyoritsu Publishing Co. 1983, pp.63-70

[4] J. M. Meek and J. D. Craggs, Electrical Breakdown of Gases, John Wiley & Sons, pp.665-688,

[5] C. Punset et al, Two-dimensional simulation of an alternating current matrix plasma display cell: Cross-talk and other geometric effects, J. Applied Physics vol. 83, pp.1884-1897