

CMOS 소자를 이용한 저전압 안정화 회로 설계

Design of the CMOS Low-Voltage Regulation Circuit

김영민*, 이근호, 황종선, 김종만, 박현철

(YeongMin Kim*, KeunHo Lee, JongSun Hwang, JongMan Kim, HyunChul Park)

Abstract

A CMOS voltage regulation circuit for use at low-voltage is proposed. Circuits for a positive and for a negative current regulation are presented and are designed with commercial CMOS technology. The voltage regulation that is stable over ambient temperature variations is an important component of most data acquisition systems. These results are verified by the H-SPICE simulation 0.8 μ m parameter. As the result, the temperature dependency of output voltage is 0.57 mV/°C and the power dissipation is 1.8 mW on 5V supply voltage.

Key Words : voltage regulation, low-voltage, CMOS, H-SPICE simulation

1. 장 서 론

반도체 소자의 집적화 기술발달로 전자회로의 소형화, 경량화, 저소비전력화가 가능해졌으며 특히, 이동 통신 시스템 및 노트북 컴퓨터 등의 이동식 전자시스템에서는 그 중요성이 크게 대두되고 있다. 왜냐하면, 이들 모든 이동장비들의 배터리 사용시간이 그 시스템의 성능을 좌우하게 되기 때문이다.

근본적으로 모든 시스템에서 전력소모를 줄이기 위해서는 동작할 때 소모되는 활성전류와 동작이 되지 않고 있을 때의 비활성 전류를 줄여야 한다. 이를 위해서 여러 가지 방법들이 연구되고 있지만 현재까지 알려진 최선의 방법은 회로의 동작전압을 낮추는 것이다. 지금까지 동작전압의 저 전압화는 소자구조와 더불어 발전해 왔으며^[1], 이와 더불어 저 전압하에서도 배터리 동작시 공급전압의 변화에 대하여 가능한 한 오랫동안 안정적으로 동작을 해야 한다. 이러한 방법을 해결하기 위해서는 외부 공

급전압 및 온도변화에 영향을 받지 않은 전압 안정화 회로가 필요하다^[2]. 이러한 안정화 회로 대부분의 경우 온도변화에 대하여 안정적인 전압을 발생시키기 위한 방법으로 바이폴라 트랜지스터의 밴드-갭 전압을 이용하는 방식이 주로 사용되어 왔다^[3,4]. 하지만 현재 ASIC과 메모리의 설계에는 CMOS공정이 주를 이루고 있으므로 추가 공정작업이 필요하지 않을 CMOS소자를 이용한 안정화 회로의 설계 필요성이 대두되고 있다^[2].

본 논문에서는 이러한 문제점을 해결하여 단일 공정하에서 안정된 전류를 공급해 줄 수 있는 개선된 구조의 CMOS 안정화 회로를 설계하였다. 설계된 안정화 회로는 온도의 증가에 따라 감소하는 전류값을 갖는 회로와 증가하는 전류값을 갖는 회로를 설계하여 각각 합하면 결국 온도와 공급전원에 독립적이고 안정적인 전류값을 갖게 된다. 설계된 회로는 공급전압이 2.5V에서 5.5V까지 변화하여도 사용가능하며 전력소모는 5V 공급전압 하에서 1.8 mW값을 나타내었다.

* 담양대학 컴퓨터응용전기시스템과

(전남 담양군 담양읍 향교리 담양대학,

Fax: 061-380-8466

E-mail : ymkim@damyang.damyang.ac.kr)

2. 장 밴드-갭 안정화 회로

2.1 동작원리

회로의 동작원리는 그림 1에 나타난 바와 같이 바이폴라 트랜지스터의 베이스-에미터 사이의 전압 V_{BE} 와 열 전압 V_T 의 배수를 서로 더하여 음의 온도 계수를 갖는 V_{BE} 와 양의 온도계수를 갖는 V_T 의 효과를 서로 상쇄시키는 방법이다.

그림 2에 주어진 간단한 밴드-갭 안정화 회로의 출력전압을 구해보면, Op-Amp의 virtual ground 특성으로 인해 식(1)과 같은 관계가 성립한다.

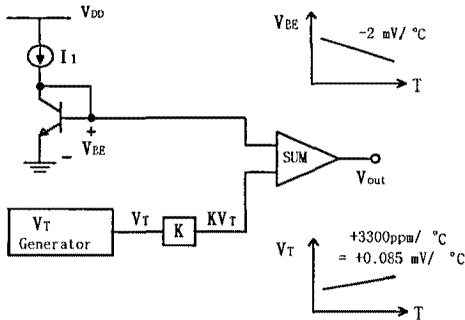


그림 1. 밴드-갭 안정화 회로의 동작원리
Fig.1 Operation of band gap regulation circuit

$$\frac{I_1}{I_2} = \frac{R_2}{R_1} \quad (1)$$

또한 회로에서 베이스-에미터 전압의 관계를 살펴보면 식(2)와 같이 된다.

$$\begin{aligned} V_{BE1} - V_{BE2} &= \Delta V_{BE} \\ &= V_T \cdot \ln\left(\frac{I_1}{I_2}\right) \\ &= V_T \cdot \ln\left(\frac{R_2}{R_1}\right) \end{aligned} \quad (2)$$

이때 ΔV_{BE} 는 저항 R_3 의 양단 전압이므로 다음과 같이 정리될 수 있다.

$$\Delta V_{BE} = I_2 \cdot R_3 = \frac{R_1 R_3}{R_2} \cdot I_1 \quad (3)$$

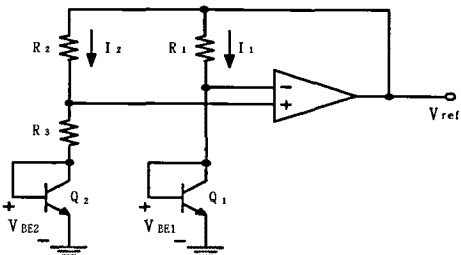


그림 2. 간단한 밴드-갭 안정화 회로
Fig.2 Simple architecture of band gap

식(2)와 식(3)은 같으므로 I_1 에 대하여 정리하면 다음과 같다.

$$\begin{aligned} I_1 &= \frac{R_2}{R_1 R_2} \cdot \Delta V_{BE} \\ &= \frac{R_2}{R_1 R_2} \cdot V_T \cdot \ln\left(\frac{R_2}{R_1}\right) \end{aligned} \quad (4)$$

한편 출력 전압 안정화 값을 정리하여 보면 식(5)와 같다.

$$\begin{aligned} V_{ref} &= V_{BE1} + I_1 R_1 \\ &= V_{BE1} + \frac{R_2}{R_3} \cdot V_T \cdot \ln\left(\frac{R_2}{R_1}\right) \end{aligned} \quad (5)$$

앞에서 전개한 수식에서 알 수 있듯이 출력 전압 값은 바이폴라 트랜지스터의 베이스-에미터 전압 V_{BE} 와 열전압 V_T 의 합이 되므로 저항 R_2 와 R_3 의 값을 조정하여 그 비율을 맞추어 주면 변화하는 온도에 대하여 독립적인 전압원을 발생시킬 수 있다.

3. 전압 안정화 회로 설계

3.1 음의 온도계수 회로

주어진 그림 3은 온도의 증가에 따라 감소하는 전류를 생성하는 회로이다. I_1 과 I_2 를 $10\mu A$ 정도로 작게 만들면 다음의 식 (6)과 식 (7)처럼 근사화시킬 수 있다. 이렇게 생성된 전류 I_5 는 식 (8)에서 보는 바와 같이 PMOS의 문턱전압과 전하이동도 함수이다. 전자 이동도는 $T^{-1.5}$ 에 비례하고 문턱전압도 약 $-1.7 \text{ mV}/^\circ\text{C}$ 의 온도계수를 가지므로 전류 I_5 는 식 (9)와 같이 온도에 반비례하는 성질을 띄게 된다.

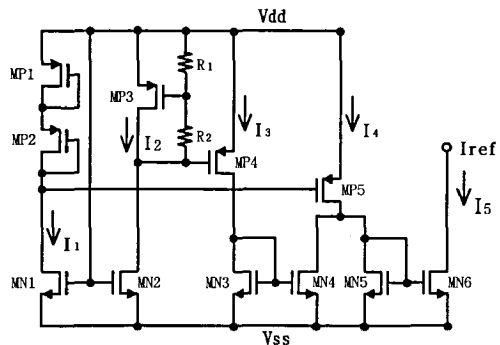


그림 3. 음의 온도계수를 갖는 회로
Fig.3 Circuit of negative current value with

temperature

$$V_{dd} - V_{T2} = 2V_{THP} + 2\sqrt{\frac{2I_1}{\beta_p}} \approx 2V_{THP} \quad (6)$$

$$V_{dd} - V_{T4} = (1 + \frac{R_2}{R_1})V_{T3} \approx (1 + \frac{R_2}{R_1})V_{THP} \quad (7)$$

$$I_5 = I_4 - I_3 = \frac{1}{2} \mu_p C_{ox} \frac{V_{THP}^2}{L_{MF5}} [W_{MF5} - (\frac{R_2}{R_1})^2 W_{MP4}] \quad (8)$$

$$\frac{\partial I_5}{\partial T} = I_5 (\frac{1}{\mu_p} \cdot \frac{\partial \mu_p}{\partial T} + \frac{2}{V_{thp}} \cdot \frac{\partial V_{THP}}{\partial T}) < 0 \quad (9)$$

그림 3의 회로에서 온도변화에 대한 출력전류값의 변화는 그림 4와 같이 나타난다. 공급전압이 5V로 일정하며, 온도가 -30°C에서 80°C까지 변할 때 출력 전류값의 변화를 보면 650μA에서 391μA로 감소하고 있음을 알 수 있다. 평균 변화율은 -2.35 μA/°C이다.

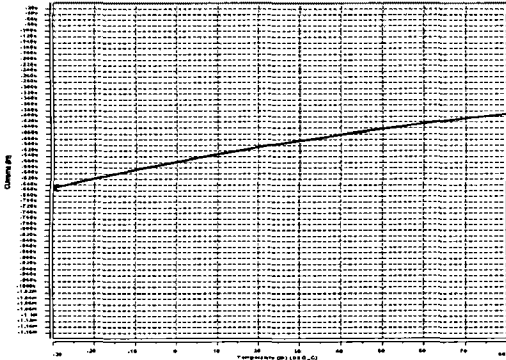


그림 4. 출력전류 음의 변화 값
Fig.4 Simulation result of the fig.3

3.2 양의 온도계수 회로

그림 5는 온도의 증가에 따라 증가하는 전류를 생성하는 회로이다. 식 (10)에서 볼 수 있듯이 분모에 있는 전자 이동도는 온도의 증가에 따라 감소하고 저항은 증가하는데 전자 이동도의 감소율이 더 크기 때문에 식 (11)에서처럼 결국 양의 온도계수를 가지게 됨을 알 수 있다.

$$I = \frac{2 L_{MP1}}{R_1^2 \cdot \mu_p \cdot C_{ox} \cdot W_{MP1}} (1 - \frac{1}{\sqrt{A}})^2, \quad (10)$$

$$A = (\frac{L_{MP2}}{W_{MP2}}) / (\frac{L_{MP1}}{W_{MP1}})$$

$$\frac{\partial I}{\partial T} = I (-2TC_{R_1}) = I (-2000 \mu + 3600 \mu) > 0 \quad (11)$$

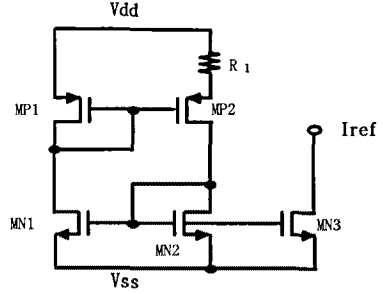


그림 5. 양의 온도계수를 가진 회로도
Fig.5 Positive current with temperature

그림 5의 온도변화에 따라 출력이 증가하는 회로에 대한 시뮬레이션 결과가 그림 6에 보여진다. 공급전압이 5V이며, 이 역시 온도가 -30°C에서 80°C까지 변할 때 출력 전류값의 변화를 보면 475μA에서 761μA로 증가하고 있음을 알 수 있다. 따라서 전체온도에 대한 전류의 평균 변화율은 +2.69 μA/°C이다.

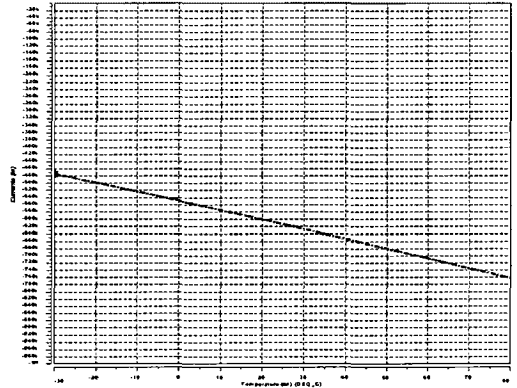


그림 6. 출력전류 양의 변화값
Fig.6 Simulation result of the fig.5

3.2 최적화된 전압안정화 설계

그림 7은 앞에서 언급된 온도 변화에 따라 양의 출력값을 갖는 회로와 음의 출력값을 갖는 회로에 의해 온도와 공급 전원에 안정된 전압을 생성하는 회로이다. MOS 다이오드의 저항 성분을 유도하면 식(12)와 같다.

식(13)에서 $(1/2) \cdot \sqrt{2/(\beta_n \cdot I)}$ ($\partial I / \partial T$)항은 공정 변수를 대입하여 값을 비교하여 보면 나머지 항에 비해서 1/100배 정도이기 때문에 근사화가 가능하다.

식(13)에서 $\beta_n = \mu_n \cdot C_{ox} \cdot W/L$ 이므로 W/L 을 조절하면 생성전압은 온도에 독립적으로 만들 수 있다. 식(14)는 서로의 관계에 의해 전류 안정화가 공급전원에 독립적이면 생성전압도 독립적으로 만들 수 있음을 보여준다.

$$R = \frac{V_{ref}}{I} = \frac{V_{THN}}{I} + \sqrt{\frac{2}{\beta_n I}} \quad (12)$$

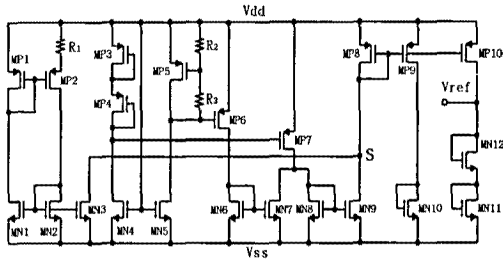


그림7. 설계된 전압 안정화 회로
Fig.7 Design of voltage regulation circuit

$$\begin{aligned} \frac{\partial V_{ref}}{\partial T} &= \frac{1}{2} \sqrt{\frac{2}{\beta_n I}} \cdot \frac{\partial I}{\partial T} + \frac{\partial V_{THN}}{\partial T} \\ &\quad - \frac{1}{2\mu_n} \sqrt{\frac{2 \cdot I}{\beta_n}} \cdot \frac{\partial \mu_n}{\partial T} \\ &\approx \frac{\partial V_{thn}}{\partial T} - \frac{1}{2\mu_n} \cdot \sqrt{\frac{2 \cdot I}{\beta_n}} \cdot \frac{\partial \mu_n}{\partial T} \quad (13) \end{aligned}$$

$$\frac{\partial V_{ref}}{\partial V_{DD}} \approx \frac{I}{V_{ref}} \cdot \frac{\partial I}{\partial V_{DD}} \quad (14)$$

이러한 결과는 그림 7의 S 노드에서 반대되는 두 특성의 전류값들이 합쳐져 온도변화에 영향을 받지 않는 전류값을 유도해내므로 결과적으로 전류값에 의해 영향을 받는 출력 전압값이 일정한 값을 나타내게 된다.

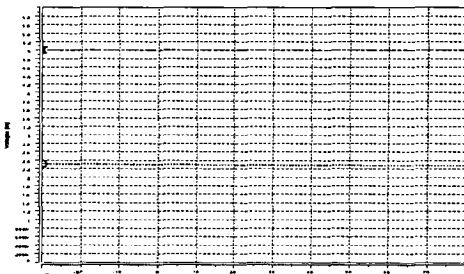


그림 8. 온도변화에 따른 전압 출력값
Fig.8 Voltage output with temperature

S 노드에서의 전류값 변화율은 $0.29 \mu A/^\circ C$ 의 값을 나타내었다. 또한 이러한 각각 비슷한 ±변화율을 보이는 회로를 설계하여 최적화 함으로써 설계된 회로의 온도변화에 따른 출력 전압값의 변화를 그림 8에 나타내었다.

4. 장 결론

저 전압 구동을 위한 새로운 구조의 CMOS 안정화 회로를 설계하였다. 제안된 안정화 회로는 전류 모드로 구동되는 여러 시스템에도 응용 가능하도록 온도변화에 대해서도 전압이 안정화 되도록 설계되었으며, 또한 단일 공정하에서 작업이 가능하도록 표준 CMOS 공정으로 구현하였다.

온도가 $-30 \sim 80^\circ C$ 까지 변할 경우에 대한 노드 S에서 전류값의 변화율은 $0.29 \mu A/^\circ C$ 값을 나타내었다. 또한 이러한 전류값의 변화율에 따라 출력전압의 변화율은 그림 8에서 보여주듯이 $0.57 mV/^\circ C$ 의 값을 나타내었다. 이와 같이 온도에 대하여 안정적인 전류값을 유도해 내므로써 그에 영향을 받는 출력 전압을 온도의 특성에 독립적이도록 설계할 수 있었다. 설계된 회로는 공급 전원이 2.5~5.5 V 까지 변동되더라도 사용가능하며 전력 소모는 5V 공급전압에서 1.8 mW로서 바이폴라 트랜지스터 대신 MOS 트랜지스터만으로 설계하여 전력소모가 크다는 기존 회로의 단점을 해결할 수 있었다.

참고 문헌

- [1] Y.Nakagome et al., "An Experimental 1.5V 64Mb DRAM" *IEEE Journal of Solid-State Circuits*, vol. 26, No. 4, pp.456~471, April 1991
- [2] D. S. Min et al., "Temperature- Compensation Circuit Techniques for High- Density CMOS DRAMs," *IEEE Journal of Solid-State Circuits*, vol. 27, No. 4, pp.626~631, April 1992
- [3] Marco Ferro, "A Floating CMOS Bandgap Voltage Reference for Differential Applications," *IEEE Journal of Solid-State Circuits*, vol. 24, No. 3, June 1989
- [4] M. G. R. Degrauwe, O. N. Leuthold, E. A. Vittoz, H. J. Oguey, and A. Descombes, "CMOS Voltage reference using lateral bipolar transistors," *IEEE Journal of Solid-State Circuits*, vol. SC-20, pp. 1151~1157, December 1985