

CMP 평탄화 기술 동향과 전망

김상용

아남반도체 주식회사

CMP Planarization Technology Trends and Vision

Sang-Yong Kim

ANAM Semiconductor, INC.

Abstract

To achieve the global planarization, CMP Technology has been used to the next generation semiconductor process, and the study made tremendous progress up to date. As the device demension shrunked, CMP Technology has been applied in a various way and more people interested in this field to simplify the process. To attain the goal for safer 0.13um or below 10 nano process, many of those expected task must be solved. By describing this current CMP process issue and future trend for the CMP planarization process, It personally hope that this paper would help to the people who has concerns for the next generation semiconductor manufacturing industry in common.

Key Words : planarization, CMP Technology, nano process, semiconductor process

1. 서론

최근 반도체 소자의 고속화 및 고 집적화에 따라 다층 배선 구조에 있어서 배선 층의 증가와 배선 패턴의 미세화에 대한 요구가 갈수록 높아져 다층 배선 기술이 서브 마이크론 공정에서 중요한 과제로 대두되고 있다. 0.35 μ m 이하의 공정 기술 시대에 들어서면서 미세 패턴 형성을 실현하기 위한 노광 장치의 초점 심도에 대한 공정 여유가 줄어들어 따라 충분한 초점 심도를 확보하기 위하여 칩 영역에 걸친 광역 평탄화 기술이 요구되었다.

이와 같이 광역 평탄화를 실현하기 위하여, 현재 CMP 기술이 반도체 소자 제조 공정에 필수적으로 적용되고 있을 뿐만 아니라 차세대 소자에 대해 연구가 활발히 진행되고 있다. 소자가 집적화됨에 따라 CMP를 이용한 평탄화 공정이 다양하게 사용되고 있으며, 공정 단순화가 가능하여 관심도가 매우 높아지고 있다. 향후 0.13 μ m급 이하 기술에 적용하려면 해결해야할 문제점이 매우 많고, 이

에 따른 예상되는 도전적인 과제를 해결하여만 한다. 본 논문에서는 CMP 평탄화에 대한 현재 문제점과 향후 기술 동향뿐만 아니라 기술 전망을 기술함으로써 차세대 반도체 제조 산업에 CMP 공정의 정보 공유가 되었으면 한다.

2. 연마 설비 및 측정 장치의 개발 방향

CMP 연마 장비는 High Throughput, CoC, CoO 뿐만 아니라 우수한 공정 능력 요구는 당연한 과제이고, 근본적으로 생기는 결함 지수를 얼마나 줄이느냐에 관심을 두고 개발되어야 한다. 또한 CMP 공정은 공정 변수가 많기 때문에 변수에 대한 영향을 최소화 할 수 있는 설비가 요구되고 있다. CMP 공정시 어느 점까지 연마해야 하는지 분명히 하여야 한다. 과도한 연마나 불충분한 연마는 소자에 미치는 영향이 매우 크다. 최근에 많은 연구 결과를 바탕으로 EPD 시스템이 개발되어 사용

되고 있으나, 패턴 상에서는 EPD 신호를 찾기엔 충분치 못한 실정이다. 궁극적으로 현재까지 사용하고 있는 연마 정지점은 연마율을 계산한 연마 시간에 의하여 공정을 하고 있으나, 적절한 연마가 이루어지지 않으면 소자 특성에 영향을 줄 뿐 아니라 수율에도 영향을 미치므로 반도체 생산에 효율적이지 못하다. 특히 소모성 부품들의 공정 변수가 수시로 변화하기 때문에 정확한 연마 목표를 찾는데 어려운 실정에 있다. 이를 해결하기 위해서는 실시간(*in-situ*) 연마 정지 시스템을 적용할 수 있는 공정 구조를 확보하는 것이 급선무라 할 수 있다. 이를 실현하기 위하여 *in-suit* thickness monitoring 시스템을 구축하고 있고, 설비의 CLC (Close Loop Control) 시스템을 통한 APC (Advanced Process Control) 프로그램을 적용하고 있기 때문에 큰 숙제 중 하나가 해결되어질 전망이다.

3. CMP 세정 방향

반도체 칩 제조에서 완전한 CMP 공정의 적용을 위해 웨이퍼의 광역 평탄화 뿐만 아니라 평탄화된 표면의 결함과 오염을 감소시키고, 후속 공정의 소자와 IC 제조 공정을 위하여 효과적인 세정 공정으로 마무리되어야 할 것이다. CMP는 실질적으로 제조 칩에 오염을 줄 수 있는 공정이다. CMP 공정 후 효과적인 세정 공정은 IC 공정에서 고수율을 얻기 위하여 필수적이다. CMP 공정에서 연마 대상인 물질은 산화막 이외에 다양한 추가물질(절연체 SiO₂, 도핑된 SiO₂, 폴리머), 큰 유전 상수를 가진 물질(BaTiO₃), 폴리 실리콘(도핑, 비도핑), 도핑된 폴리 실리콘 위의 저항이 낮은 게이트 배선 재료를 형성하는 실리사이드, 금속(Cu, Al, Al Cu합금), W(금속-질화물, Ta), Si₃N₄ 등의 물질이 있다. 결함의 발생과 미소한 오염을 유발하는 메카니즘이 거의 표면의 형태에 의존적이지 않을 지라도 결함과 미세한 오염의 형태는 화학적으로 제거하기 위한 수단에 따라 웨이퍼 표면 물질에 의존하여 존재 할 것이므로 다양한 물질에 대한 세정 공정의 확보가 매우 중요하다. CMP에 의한 표면 평탄화는 슬러리나 연마 표면이나 환경으로부터의 미립자 형성, 슬러리와 화학적 상호 오염, 스크래치와 박막의 손상과 같은 물리적인 충격, 연마 표면의 스트레스, 연마 입자와 패드 물질의 반응에 의하여 형성된 표면 함유물 등 많은 문제점

을 가지고 있다. 화학적인 세정 공정은 이러한 모든 문제들을 제거하거나 완화시키는 방향으로 연구 개발되어져야한다. 또한 Cu CMP 공정후 세정에 초 관심사에 있는데 이는 라인의 청정도에 대한 대책뿐만 아니라 웨이퍼상의 오염, 페 슬러리 처리 문제가 활발히 연구중에 있기 때문에 향후 차세대 반도체 소자가 본격적으로 Cu를 적용시 별 무리가 없으리라 전망된다. 국내 업체에서도 많은 연구가 되어 많은 수준까지 확보한 상태이다.

4. CMP 소모성 파트의 개발 방향

4.1 슬러리

슬러리는 피 가공물인 웨이퍼의 표면으로부터 또는 표면으로 연마 입자와 화학물질을 전달하는 매개체이라고 볼 수 있다. 슬러리 내부에 포함되는 연마 입자는 일반적으로 10~1000Å의 크기를 가지며 경도는 피가공물의 경도와 비슷한 경도를 가지는 것으로 기계적인 제거 작용을 행한다. 이것들은 슬러리 내에 약 1~30wt%을 차지한다 이러한 연마 입자들은 산성이나 알칼리성의 수용액으로 현탁 되어진다. 차세대 평탄화 공정을 실현하기 위한 슬러리 개발은 슬러리 내에 함유되어있는 화학성분의 특성에 대한 연구가 이루어져야하며 직접도가 증가하는 소자에 적용 범위를 확대해야 한다. 슬러리 내부의 연마 입자의 분산성을 높게 하는 분산제 개발과 슬러리 내의 화학액이 매우 고르게 혼합될 수 있도록 해주는 현탁액의 개발, 가공시 발생하는 기포를 억제시켜 균일한 제거를 유도하는 소포제, 가공중의 pH Shock를 방지하여주며 일정한 pH값을 유지하도록 해주는 완충제(Buffer Solution) 뿐만 아니라 일반적으로 화학 반응을 유도시켜주는 작용을 하는 벌크제(bulk solution) 성분 개발이 필수적이다. 금속 CMP용 슬러리에 있어서 매우 중요하게 작용하고 공정 특성에 매우 중요한 역할을 하는 산화제(Oxidizer)와 금속 표면이 산화할 때 얼마만큼 균일하게, 원하는 양만큼 형성되고 조절하게 되는 반응 억제제(inhibitor)에 대해 깊은 연구와 대체 물질 개발이 필요하다.

향후에 Cu 슬러리가 매우 많이 사용되어질 것으로 전망되고 이에 대한 슬러리 개발이 활발히 연구되고 있다. 일부 상용화되어 적용되고 있지만 개선점이 많다 하겠다. 국내에서도 국산화에 전념

하고 있어 1~2년 후면 상용화 할 수 있으리라 전망된다. 특히 이 슬러리는 Cu의 연마율 뿐만 아니라 Ta, Oxide막의 선택비 및 연마율이 매우 중요하여 신속한 개발이 필요한 부분이다.

4.2 연마 패드

CMP의 기계적인 요소를 좌우하는 요소로서 패드의 재질과 웨이퍼를 잡고 있는 캐리어 압과 연마 패드의 회전 운동이 있다. 이 중에서 패드의 재질은 그 특성상 종류에 따라 막이 제거되는 속도가 다르고 입자 발생 여부도 다르다.

앞으로 패드 재료의 개발은 계속해서 이루어질 것이며 CMP 공정에 패드가 얼마나 영향을 미칠 것인지, 또는 패드 특성이 연마 정도에 어떠한 영향을 미치는 지를 이해가 필요하다. 그러나 분명한 것은 다양한 종류의 패드와 형태로 개발되고 있고 패드 수명 시간을 증가시키면서 웨이퍼 상의 우수한 특성을 갖기 위한 노력이 활발히 연구되고 있고, 슬러리를 사용하지 않고 패드 성분과 성질을 이용하여 초순수로 만으로 연마하기 위한 연구가 수년 전부터 이루어지고 있는데 적용될 때까지는 더 많은 시간과 노력이 필요하게 될 것이다.

4.3 패드 컨디셔닝

패드 표면 거칠기와 슬러리는 연마율과 평탄도를 결정하는데 중요한 역할을 한다. 표면 거칠기와 다공성은 패드 표면의 슬러리 흐름, 웨이퍼 표면의 패드 접촉면, 표면으로부터 물질의 흐름을 결정한다. 따라서 패드 컨디셔닝은 패드 표면 거칠기와 다공성을 유지하는데 중요하며, 적당한 패드의 수명을 유지하도록 한다. 연마하는 동안, 패드의 표면은 가공체가 퇴화되어지고, 이에 따라 표면은 glazing 현상과 같이 더 매끄러워지고 기공은 슬러리 물질로 차게 된다. Glazing은 때로 연마율을 감소시키기 때문에 바람직하지 않은 현상이다. 컨디셔닝 기술은 보통 표면의 다공성과 거칠기를 유지하도록 하기 위하여 패드 위에서 수행된다. 이러한 기술은 변형된 패드 물질을 제거하기 위해 패드 표면에 마찰이 되도록 슬러리가 함께 사용된다. 컨디셔닝 시 conditioning wheel에 붙은 연마 입자가 슬러리 내에 포함됨으로 인하여 웨이퍼 표면에 스크래치가 나지 않도록 개발시 주지해야 한다. 국

내에서도 패드 컨디셔닝에 사용되는 다이아몬드 디스크를 다방면으로 개발 중에 있고 국산화는 이미 완료된 상태이다. 그러나 스크래치 해결에 대한 문제는 아직도 완전히 극복하지 못하고 있는 실정이며, 다양한 형태와 방법으로 연구 개발 중이므로 향후 1년 후 정도이면 이 숙제가 해결될 전망이다.

5. 300mm CMP 기술 방향

300mm/0.18 μ m 프로세스에 있어서는 현재의 200mm 웨이퍼를 이용하는 것과 마찬가지로 많은 층간 절연막에 관한 문제점이 존재한다. 미해결된 프로세스 기술을 갖고 있으면서 300mm로 전환시켜야 하는 것이다. 또한 새로운 프로세스 재료의 도입이 예정되고 있지만 역시 중요한 요소는 비용(Cost) 문제이다. 아무리 뛰어난 성능, 특징을 갖고 있어도 칩 제조원가가 큰 폭으로 상승하면 ULSI 디바이스에 적용하기가 어렵다. 금후의 ULSI에 있어서는 투자효율을 최대한으로 발휘시키기 위해서 디바이스 제조 비용의 저감은 불가피한 사항이다. 따라서 프로세스 및 디바이스구조의 심플화는 현재 가장 중요한 목적이고, 신공정, 신재료도 그와 같은 관점에서 선택되어 개발되어야 한다. 아무튼, 이 층간 절연막 형성기술에는 미지의 영역이 많이 남아있어서 새로운 기술개발 성과가 요구되고 있다. 프로세스에 관한 가장 중요한 과제는 면내 균일성과 안정성의 개선으로 집약할 수 있다. 이것을 해결하기 위해서 헤드와 드레싱방법의 개선이 필요해 진다. 장비에 관해서는 생산성, 설치면적, 프로세스 안정성, 장비구성 등이 서로 관련되어 있기 때문에 항목의 우선권과 밸런스를 생각해 최적의 구성을 골라야 한다. 스루풋과 면적, 구성과 중량은 각각 트레이드-오프의 관계에 있기 때문에 개개 유니트 프로세스의 마진을 확보하면서 작고 가볍게 설계할 수 있는가가 과제일 것이다. CMP는 300mm 웨이퍼 시대에도 빼놓을 수 없는 기술이라고 앞에서 설명한 바 있다. 또한, CMP 후 세정은 CMP에서의 오염을 다음 공정에 가지고 가지 않기 위해서 더욱 중요하다. 층간-STI의 CMP는 양산으로 향하고 있고 DI water scrubber와 DHF로 슬러리의 제거가 가능하다. 단, 슬러리가 변하면 이 세정으로 충분하지 않게 되어 주의가 필요하다. 또한 Cu-CMP가 주목을 모으고 있지

만 CMP 후 세정으로서 전해 이온수, 불산, 규산 등의 다양한 개발이 이루어지고 있다. CMP 후 세정은 CMP를 행하는 표면, 재료, 슬러리에 따라서 변할 필요가 있고, 각각을 개별로 생각해야 한다. 최적의 방법이 차세대 과제로 기대되고 있다.

6. 향후 공정 개발 방향

향후 반도체 제조에 CMP 공정이 얼마나 안정적인 공정 지수를 제공하느냐에 따라 개발 수준과 방향이 결정되어지리라 판단된다. 새로운 물질이 대두됨에 따라 Cu 및 low-k 물질의 CMP 특성 최적화, Cu 연마 방법 및 공정 개선, Cu용 barrier의 선택도 확보 및 소모성파트 개선, 이중 상감법 적용에 대한 평탄화 방안 확보, 새로운 소모성 파트에 대한 평탄도 확보 및 응용이 요구된다. 신뢰성 측면에서는 design rule의 축소에 따른 평탄성 및 특성 확보, 물질의 변화(Cu 및 저유전)에 따른 신뢰성 특성 확보, 배선구조(patterning 및 damascene)에 따른 신뢰성 특성 확보 및 구조에 대한 제안, 연마 두께 정지 감지법의 신뢰성 확보, Al, W, Cu의 연마 선택비 특성 향상, 각 박막간의 선택비 향상, 집적도에 따라 평탄도 공정 확보가 요구된다. 공정 집적화 측면에서는 Cu 및 Low-k 물질의 상감법 공정 제어 기술 확보, patterning 및 불량/결함 제어, 다층 배선에서의 광역 평탄도 문제 해결 방안 확보, low-k 물질에 대한 집적화 문제 해결이 요구 된다. 측정 제어 측면에서는 다층구조 및 다층물질의 두께 측정방법, 광역 평탄도 측정 방법 확보, micro defect 검출 방법 개발, 이중 상감법 구조에서의 평탄도, 두께 측정 방법 확보, 다층 구조 및 다층물질의 두께 측정방법, In-Situ 두께 측정 및 data auto feedback 방법 확보가 선결되어야 한다. 그외에도 Cu 및 low-k 물질에 의한 연마 후 오염제어, 폐 소모성 파트에 대한 환경 처리 방안 확보, device 설계기술에 의한 연마 특성 확보가 필수적이다. DRAM에 응용되는 알루미늄과 텅스텐을 사용하는 배선의 경우 우리나라 산업체의 경쟁력이 확보된 상태이므로 이 분야의 우세를 지켜나가기 위해서는 산업체에서의 연구와 더불어 장비 국산화에 대한 노력이 계속되어야 할 것이다. 비메모리 반도체에 사용되는 배선의 경우 그 구조가 DRAM보다 훨씬 복잡하며 신뢰성이 매우 중요해

진다. 또한 성능향상을 위하여 구리와 저유전 물질의 도입과 더불어 상감법이라는 새로운 공정이 도입되어 그 어려움이 배가되고 있다. 우리나라의 반도체 산업이 메모리위주를 벗어나 파운더리 산업을 포함한 비메모리 산업으로 발전하기 위해서는 이 부분의 경쟁력을 갖추는 것이 필수적이거나 이 부분에 대한 경쟁력은 선진외국에 비해 뒤져있는 상황이다. 따라서 상감법을 응용한 구리 및 저유전막의 개발에 노력을 집중해야 할 것이며 이는 공정 개발과 같은 응용연구, 새로운 공정을 위한 장비의 개발, 그리고 새로운 물질의 사용에 따른 신뢰성 확보와 물성 평가 기술 확립등 기초 연구등이 모두 함께 이루어 져야 할 것이다.

참고 문헌

- [1] 전자신문: <http://www.etnews.co.kr>
- [2] 김기남, "차세대 DRAM 연구개발 동향", 반도체 산업 2000년 7월호
- [3] 한국반도체산업협회: <http://www.ksia.or.kr>
- [4] Semiconductor Business News: <http://www.semibiznews.com>
- [5] SemiPark: <http://www.semipark.co.kr>
- [6] 삼성: <http://intl.samsungsemi.com>
- [7] 도시바: <http://www.toshiba.com>
- [8] 인텔: <http://www.intel.com>
- [9] AMD: <http://www.amd.com>
- [10] 후지쯔: <http://edevice.fujitsu.com>