

HfO₂를 이용한 MOS 구조의 제작 및 특성 분석

박천일, 염민수*, 박전웅*, 김재욱*, 성만영*

고려대학교 미세소자공학 협동과정, 고려대학교 전기공학과*

A Study on the Characteristic of MOS structure using HfO₂ as high-k gate dielectric film

C. I. Park, M. S. Youm*, J. W. Park*, J. W. Kim*, M. Y. Sung*

Dept. of Micro Engineering, Korea Univ., Dept. of Electric Engineering, Korea Univ.*

Abstract

We investigated structural and electrical properties of Metal-Oxide-Semiconductor(MOS) structure using Hafnium oxide(HfO₂) as high-k gate dielectric material. HfO₂ films are ultrathin gate dielectric material which have a thickness less than 2.0nm, so it is spotlighted to be substituted SiO₂ as gate dielectric material. In this paper We have grown HfO₂ films with Pt electrode on P-type Silicon substrate by RF magnetron sputtering system using HfO₂ target and observed the property of semiconductor-oxide interface. Using Pt electrode, it is necessary to be annealed at 300°C. This process is to increase an adhesion ratio between HfO₂ films with Pt electrode. In film deposition process, the deposition time of HfO₂ films is an important parameter. Structural properties are investigated by AES depth profile, and electrical properties by Capacitance-Voltage characteristic. Interface trap density are measured to observe the interface between HfO₂ with Si using High-frequency(1Mhz) C-V and Quasi-static C-V characteristic.

Key Words : Gate oxide, HfO₂, High-k dielectric material, MOS

1. 서 론

1960년대 이후로 Silicon을 이용한 Metal oxide semiconductor field effect transistor(MOSFET)의 게이트 유전체로서 실리콘 산화막(SiO₂)을 사용해 왔다. 최근 고집적, 대용량, 극초미세 전자소자가 요구되어지면서 Gate length를 Sub-micron으로 줄이고 있는 현재의 반도체 기술에서 Gate의 두께 또한 줄어들 수밖에 없는 실정이다. 그러나 기존의 MOSFET 구조에서의 SiO₂의 두께가 2.0 nm 이하로 낮아질 경우 높은 direct tunneling currents 때문에 이를 대체할 물질의 개발이 시급해지고 있다. Gate에서의 누설 전류가 증가할 경우 이는 소자의

전력 낭비와 성능을 떨어뜨리는 원인이 되며 VLSI 회로에서의 안정성에 많은 영향을 끼치게 된다[1-4]. 또 다른 문제점으로는 얇은 막을 통하여 dopant가 침투되어 threshold voltage의 변화와 native oxide, SiO_x 층의 영향으로 고품질의 게이트 유전체막의 형성이 어렵게 되는 문제 등이 있다[1,2].

SiO₂를 대체할 고 유전율 게이트 박막이 가져야 할 특성으로는

- 1) Silicon Substrate와 게이트 박막의 열역학적 안정성
- 2) 게이트 박막 자체의 열적 안정성
(소자 제작 공정을 마친 후에 Amorphous 상태

로 남아 있어야 한다.)

- 3) 낮은 전도성, 낮은 누설 전류
- 4) Silicon 계면에서의 높은 carrier mobility
- 5) 소자로 만들었을 경우 만족할 수 있는 신뢰성 등을 들 수 있다.

현재 위에 언급한 특성을 갖는 고 유전율 게이트 박막인 Ta₂O₅, TiO₂, SrTiO₃, BaSrTiO₃, Al₂O₃, ZrO₂, HfO₂에 대한 연구가 활발히 진행되고 있다 [3-5]. Ta₂O₅, TiO₂, SrTiO₃, BaSrTiO₃ 등은 Si 기판 위에 직접적으로 증착되었을 경우 열적으로 불안정한 것으로 나타나 사이에 중간 계면 층을 필요로 하기 때문에 증착 과정이 복잡해지고 두께를 줄이는데 있어 문제점이 생기게 된다. ZrO₂, HfO₂ [6,7]와 Al₂O₃ [3] 등의 물질은 Si 기판 위에서의 열적, 물리적 안정성 때문에 많은 관심을 끌고 있다. 이 중에서 Al₂O₃는 다른 박막들에 비해 유전상수가 높지는 않지만(k=11.5, SiO₂ k=3.9) 열적 안정성과 Si과의 계면 특성이 좋기 때문에 고 유전율 게이트 박막으로 가는 중간 단계로 연구 되어지고 있다.

ZrO₂와 HfO₂는 높은 유전상수(k=25)와 넓은 에너지 밴드갭(~5eV)을 갖으며 높은 열적 안정성 때문에 많은 연구가 되고있으며, Si 계면 위에서의 안정성도 우수한 것으로 보고되었다[6,7]. 본 논문에서는 HfO₂를 이용하여 MOS 구조를 만든 다음 박막의 전기적 특성을 측정하고 이를 토대로 차세대 게이트 박막으로의 가능성을 분석하였다.

2. 실험

먼저 샘플을 제작하기 위해서 standard cleaning 과정을 거친 p-type Silicon (100)을 준비하였다. Si가 cleaning 과정을 거쳤더라도 기판 위에 생성되는 native oxide막은 남아있기 때문에 이 막을 제거하기 위해서 HF 처리를 해 주었다.

게이트 유전물질로는 HfO₂ 박막을 이용하였다. HfO₂ 박막은 RF Magnetron Sputtering 방법을 이용하여 6Å/min의 증착 비율로 증착하였다. 이때 타겟으로 HfO₂ 타겟을 사용하였는데 증착 조건을 살펴보기 위해서 Ar과 O₂가 혼합된 분위기와 Ar 분위기에서 각각 증착하여 보았다. 증착 비율을 일정하게 하기 위하여 RF power는 40W로 고정시켰고, 게이트 유전물질의 두께에 따른 전기적 특성을 살펴보기 위해서 HfO₂막의 증착 시간을 다르게 하

였다. 이렇게 제작한 HfO₂막은 증착시킨 후에 RTA 시스템을 이용하여 800°C에서 30초간 열처리를 해서 박막의 특성을 개선하였다. 그리고 각각의 시료에 Pt를 RF Magnetron Sputtering 방법으로 증착시켜서 전극으로 이용하였다. Pt와 HfO₂ 박막의 접착이 잘 이루어지도록 30분 동안 400°C에서 열처리를 하였다. 이와 같은 방법으로 고 유전물질을 이용한 MOS 구조를 제작하였다.

그리고 제작한 MOS 구조의 전기적 특성을 알아보기 위하여 게이트 유전물질의 Capacitance를 측정하였다. Agilent 4155B를 이용하여 전압에 따른 Capacitance 값을 측정하였고, High frequency (1Mhz) C-V meter와 Quasi-static C-V를 이용하여 Si와 HfO₂의 계면에서의 Interface trap density를 알아보았다.

3. 결과

HfO₂ 타겟의 증착 조건을 잡기 위해서 증착시의 가스 분위기를 바꿔가면서 실험하였다. Ar 분위기에서 만든 시료와 Ar+O₂ 분위기에서 Ar과 O₂의 분압을 바꿔가면서 만든 시료의 HfO₂ 조성비를 AES를 이용하여 분석하였다. 그림 1에서 알 수 있듯이 Ar 분위기에서 만든 시료와 Ar+O₂ 분위기에서 만든 시료의 성분이 변화 없음을 알 수 있다.

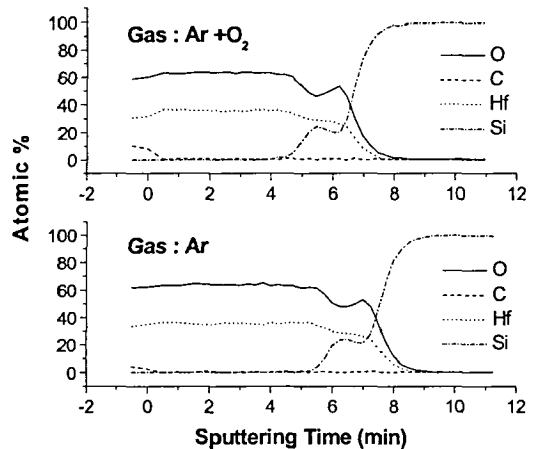


그림 1. 가스 분위기에 따른 HfO₂ 박막의 AES 조성 분석

Fig. 1. AES depth profile of HfO₂ thin film as a function of gas mixing ratio

이를 통해서 스퍼터링할 때 HfO₂ 타겟으로부터 Hf와 O가 분리되어 나온 다음 서로 반응하여 기판에 증착되는 것이 아니라 HfO₂가 서로 반응한 상태로 기판까지 이동함을 알 수 있다.

그리고 AES 조성 분석을 통해서 초기 증착시 HfO₂ 박막과 Silicon 기판이 만나는 계면에서는 HfO₂가 아닌 HfSi가 형성되어 있는 것도 확인할 수 있다.

그림 2에서는 HfO₂ 박막 두께의 변화에 따른 Capacitance-Voltage 값을 측정하여 나타내었다. 상부 전극으로 이용된 Pt의 면적은 HfO₂ 박막의 두께에 상관없이 4×10⁻⁴cm²이다. 박막의 두께가 6nm와 20nm인 시료에 대하여 C-V 특성을 살펴보았는데, 두께가 약 3배 이상 차이가 나는 것에 비해서 유전용량의 차이는 약 2배의 차이 밖에 나지 않는다. 이와 같이 Capacitance 값이 줄어든 이유는 AES 분석에서 알 수 있었던 것과 같이 계면에서 생겨난 Hf-Silicate에 의해서 두 개의 유전체가 직렬로 연결되어있는 효과를 내는 것으로 생각된다.[6,7]

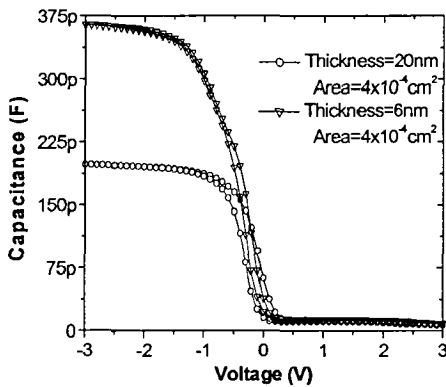


그림 2. 증착된 HfO₂ 두께 변화에 따른 C-V 특성 곡선

Fig 2. C-V characteristic as a function of HfO₂ thickness

MOS 구조의 커패시터의 경우 평균 커패시터로 단순화하여 표현할 수 있는데, 두 개의 평판 커패시터가 직렬로 연결되어 있을 경우의 그 전체 Capacitance 값은 다음 식으로 간단히 나타낼 수 있다.

$$\frac{1}{C_{total}} = \frac{1}{C_{HfO_2}} + \frac{1}{C_{HfSiO}}$$

$$C_{total} = \frac{C_{HfSiO}}{1 + \frac{C_{HfSiO}}{C_{HfO_2}}}$$

$$= \frac{\epsilon_{HfSiO}}{t_{HfSiO} + \frac{\epsilon_{HfSiO}}{\epsilon_{HfO_2}} t_{HfO_2}}$$

결국 HfO₂ 박막의 전체 Capacitance 값의 변화를 수식으로도 확인할 수 있다. 이 값을 고려하지 않을 경우 HfO₂ 박막의 품질이 좋다고 하더라도 예상한 C-V 특성보다 작은 값이 나타날 것이다. 이러한 계면의 효과를 분석해야, 고 유전물질을 이용한 MOS 구조를 정확하게 이해할 수 있을 것으로 기대된다.

4. 결론

본 논문에서는 HfO₂ 타겟을 이용하여 RF Magnetron Sputter로 증착시킨 HfO₂ 박막이 게이트 유전물질로서 SiO₂ 박막을 대체할 수 있는지에 대한 가능성을 알아보았다. AES 분석을 통해서 가스 분위기에서 HfO₂ 박막의 조성 변화를 살펴보고 큰 영향이 없음을 알게 되었다. 이를 바탕으로 제작한 MOS 구조 시료의 전기적 특성을 알아보았다. MOS 구조의 특성을 알아보기 위해서 MOS capacitor의 특성을 살펴보았는데, Si 기판과 HfO₂ 박막의 계면에 Hf-Silicate가 형성됨을 알 수 있었다. 따라서 이 문제에 대해서 더 많은 연구가 이뤄진다면 게이트 유전물질로서 HfO₂ 박막이 SiO₂ 박막을 대체될 수 있을 것으로 기대된다. 하지만 Pt 전극을 증착한 후에 행하는 고온 열처리 시에 Poly-crystal로 변화하는 문제 등에 대해서는 앞으로도 연구가 계속되어야 한다.

참고 문헌

- [1] C. Hu, "Gate oxide scaling limits and projection", IEDM Tech. Dig., pp.319-322, 1996.
- [2] S. H. Lo et al., "Quantum-Mechanical

modeling of electron tunneling current from the inversion layer of Ultra-thin-oxide nMOSFET's", IEEE Electron Devices Lett., 18, pp.209-211, 1997.

- [3] A. Chin et al., "Device and reliability of High-k Al₂O₃ gate dielectric with good mobility and low Dit", VLSI Tech. Dig., pp.135-136, 1999.
- [4] L. Manchada et al., "Yttrium Oxide/Silicon dioxide : A new dielectric structure for VLSI/ULSI circuits", IEEE Electron Devices Lett., 9, pp.180-182, 1988.
- [5] C. Hobbs et al., "Sub-quarter micron CMOS process for TiN-Gate MOSFETs with TiO₂ gate dielectric formed by Titanium oxidation", VLSI Tech. Dig., pp.133-134, 1999.
- [6] L. Kang et al., "Electrical characteristics of highly reliable ultrathin hafnium oxide gate dielectric", IEEE. Electron Device Lett., 21, pp.181-183, 2000.
- [7] B. H. Lee et al., "Thermal stability and electrical characteristics of ultrathin hafnium oxide gate dielectric reoxidized with rapid thermal annealing", Appl. Phys. Lett., 76, pp.1926-1928, 2000