

CMOS 소자를 위한 NiSi의 surface damage 의존성

지희환, 배미숙, 이현진, 오순영, 윤장근, 박성형*, 왕진석

충남대학교 전자공학과, Hynix Semiconductor Inc., System IC 연구소

The dependence of NiSi for CMOS Technology on Surface Damage

Hee-Hwan Ji, Mi-Suk Bae, Hun-Jin Lee, Soon-Young Oh, Jang-Gn Yun, Sung-Hyung Park*,

Jin Suk Wang

Chungnam National University Dept. of Electronics Eng., Hynix Semiconductor Inc., System IC Research Center

Abstract

The influence of Si surface damage on Ni-silicide with TiN Capping layer and the effect of H₂ anneal are characterized. Si surface is intentionally damaged using Ar Sputtering. The sheet resistance of NiSi formed on damaged silicon increased rapidly as Ar sputtering time increased. However, the thermal stability of Ni-Si on the damage silicon was more stable than that on undamaged Si, which means that damaged region retards the formation of NiSi. It was shown that H₂ anneal and TiN capping is highly effective in reducing NiSi sheet resistance.

Key Words : Ni-silicide, surface damage, TiN-capping, H₂ anneal, CMOS Technology

1. 서 론

고집적, 고성능의 소자제작을 위해 MOSFET의 소자는 지속적으로 scale-down 되고 있지만 Gate-length가 0.18 μm 이하의 deep sub-micron 소자에서는 Gate 및 Source/Drain의 면저항을 감소시켜 속도를 증가시키는 것이 필요하다. 이를 위해 Gate 및 S/D를 silicide로 구현하여 저항을 낮추고 low leakage-current를 갖는 Silicided Shallow Junction Technology를 필요로 하게 되었다. 현재 Gate-length가 0.18 μm 이하가 되는 deep-submicron 영역에서는 기존에 사용되고 있는 TiSi₂와 CoSi₂가 한계성을 보이고 있는데, TiSi₂의 경우 line 폭이나 silicide의 두께에 대한 의존성이 높고 CoSi₂의 경우 Si에 대한 소모율이 커 shallow junction에 취약한 단점을 갖고있다.[1,2]. 이러한 문제점을 보완하기 위한 대체 silicide로서 NiSi가 최근에 활발히 연구되고 있다 [3,4]. NiSi는 CoSi₂에 비해 shallow junction에 적합한 낮은 형성온도(400~700 °C)와 낮은 Si 소모율, Film stress, 낮은 Resistivity(~14 u Ω)를 가지며 0.1 μm 의 초미세 패턴에서도 선폭에 대한 의존성이 없어 100nm미만의 차세대 CMOS process에 적

합하다. 하지만 현재 ULSI 공정중 Silicidation 이후 평탄화(Planarization)를 위해 이루어지는 고온의 ILD(Inter-layer Dielectric) 증착공정에 의해 NiSi는 높은 비저항(~50 u Ω)을 갖는 NiSi₂로의 상전이(Phase Transition)와 불균일한 silicide/Si 계면상태를 유발하여 결과적으로 면저항을 증가시키고 J/L current를 증가시키게 된다. 집적 반도체 MOSFET 소자의 주요 issue 중에 위의 고려사항 외에 중요한 것은 CMOS 공정에서 Isolation에서 시작하여 Silicide 형성 바로 전 Step인 Source/Drain RTA 공정까지 무수한 공정을 거치면서 Silicon 표면이 많은 Damage를 받게 된다는 것이다. 특히 gate oxide 형성 후에 gate poly 또는 active 영역이 PR-ashing, sidewall-oxide etch, ion-implantation 등에 의해 반도체 표면에 격자손상(lattice bonding damage)을 받게 된다[5-8]. 따라서 본 논문에서는 Damage 유무에 따른 NiSi 특성을 분석하고자 한다. 또한 손상에 의한 영향을 억제하기 위해 H₂ annealing 및 capping을 적용하여 Silicide를 형성시키고 그 결과 및 특성이 어떻게 변화하는지 분석하여 최적의 Curing 조건을 제시하고자 한다.

2. 실험

Si 표면에 손상을 가하기 위하여 Ar sputtering(Ar IBE-Ion Beam Etching)을 실시하였다. Ar IBE는 플라즈마 상태의 이온 건(ion gun)에서 Screen Grid와 Accelerator Grid의 Negative Potential에 의해 Ar⁺를 추출 및 가속시켜 기판을 물리적으로 식각시키는 sputtering방법으로 이온 에너지와 이온 전류를 정확히 제어하여 에칭율(etch rate)를 조절할수 있다. sputtering시의 base pressure는 1.0×10^{-6} torr였고, 이온전류 9.0 mA 에서 이온빔 전압을 200, 300, 400 V로 변화시켜 가면서 에칭을 실시하였고 또한 에칭시간을 달리하면서 Ar IBE를 수행하였다. Ar IBE가 끝나고 산화막이 있는 부분은 희석된 HF 용액으로 제거하고 나서 에칭이 된 부분과 안된 부분 사이의 단차를 Alpha Step을 이용해 측정하였다. 이온빔 전압이 200, 300, 400V 전류가 9.0mA인 조건에서 IBE 에칭 시간에 따른 에칭 깊이(etch depth)를 측정한 그래프가 그림 1 에 나타나 있다. 그래프에서 보는 바와 같이 전압과 에칭 시간에 따라 에칭 깊이가 증가함을 볼 수 있으며, 전압 200, 300, 400 V에 대한 에칭율(etch rate)은 각각 0.32 ± 0.03 , 1.39 ± 0.18 , 2.87 ± 0.48 A/sec였다.

손상제거를 위한 열처리 특성관찰을 위해 IBE 된 일부 시편에 대하여 H₂ 분위기에서 각각 425 °C에서 30분 동안 furnace anneal을 실시하였다. H₂ 기체는 H₂ 10 %, N₂ balance 혼합가스를 사용하였다. 이 후 Ni 증착은 8.0×10^{-7} torr 이하의 base pressure 에서 Ar 을 주입하여 working pressure 2.0×10^{-4} torr에서 이온빔 전압 700 V, 20 mA의 이온빔을 조사하여 스퍼터 증착하였으며 Ni 두께는 ULSI process를 고려하여 약 200Å이 되도록 하였다. 이때 capping에 의한 효과를 관찰하기 위한 시편은 Ni 증착후 추가적으로 100Å의 TiN layer가

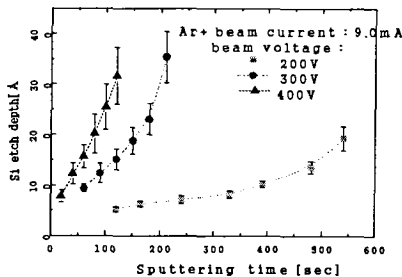


그림 1. 이온빔 전압과 에칭 시간에 따른 에칭 깊이

증착되었다. Silicidation은 500 °C에서 30초 동안의 RTP로 실시하였고, 반응이 안된 Ni는 HCl:H₂O₂:DI=1:1:4에서 제거하였으며 TiN capping을 한 경우 NH₄OH:H₂O₂:DI=1:5:50에서 TiN제거 후 Ni를 제거하였으며 Silicide의 면저항과 계면 Uniformity 그리고 상(phase)은 각각 FPP와 FESEM 그리고 XRD 및 XPS를 이용해 분석하였다.

3. 결과 및 고찰

Surface damage가 400V, 9mA에서 유발된 시편에 Ni-Silicide를 형성시켰을 경우의 RTP processing window를 그림 2에 나타내었으며 이때 Reference는 damage가 없는 시편이다. RTP 온도에 따라 같은 기율기를 보이지만 각각의 온도에서 표면손상에 의해 더 높은 면저항값을 보이고 있다. 이러한 결과는 Dry Etching과 유사한 surface damage를 유발하는 PAI(Pre-amorphization)가 고온 (~700°C)까지 RTP window를 넓힌다는 점과 비교해보면 silicidation mechanism이 다르다는 것을 알 수 있다.

Surface damage의 정도에 따른 NiSi 특성의 의존성을 분석하기 위해 etching 시간을 120, 150, 180초로 선형적으로 증가시키면서 각각의 손상된 Si에 형성된 NiSi의 특성을 그림 3에 나타내었으며 각각의 Etch-depth는 151, 187, 230 Å(±18 %)이었다.(에칭시간이 0초인 시편은 격자손상이 없는 Reference wafer) Ni 증착전에 AFM에 의한 surface roughness분석결과 손상받은 시편의 RMS(Root-Mean-Square)값이 2.82Å으로 Reference(2.25Å)보다 25%이상 증가하였고 또한 그림2에서 에칭 시간이 증가함에 따라 silicide의 면저항이 급격히 증가함을 보이는데 이는 에칭시간이 증가함에 따라 지속됨에 따라 표면 손상정도가 roughness

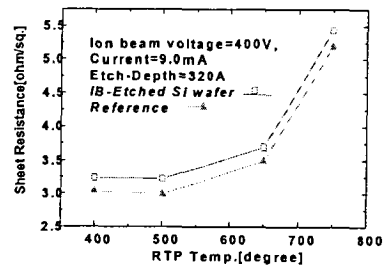


그림 2. Surface Damage에 의한 Ni-silicide의 RTP processing window특성

의 증가로 AFM 분석결과표면의 격자손상(Lattice Damage)에 의한 roughness의 증가가 Silicide 형성을 억제하기 때문이라고 여겨진다.

이는 그림 4의 단면 SEM image를 살펴보면 명확한데, Damage가 없는 시편 [그림4(a)]에 비해 300 V, 9 mA로 180 s 동안 에칭한 시편위에 형성된 silicide [그림4(c)]의 두께가 얇으며 uniformity는 개선됨을 보여주고 있다. 따라서 NiSi의 두께 감소에 의해 면저항이 증가했음을 알 수 있다.

Ion beam 에너지와 Etch depth를 변화시켜 가면서 H₂ annealing 및 TiN capping 효과를 분석하였다. 우선 에너지에 의한 효과를 보면 그림 5의 (a)와 같이 etch depth가 약 120 Å 정도로 비슷한 경우 이온 에너지가 300 [eV]로 증가함에 따라 면저항이 증가하였는데 이는 이온 에너지 증가에 따라 surface가 Damage를 많이 받았기 때문이라고 여겨진다. 그림 5의 (b)의 결과에서는 동일한 이온 에너지(300 eV)는 etch depth가 증가함에 따라

(Damage 증가) 면저항이 증가하였다. 다음으로 TiN Capping 효과를 보면 그림 5의 (a),(b) 모두에서 면저항이 증가하는 것으로 나타났으며 H₂ annealing에 의해서는 면저항이 감소하였지만 Damage가 증가함에 따라 반전되었다. 따라서 Reference인 경우에는 TiN capping과 H₂ annealing을 통해 면저항을 감소시킬 수 있었지만 손상된 시편의 경우에는 TiN capping은 오히려 면저항 증가가 나타났으며, H₂ annealing을 통해 감소되었다. 그림 6의 300 eV에서의 단면 SEM image를 살펴보면 TiN capping 한 시편의 Silicide의 두께가 350~360 Å에 비하여 Ni 증착전에 H₂ annealing 한 시편은 380~390 Å로 면저항 증가의 원인이 silicide 두께 감소에 기인함을 알 수 있다. 또한 그림 7의 XPS depth-profile을 살펴보면 Ni와 Si의 비율이 형성된 silicide가 mono-silicide(NiSi)임을 알 수 있고 TiN capping에 의해 표면에서의 Oxygen 농도를 감소시킬 수 있음을 명확히 알 수 있다.

Ar IBE에 의한 표면손상을 회복하기 위한 최적의 조건설정을 위해 Ni 증착전 H₂ annealing을 실시하고 TiN capping을 병행하였다. 실험결과 H₂ annealing 후의 시편은 capping을 병행하였을 경우 [그림8(b)]면저항을 감소시킬 수 있었다.

H₂ annealing에 의한 silicide의 단면 FESEM 결과 [그림9]를 살펴보면, 표면손상을 H₂ annealing에

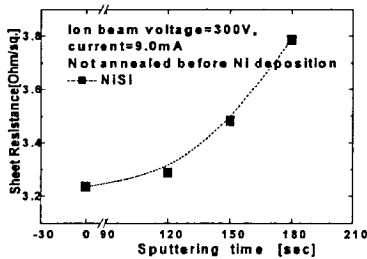


그림 3. IBE Damage 시간에 따른 Ni-Silicide의 면저항

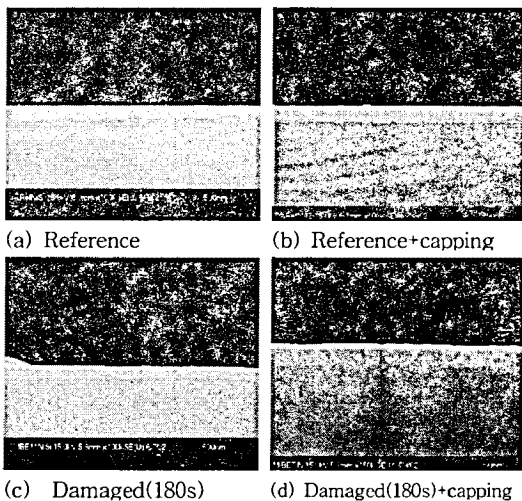
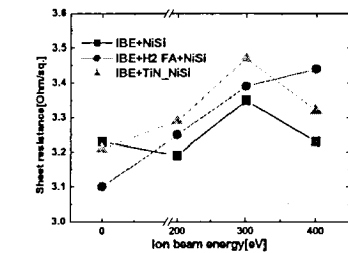
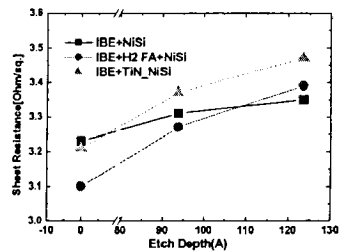


그림 4. Damage(Sputtering Time=180s) 시편에 형성된 Ni-silicide의 capping에 따른 FESEM image

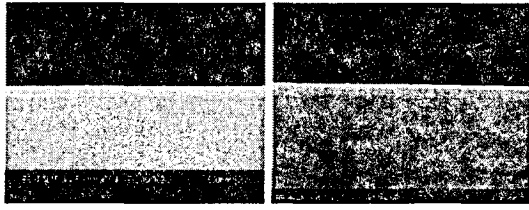


(a)



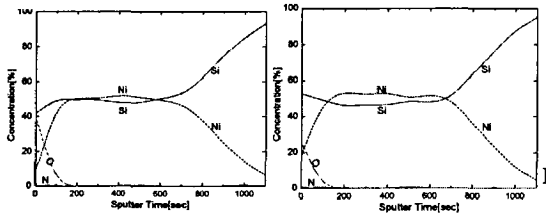
(b)

그림 5. IBE 이온에너지(a)와 Etch depth(b)에 따른 Ni-Silicide의 면저항 변화



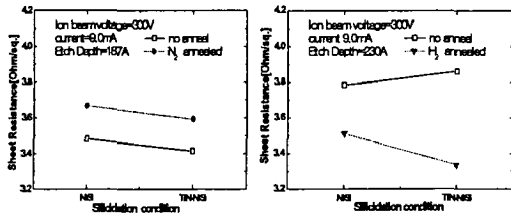
(a) TiN-capped (b) H₂ annealed

그림 6. 이온빔 전압 300 eV에서 에칭된 시편의 capping(a)과 H₂ anneal(b)에 따른 NiSi의 단면사진



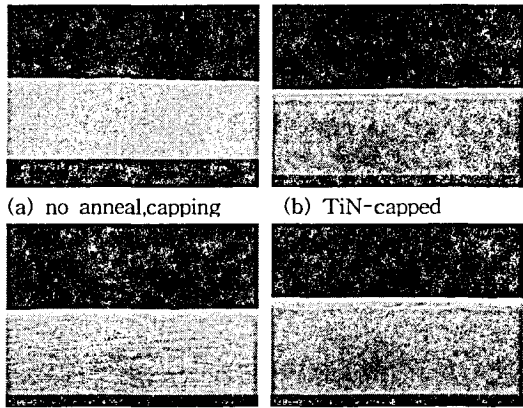
(a) IBE (b) IBE+TiN

그림 7. 300eV, etch-depth=93 Å에서 NiSi의 XPS depth profile (a)no capping (b)TiN-capped



(a) N₂ annealing (b) H₂ annealing

그림 8. 손상제거를 위한 annealing (425°C,30분)에 따른 면저항 특성



(a) no anneal, capping (b) TiN-capped (c) H₂ annealed (d) H₂ annealed+capping

그림 9. H₂ annealing 조건에 따른 NiSi의 FESEM image(Etch-depth=230Å)

의해 감소시켜 silicide의 두께를 증가시킬 수 있지만
 표면이 불균일 [그림9(b)]하여 capping을 병행하였
 을 경우에만 면저항의 열화억제와 uniformity를 개
 선시킬 수 있음을 보이고 있다. [그림 9(d)]

4. 결론

IBE에 의해 Si 표면손상이 일어난 경우 에칭 시
 간 증가함에 따라 TiN capping layer 유무에 상
 관없이 NiSi의 면저항이 최대 18 % 이상 증가하였
 고 이온에너지 변화에 따라 서로 다른 면저항
 특성을 보였는데 이는 상전이(phase transition)가
 아닌 Silicide 두께의 감소에 의한 것임을 XRD,
 XPS 그리고 단면SEM 분석으로 확인할 수 있었으
 며 이로부터 표면손상 정도에 따라 NiSi의 형성이
 억제되었음을 확인하였다. 또한 silicide 두께 감소로
 인한 면저항 증가 억제를 위해 Ni 증착전의 H₂
 annealing과 TiN capping을 병행했을 경우 각 과정
 을 개별적으로 처리한 경우보다 면저항이 더욱 감
 소하였는데 이로부터 이러한 curing이 표면손상에
 의한 NiSi의 열화를 억제하기 위한 효과적인 방법
 임을 입증하였다

Acknowledgments

- 이 연구는 BK21 충남대학교 정보통신인력양성
 사업단의 지원을 받았다

참고 문헌

- [1] J. Chen et al., *J. Electrochem. Soc.*, vol. 144, No. 7, pp2437-2441, July 1997.
- [2] T. Morimoto et al., *IEEE ED*, vol. 42, No. 5, 915-922, May 1995.
- [3] P. S. Lee et al., *IEEE EDL*, vol. 21, No. 12, 566-568, December 2000.
- [4] C. J. Choi et al., *Jpn. J. Appl. Phys.* vol. 41, pp. 1-5, April 2002.
- [5] E. L. Hu et al., *J. Sci. Technol.B* 14(6),Nov/Dec 1996.
- [6] X. C. Mu et al., *J. Appl. Phys.* 58(11), pp.4282-4291,1, December 1985
- [7] G. S. Oehrlein et al., *J. Electrochem. Soc.* : Solid-State Science and Technology, pp. 1441 - 1447, June 1985.
- [8] H. Wakabayashi, *IEEE ED*. vol. 49, No. 2, pp. 295-300, February 2002.