

【포스터 : 반도체02】

MeV 이온주입에 의한 Retrograde Triple well 형성 시 발생하는 결합 거동

*류한권, 김은석, 노재상
홍익대학교 신소재공학과, *(주)Neoptek

최근 차세대 CMOS Logic 소자 및 DRAM 소자제조에 Multiple high energy implantation을 사용함으로써 hot carrier 조절, punchthrough, latchup 및 soft error 등 소자의 전기적 특성을 개선시킬 수 있다. 나아가 단일 chip위에 적어도 3가지 이상의 Well을 형성하는 retrograde triple well은 I/O bounce개선과 같이 향상된 절연성을 제공할 뿐만 아니라 on-chip voltage multiplication을 구현할 수도 있다. 이러한 다양한 장점에도 불구하고 retrograde triple well을 실제 공정에 적용하기에는 well 사이의 상관관계에 의한 몇 가지 문제점이 내포되어 있다. Triple well을 형성시키기 위해서는 11가지의 중요한 열처리 공정을 거치게 되는데, 가장 먼저 수행되는 p-well 활성화 열처리 공정(1000°C-55min.)과 전 산화공정(850°C-50min.)에 따라 접합 누설 전류가 증가하는 현상이 관찰된다.