

(Bi,La)Ti₃O₁₂ 강유전체 박막 게이트를 갖는 전계효과 트랜지스터 소자의 제작

서강모, 박지호, 공수철, 장호정, 장영철*, 심선일**, 김용태**

단국대학교 전자·컴퓨터공학과

* 한국기술교육대학교 메카트로닉스공학부

** 한국과학기술연구원 반도체소자연구실

Preparation of Field Effect Transistor with (Bi,La)Ti₃O₁₂ Ferroelectric Thin Film Gate

Kang Mo Suh, Ji Ho Park, Su Cheol Gong and Ho Jung Chang,
Young Chul Chang*, Sun Il Shim** and Yong Tae Kim**

Electronics and Computer Engineering, Dankook University

* School of Mechatronics Engineering, Korea University of Technology and Education

** Semiconductor Materials and Devices Lab, Korea Institute of Science and Technology

Abstract :

The MFIS-FET(Field Effect Transistor) devices using BLT/Y₂O₃ buffer layer on p-Si(100) substrates were fabricated by the Sol-Gel method and conventional memory processes. The crystal structure, morphologies and electrical properties of prepared devices were investigated by using various measuring techniques. From the C-V(capacitance-voltage) data at 5V, the memory window voltage of the Pt/BLT/Y₂O₃/Si structure decreased from 1.4V to 0.6V with increasing the annealing temperature from 700°C to 750°C. The drain current (I_D) as a function of gate voltages (V_G) for the MFIS(Pt/BLT/Y₂O₃/Si(100))-FET devices at gate voltages (V_G) of 3V, 4V and 5V, the memory window voltages increased from 0.3V to 0.8V as V_G increased from 3V to 5V.

1. Introduction

비휘발성 메모리는 기억내용을 유지하기 위해 주기적으로 refresh 과정이 필요없는 모든 형태의 고체 메모리 소자를 말한다. FeRAM (ferroelectric random access memory)은 DRAM (dynamic random access memory)의 커패시터 재료를 상유전체 물질에서 강유전체 물질로 대체하여 전원 공급이 차단되어도 정보를 기억할 수 있고, 데이터의 고속처리가 가능하며 저소비전력과 집적도가 뛰어난 차세대 메모리 소자이다 [1-6]. 강유전체 재료를 이용한 비휘발성 FeRAM 메모리소자에는 크게 분극반전 전류형인 Metal-Ferroelectric-Metal (MFM type)의 1 transistor and 1 capacitor (1T1C) 구조의 FeRAM과 전계효과 트랜지스터형인 Metal-Ferroelectric-insulator-silicon (MFIS-FET type) 구조를 가지는 1 Transistor (1T) 형태의 FeRAM으로 크게 나눌 수 있으며, 두 종류 모두 비휘발성이라는 공통점을 가지고 있다. 1T1C FeRAM은 커패시터를 강유전체로 사용한 것 이외는 기존의 DRAM 소자와 유사한 동작원리를 나타낸다. 1T1C 반전분극 전류형은 1T 소자구조와 달리

데이터를 읽을 때 정보가 파괴되므로 다시 그 데이터를 기록하여 주어야 하는 번거로움이 있다 [7-11]. Non destructive readout (NDRO) FeRAM 소자는 제조 공정이 비교적 단순하고 고집적도가 가능하여 1T1C FeRAM에 비해 여러 장점을 가지고 있다. 그러나 NDRO 소자의 문제점은 셀구조내에서 disturbance 문제와 정보 저장시간 (retention time)에 한계를 나타내는 것이다.

본 연구에서는 p-Si(100) 기판위에 Y_2O_3 박막을 중간층 (buffer layer)으로 사용하여 $(Bi,La)Ti_3O_{12}$ (BLT) 강유전체 박막을 졸-겔방법으로 형성하여 MFIS-FET 구조의 FeRAM 소자를 제작하였다. 제작된 소자에 대해 SEM형상 및 전기적 특성을 조사, 분석하였다.

2. Experimental

MFIS-FET 비휘발성 메모리 소자의 제작을 위해 p형 (100) Si 웨이퍼 (ρ : $\sim 10 \Omega\text{-cm}$) 위에 LOCOS 방법으로 field oxidation 층을 형성하였다. FET 소자의 소스(source), 드레인(drain) 영역에 n^+ well을 형성하기 위해 As(비소)을 이온주입 하였다. 또한 bulk contact에는 B(보론) 이온주입으로 P^+ 영역을 형성한후 950°C 온도에서 30분 동안 drive-in을 실시하였다. 이후 n-well 위에 SiO_2 를 증착하여 passivation 하였다. 중간층 막(buffer layer) 로서 우수한 성질을 보인 Y_2O_3 를 마그네트론 스퍼터링 방법으로 증착한 후 800°C 온도로 furnace에서 후열처리를 실시하였다. Y_2O_3 중간층위에 BLT 졸-겔 용액을 스프인코팅 장치를 이용하여 3000 rpm 회전으로 BLT 강유전체 박막을 형성하였다. 후속열처리 온도에 따른 BLT 박막의 특성 변화 결과를 바탕으로 전기로 (furnace)에서 700°C 온도로 30분간 산소 분위기에서 열처리를 실시하였다. 이후 열처리된 BLT 박막위에 DC 스퍼터링 방법으로 Pt 전극을 형성하였다. 전극 접촉을 위해 산화막을 제거하고 DC 스퍼터링 방법으로 Al 금속을 증착한후 lift-off 방법으로 전극을 형성하여 MFIS-FET 소자를 제작하였다.

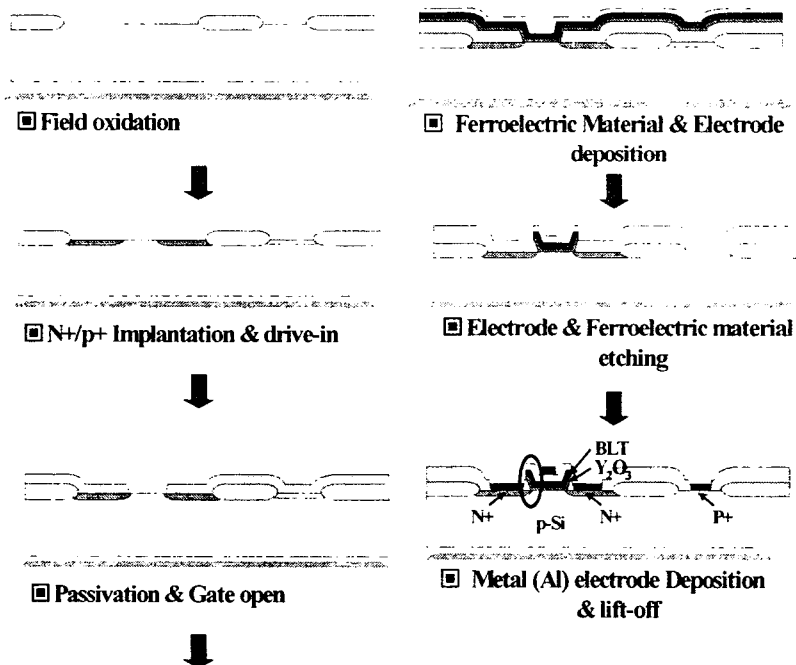


Fig. 1. Manufacturing process of MFIS-FET devices.

그림 1에는 본 연구에서 MFIS-FET 소자를 형성하기 위한 공정 흐름도를 보여주고 있다.

3. Results and Discussion

MFIS (Pt/BLT/Y₂O₃/Si(100))-FET 메모리 소자에 대해 bulk junction에서의 소스-드레인의 전류-전압특성을 조사하였으며 쓰기(writing) 전압으로 3 V, 4 V, 5 V를 인가한 후 읽기(reading) 게이트 전압(V_G) 1.0 V와 1.2 V에서 드레인 전압 (V_D)에 따른 드레인 전류 (I_D)를 각각 조사하였다. 또한 MFIS 구조의 FET 소자에 대해 여러 게이트 전압 (V_G= 3V, 4V, 5V)에서 I_D-V_G의 전기적 특성을 조사하였다.

그림 2는 Pt/BLT/Y₂O₃/Si(100) FET 소자에 쓰기 위한 게이트 전압 (V_G)을 -3 V (left graph)와 +3 V (right graph)로 100 msec 인가한 후에 읽기 동작을 위한 게이트 인가전압 (V_G) 1.0 V와 1.2 V에서 드레인 전압에 따른 드레인 전류곡선을 보여주고 있다. -3 V를 가한 뒤에 읽기 위한 게이트 전압을 각각 1.0 V와 1.2 V를 가해주었을 때 아주 작은 크기의 드레인 전류가 흐른다. 반면에 +3 V를 가해 준 뒤 동일한 크기의 읽기 게이트 전압을 가해주었을 때 더 큰 전류가 흐르는 현상을 볼 수 있다. 이러한 현상은 전형적인 강유전체 메모리의 특성을 나타내는 것으로 이전 쓰기시에 형성된 강유전체의 분극에 의해 문턱 전압이 이동하여 나타난 현상이다.

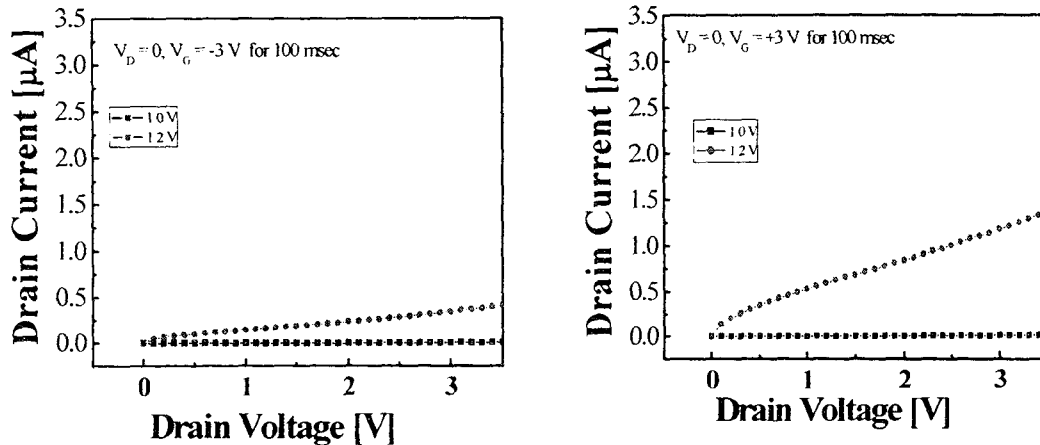


Fig. 2. Drain current versus drain voltages at the gate voltages of 1.0 V and 1.2 V after input gate voltage of -3V (left) and +3V (right) for 100 msec.

그림 3은 Pt/BLT/Y₂O₃/Si(100) FET 소자에 게이트 전압 (V_G)을 -5 V (left graph)와 +5 V(right graph)로 100 msec 인가한후에 V_G를 1.0 V와 1.2 V로 인가한 경우의 드레인 전압에 따른 드레인 전류곡선을 보여주고 있다. 쓰기전압 3 V 동작인 경우와 마찬가지로의 결과를 보여주지만 전류의 차이가 훨씬 더 많이 나타남을 볼 수 있다. 이러한 결과는 C-V곡선에서도 보여주는 바와 같이 인가 전압이 증가할수록 강유전체의 분극이 더욱 많아져 문턱 전압의 이동이 더 커지기 때문이다. 또한 이는 C-V에서 나타나는 메모리 윈도우의 크기와 매우 연관이 있다.

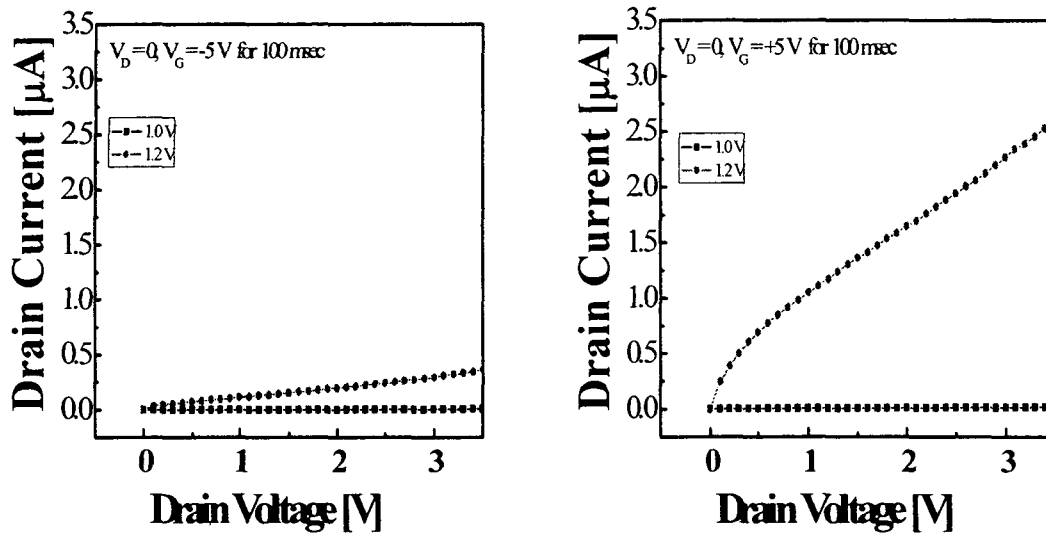


Fig. 3. Drain current versus drain voltages at the gate voltages (V_G) of 1.0 V and 1.2 V after input gate voltage of -5V (left) and +5V (right) for 100 msec.

그림 4는 MFIS (Pt/BLT/ Y_2O_3 /Si(100))-FET 소자에 대해 여러 게이트 전압 ($V_G = 3V, 4V, 5V$)에서 게이트 전압(V_G)-드레인 전류(I_D)의 특성곡선을 보여주고 있으며 드레인 전압은 0.1 V가 인가되었다. 그림에서 알 수 있듯이 쓰기 전압 V_G 를 3 V에서 5 V로 증가함에 따라 메모리 윈도우 (memory window) 전압값은 점차 증가하여 $V_G = 5V$ 에서 약 0.8 V의 메모리 윈도우 값을 나타내었다. 이 값의 차이는 메모리소자로서 동작시에 문턱전압의 차이를 나타낸다. 이 차이에 읽기위해 동일한 게이트 전압을 인가하여 주었을 때 드레인 전류의 차이가 나타나며 메모리 정보를 판별하게된다.

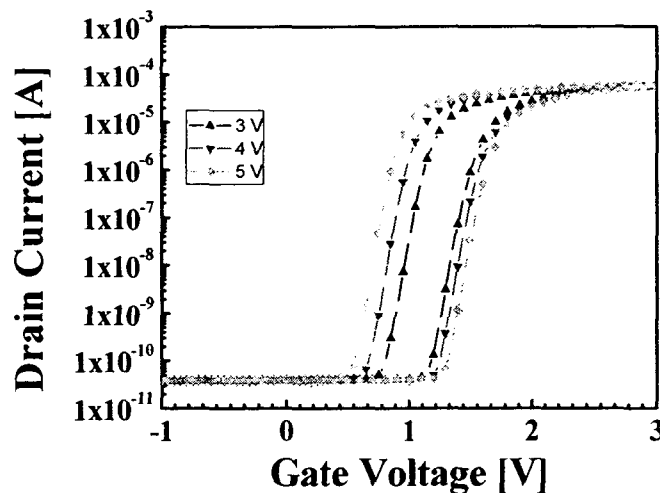


Fig. 4. Drain current-gate voltages (I_D - V_G) characteristics of MFIS (Pt/BLT/ Y_2O_3 /Si(100))-FET devices at various gate voltages (Drain voltage is 0.1 V).

4. Conclusions

본 연구에서는 n-well/p-Si(100) 기판위에 Y_2O_3 박막을 중간층 (buffer layer)으로 사용하여 (Bi,La)Ti₃O₁₂ (BLT) 강유전체 박막을 졸-겔 방법으로 형성하여 MFIS (metal ferroelectric insulation silicon) 구조의 전계효과형 트랜지스터 (field effect transistor, FET) 소자를 제작하였다. 제작된 소자에 대해 형상학적, 전기적 특성을 조사한 결과 다음과 같은 결론을 얻었다.

1) Pt/BLT/ Y_2O_3 /Si(100) FET 소자에 쓰기 위한 게이트 전압 (V_G)을 -3 V와 +3 V로 100 msec 인가한 후에 읽기 동작을 위한 게이트 인가전압(V_G) 1.0 V와 1.2 V에서 드레인 전압에 따른 드레인 전류 측정결과 -3 V를 가한 뒤에 아주 작은 크기의 드레인 전류가 흐른다. 반면에 +3 V를 가해 준 뒤 동일한 크기의 읽기 게이트 전압을 가해주었을 때 더 큰 전류가 흐르는 현상을 볼 수 있었다.

2) MFIS(Pt/BLT/ Y_2O_3 /Si(100))-FET 소자에 대해 여러 쓰기 전압 전압 ($V_G= 3, 4, 5$ V)에 따른 게이트 전압(V_G)-드레인 전류(I_D)의 특성곡선을 측정한 결과 V_G 를 3 V에서 5 V로 증가함에 따라 메모리 윈도우폭은 약 0.3 V에서 0.8 V로 증가하였다.

Acknowledgements

이 연구는 한국과학재단 (과제번호: 05-2000-000-00248-0)의 지원에 의해 연구되었음.

References

- [1] H. J. Chang, S. H. Hwang, Y. C. Chang and M. Ishida, J. Korean Phys. Soc. 43(1) (2003) 123.
- [2] J. F. Scott and C. A. Paz de Araujo, Science 246 (1989) 1400.
- [3] S. H. Hwang and H. J. Chang, J. Korean Phys. Soc. 41 (2002) 139.
- [4] M. Noda, H. Sugiyama and M. Okuyama, Jpn. J. Appl. Phys. 38 (1999) 5432.
- [5] P. Y. Chu, R. Jones, Jr. P. Zurcher, D. J. Taylor, B. Jiang, and S. J. Gillespie, J. Mater. Res. 11 (1996) 1065.
- [6] M. Aoki, M. Mushiga, A. Itoh, T. Eshita and Y. Arimoto, Symp. VLSI Technol. Digest of Tech. Papers, Kyoto Japan, 1999, p. 145.
- [7] M. Takashi, Y. Hiroyuki, W. Hitoshi and Carlos A. Paz de Araujo, Jpn. J. Appl. Phys. 34 (1998) 5233.
- [8] K. Okamoto and E. Tokumitsu, Appl. Phys. Lett. 76 (2000) 2609.
- [9] D. Akai, M. Ishida, Annual Report No.15, Electron Device Group, Toyohashi Univ. of Technology, Toyohashi Japan, 2001, p. 46.
- [10] D. A. Glocker and S. I. Shah, Handbook of Thin Film Process Tech., Inst. of Physics Publishing, Bristol UK and Philadelphia USA, 1995, p. X4.1.
- [11] K. Lee, H. S. Choi, J. H. Lee, Y. M. Jang and I. H. Choi, J. Korean Phys. Soc. 40 (2002) 733.