

초전도 배전 케이블 계통에서의 과도상태 해석

김남열* 이종범
원광대학교

Analysis of Transient State in the Superconducting distribution Cable Systems

Nam-Yoel Kim* Jong-Beom Lee
Wonkwang University

Abstract - As electric power transmission systems grow to supply the increasing electric power demand, transmission capacity is larger, but that's really difficult to secure the location for power transmission and distribution to user. The high temperature superconducting(HTS) cable is a method to solve this problem. But for applying to real systems, it needs to investigate the effect of HTS cable. The most important things is the investigation of fault condition, the fault on HTS cable include the quench state. When a fault occur in a circuit, three critical parameters(temperature, current density, magnetic field) exist. when one of these parameters exceeds the critical value, the superconducting becomes normal-conducting. If the cooling power is insufficient to recover the superconducting state, the normal-conducting zone expands. In order to solve these problem, this paper present simulate the quench state considering the over-current and over-voltage in the informal circuit and analyze the quench state.

1. 서 론

전력 수요 밀도 증가의 현실적인 면에서 전력산업에 새로운 기술 도입의 필요성이 절실히됨에 따라 기존 에너지 효율성을 높이기 위한 연구가 활발히 진행되고 있다. 그중의 한 분야인 초전도케이블에 대한 연구는 이상적인 신기술의 한 분야로서 연구의 중요성이 지속적으로 증가하고 있다.[1] 초전도 케이블의 연구는 실증적인 실험을 통한 연구와 더불어 다양한 프로그램을 통한 연구가 진행되고 있으며 연구결과는 현실적인 계통 구성을 위한 중요한 자료가 될 것이다. EMTDC 프로그램을 사용한 초전도 케이블 계통 과도해석은 현재 지증계통에서 고장상황 최소화와 고품질 전력 공급을 위한 연구 수단으로 EMTTP와 EMTDC 등의 해석 프로그램이 사용되고 있는 것을 감안할 때 초전도 케이블 설계통 구성과 운전에서 비교분석을 위해 적절하다고 판단된다. 본 논문에서는 EMTDC 프로그램을 사용하여 향후 설계통에 적용될 초전도 케이블의 임피던스 합성을 통한 간략모델을 구성하였으며, 기존에 발표되었던 삼상 일괄형 파이프타입 구조 모델과 정확성면에서의 비교 검토를 실시하였다. 또한 초전도 케이블계통의 고장상황과 웨치(Quench)상황을 함께 모의하여 실증적인 초전도 계통 고장을 모의하였으며 웨치(Quench) 발생에 따른 과전류 억제와 전압 발생 면에서의 기초 해석을 실시하였다.[2]

2. 본 론

2.1 초전도 계통 구성

현재 계획되고 있는 배전급 초전도 계통은 삼상 일괄형 파이프 타입이며, 파이프 내부의 도체는 표준배치로 파이프 내 중심을 기준으로 배치되었다. 그리고, 각 상도체마다 4layer의 SC와 2layer 의 SH를 갖도록 구성되었다. 본 논문에서는 고장 상황에서의 웨치발생 모델링을 간략화시키기 위해 기존의 구조적인 모델링에 의한 시뮬레이션 결과데이터들을 바탕으로 각 상도체의 SC와 SH간의 임피던스와 어드미턴스의 합성을 실시하는 임피던스 간략모델링을 수행하였다. 간략모델링은 계통 선로내의 선로 임피던스와 어드미턴스를 합성하기 위해 대칭분임피던스 간략화 방법을 사용하였다.

2.1.1 임피던스 합성

EMTDC에서 구조적인 모델링을 통한 각 부분의 임피던스와 어드미턴스 행렬을 사용하여 임피던스를 간략화 하였다. 임피던스 간략화의 방향은 다음과 같이 크게 2가지로 나눌 수 있다.

표 1. 케이블 계통 간략화 방법

간략구성	방법
Case A	쉴드도체(SH)를 제외한 초전도체(SC)만 고려된 간략모델
Case B	초전도체(SC)와 쉴드도체(SH)가 고려된 간략모델

여기에서, 케이블의 도체 부분을 크게 세 부분으로 나누면 SC, SH 와 파이프 도체로 나눌 수 있는데 본 논문의 간략모델링에는 파이프에 대한 데이터를 제외한 상도체가 파이프 내에 표준배치를 이루고 있으며 상도체와 쉴드도체만을 고려한 간략 모델링을 실시하였다. 그 이유는 고장상황에 크게 좌우되는 부분이 SC와 SH이며 웨치 발생 또한 SC의 일부 구간에 발생하여 전파되기에 때문에 본 간략모델링에서는 파이프는 고려대상에서 제외되었다.

위의 두가지 경우에 모두 사용되는 임피던스 합성법은 식 1에 나타낸 대칭분 임피던스를 이용한 정상, 역상, 영상분 임피던스 계산법을 사용하였다.[3]

$$\begin{bmatrix} Z_{00} & Z_{01} & Z_{02} \\ Z_{10} & Z_{11} & Z_{12} \\ Z_{20} & Z_{21} & Z_{22} \end{bmatrix} = \frac{1}{3} \times \begin{bmatrix} 1 & 1 & 1 \\ 1 & a^2 & a \\ 1 & a & a^2 \end{bmatrix} \begin{bmatrix} Z_{aa} & Z_{ab} & Z_{ac} \\ Z_{ba} & Z_{bb} & Z_{bc} \\ Z_{ca} & Z_{cb} & Z_{cc} \end{bmatrix} \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \quad (1)$$

여기에서, $a = -\frac{1}{2} + j\frac{\sqrt{3}}{2}$ 이다.

계산과정을 통한 위의 Case A 와 Case B의 결과값은 표 2과 표 3에 나타내었다.

표 2. 정상, 역상, 영상분 임피던스값

구성	결과
Case A	$Z_0 = 0.033 + j0.131$, $Z_+ = Z_- = 0 + j0.024 \times 10^{-3}$
Case B	$Z_0 = 0.016 + j0.065$ $Z_+ = Z_- = 5.353 \times 10^{-6} + j2.243 \times 10^{-3}$

표 3. 정상, 역상 어드미턴스값

구성	결과
Case A	$Y_+ = Y_- = 3.447 \times 10^{-4}$
Case B	$Y_+ = Y_- = 2.681 \times 10^{-4}$

본 논문에서는 위의 표 2과 표 3의 임피던스와 어드미턴스값 중에서 도체와 시스가 모두 고려된 경우를 택하여 pi-동가선로를 구성하였으며, 또한 일정 구간의 경우에는 서지임피던스, 전파속도와 저항성분을 고려된 동가선로를 추가하였다.

2.1.2 케이블 계통

배전급 케이블 계통은 그림 1과 같이 구성되었다.

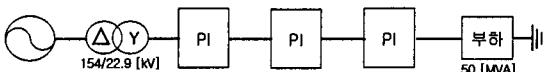


그림 1. 배전급 초전도 케이블 계통

그림 1의 계통은 154[kV] 전원과 3상 Δ -Y 154/22.9[kV] 100[MVA] 변압기를 통해 22.9[kV]를 공급받게 된다.

또한 부하는 기본적으로 적용되는 1회선부하보다 크게 설정하기 위해 2~3회선용량의 부하를 1회선부하로 간주하여 50[MVA] 역률 0.9로 설정하였다. 배전케이블선로는 총 3구간으로 설정하였으며, 처음과 마지막 구간은 선로의 서지임피던스, 전파속도, 저항분만을 가지고 pi 등가선로를 모의하였고 중간의 한 구간은 선로내의 지라고장시 펜치를 모의하기 위하여 정상, 역상, 영상분 임피던스와 어드미턴스를 사용하여 추가적으로 모의하였다.

2.2 고장상황

고장은 케이블계통에서 일반적이면서도 중요하게 고려되는 1선지락상황을 고려하였으며 초전도특성을 갖는 모든 기기에서 고장과 함께 발생하게 되는 펜치특성을 함께 고려하였다. 초전도 이론에는 세가지의 임계 계수가 존재하는데 윤도, 전류밀도, 자계이다. 이 세가지 특성을 통해 초전도 특성이 정의되는데 각각은 다른 두가지 계수에 의해 영향을 받을 수 있다. 즉 이를 중 하나가 임계값을 초과하게 되면 초전도체는 상전도체로 전이 되게 된다. 본 논문에서는 1선지락상황을 고려하여 고장을 모의하였으며 논문에서의 펜치특성은 초전도 선로로 이루어진 레이어를 사용하여 구성된 전력기기 내에서 고장으로 인하여 발생하는 과전류가 기기의 임계전류(Ic)를 넘게되면 초전도선재 내부 저항과 인덕턴스가 과전류로 인하여 상승하며 결과적으로 상전도상태로 전이되는 것으로 구체화할 수 있다.

그러므로, 초전도기기의 과도상태를 모의하기 위해서는 일반적인 지라고장으로 인한 과도해석으로만 이루어지는 것이 아닌 펜칭이 고려된 고장상황 분석이 이루어져야 한다.

2.2.1 펜치상황

펜치상황은 저항성분과 리액티브성분으로 변화시킴으로서 초전도계통선로의 선로 임피던스를 상전도상태선로로 임피던스로 변화시킬 수 있다.

제동고장상황에서 발생한 과전류는 위와 같은 동작을 통해 상전도상태 특성으로 억제되며 되어 결과적으로 케이블계통내 1상에서의 일정 구간이 상전도상태로 동작하게 된다. 초전도 상태에서의 동작전류와 상전도 상태의 정격 동작 전류가 다르므로 고장상황에서도 차이가 발생하게 되고 그에 따른 전류와 전압면에서의 분석이 필요하게 된다.

2.3 시뮬레이션

고장상황은 1선지락(0도고장, 90도 고장)을 고려하였으며 각 경우에 추가적으로 펜치상황을 설정하여 비교하였다.

2.3.1 정상상태

간략 모델링을 통한 계통 정상상태 운전시의 전류와 구조적인 모델의 운전전류의 비교는 표 4과 같다.

표 4. 정상상태시 두 모델의 운전전류

모델링	전류[kA]
구조적 모델	1.7
임피던스 간략모델	1.8

표 4에서의 구조적 모델과 임피던스 간략모델간의 차이는 간략 모델링이 수행되는 과정에서 전체적인 임피던스를 고려하여 계산하기에 상당한 어려움이 있으므로 일정 중요 부분의 임피던스만을 고려하여 구성되었기 때문인 것으로 사료된다.

2.3.2 1선지락

각 상의 1선지락 고장상황에 따른 전압과 전류의 과도현상을 측정하였으며, 더불어 고장상황내 펜치 발생시점에서의 전류와 전압의 변화분을 분석하였다.

고장은 각 상별로 발생하도록 하여 분석하였지만 본 논문에서는 대표적인 A상 지라고장만을 결과 그래프로 제시하였다.

2.3.2.1 0도 고장 전류

1선지락고장 상황에서 펜치가 고려되지 않은 0도 고장전류는 그림 2와 같다.

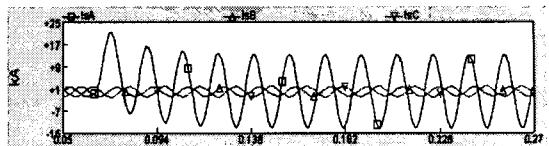


그림 2. 0도고장(no Quench)

또한, 펜치가 고려된 0도 고장전류는 그림 3과 같다.



그림 3. 0도고장(Quench)

위의 그림 3의 펜치가 고려된 파형은 다음과 같이 분석할 수 있다.

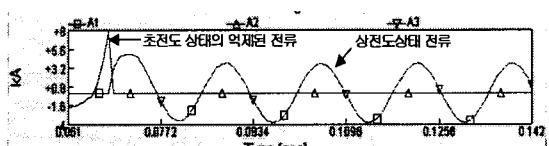


그림 4. 초전도상태의 상전도상태 전이

위의 그림 2와 그림3은 일반적인 고장상황의 결과파형과 펜치를 고려한 경우에서의 고장파형을 나타낸 것이다. 즉 일반적인 고장상황에서의 고장전류는 25[kA]에 가까운 과전류가 발생하게 되지만 케이블 내에서 과전류가 일정 임계전류에 도달했을 때 펜치가 발생하게 되면 결과적으로 고장전류는 8[kA]에서 급속한 선로내 임피던스의 증가로 인하여 감소를 보이게 된다. 그리고 그림 4는 펜치가 모두 고려된 경우의 고장전류를 원래의 고장전류의 변화와 펜치에 의해 억제된 고장전류로 구분하여 나타내었다. 즉, 고장이 발생후 8[kA]지점에서 펜칭이 시작되고 그에 따라 저항이 발생하여 고장전류는 상전도 상태 전류크기로 수렴하게 된다.

2.3.2.2 90도 고장 전류

1선지락고장 상황에서 펜치가 고려되지 않은 90도고장전류는 그림 5와 같다.

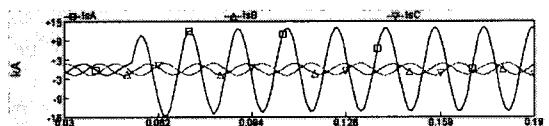


그림 5. 90도고장(no Quench)

또한, 펜치가 고려된 90도 고장전류는 그림 6과 같다.

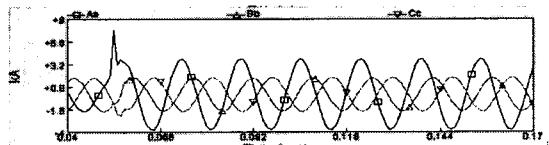


그림 6. 90도고장(Quench)

위의 그림 6의 펜치(Quench)가 고려된 파형은 다음과 같이 분석할 수 있다.

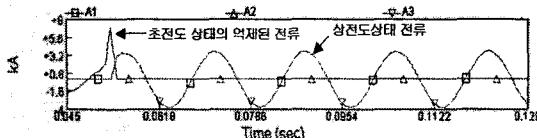


그림 7. 초전도상태의 상전도상태 전류

위의 결과 그림에서 그림 7은 그림 4와 마찬가지로 고장이 발생하여 일정 임계전류값인 8[kA] 초과시 펜칭이 발생하게 되고 그에 따라 선로내의 저항과 리액턴스가 증가하여 발생한 과전류를 상전도 상태 고장상황으로 억제하는 것을 보여주고 있다. 그리고 90도 고장시에도 0도 고장시와 비슷하게 나타나는 이유는 초기 고장전류값이 이미 임계전류를 초과하기 때문에이며 만약 2상지락이상일 경우는 각 상별로 펜칭발생시점이 다르게 나타나므로 추가적인 연구가 필요할 것으로 사료된다. 본 논문의 1선지락의 경우에는 A상을 비롯한 B, C상 모두 0도 고장시에 펜칭이후 전류가 4.8[kA]~5[kA]까지 감소하였으며, 90도 고장시에는 펜칭이후 전류가 3.8[kA]까지 감소하는 것으로 나타났다.

2.3.2.3 고장전압

전압의 경우에 펜치가 고려되지 않은 일반도체에서의 고장상황을 생각했을 경우 1선지락 고장전압은 다음 그림 8, 그림 9와 같이 나타난다.

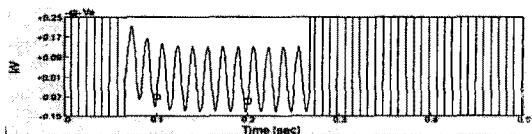


그림 8. 0도 고장시의 전압(no Quench)

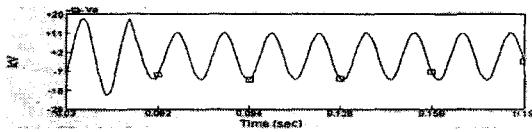


그림 9. 90도 고장시의 전압(no Quench)

즉, 일반적인 케이블 고장 상황에서의 1선지락의 경우에는 그림 8과 그림 9의 0도 고장과 90도 고장시의 고장상에 대한 전압이 정상 전압에 미치지 못하는 범위내에서 발생하는 것으로 나타난다.

그러나, 펜치가 고려된 1선지락 0도고장 상황과 90도 고장 상황에서 전류에 따른 전압의 변화는 그림 10, 그림 11와 같다.

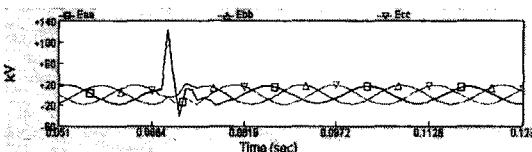


그림 10. 0도 고장시의 전압(Quench)

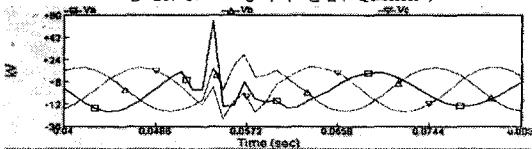


그림 11. 90도 고장상황 전압(Quench)

위의 그림 10, 그림 11에서 보듯이 펜치시에 큰 과전압이 발생하는 것으로 나타났다. 즉, 고장동안에 펜칭으로 고장전류값이 크게 감소하게 되지만 펜칭이 발생하는 시점에서의 전압은

평균적으로 100[kV]가 발생하고 있다. A상 뿐만 아니라 타상에서의 1선지락고장을 전체적으로 살펴보면 발생 과전압은 표 5과 같이 크게 나타난다.

표 5. 상별 발생 과전압

상	고장종류	과전압[kV]
A	0도	100
	90도	55.8
B	0도	103.8
	90도	23.7
C	0도	107.5
	90도	32.4

표 5에서 상별 발생 과전압은 0도 고장시에 100[kV]를 넘게 나타나며, 90도 고장시에도 정상상태 전압인 18[kV]를 넘는 전압이 나타난다. 즉, 초전도 케이블에서 고장이 발생하게 되면 과전류를 비롯한 과전압이 발생하게 되는데 그에 대한 대책이 확실히 되어 있지 않다면 심각한 영향을 미칠 수 있다.

3. 결 론

본 논문에서는 기존 EMTDC를 통한 초전도 케이블의 구조적 모델을 바탕으로 그에 따른 임피던스와 어드미턴스 값을 합성함으로서 초전도체와 윌드도체를 하나의 상으로 간주하여 전자적인 계통의 흐름을 알 수 있는 간략모델링을 실시하였다. 또한 기존 모델과의 비교로 모델링의 정확성을 확인하였으며, 고장상황을 비교 분석하였다.

즉, 1선지락시 고장상황에서 과도하게 발생하는 과전류는 펜칭으로 인해 초전도체가 상전도 상태로 전이됨에 따라 과전류값이 크게 감소한 반면 발생 과전압은 100[kV] 이상의 결과값을 얻었다. 그러므로 이상 과전압 발생에 대한 해석적 방법이 연구되어야 하며 향후 합리적인 대책에도 활용할 수 있도록 해야 한다.

감사의 글

본 과제는 21세기프론티어 연구개발사업인 차세대 초전도 응용기술개발 사업단의 지원에 의해 수행되었습니다.

[참 고 문 헌]

- [1] 김용학, 윤용범, 최효상, 현우배, “전력계통에서의 초전도 한류기 설치를 위한 기초적 연구”, 한국초전도·저온공학회논문지, 4권 2호, pp.38-41, 2002, 11
- [2] J.Mrich, “Resitive Transition and Protection of LHC Superconducting Cables and Magnets”, RWTH Aachen, 2001, 7
- [3] “지중선 임피던스 및 허용전류 계산기법 연구”, 한국전력공사, pp.111-114, 1991.1
- [4] V.S Vysotsky, Yu.A.Ilyin, M.Takeo, “Quench Development Analysis in HTSC Coils by use of the Universal Scaling Theory”, IEEE Transaction on Applied Superconductivity, Vol 11. No.1, pp.1824-1827, 2001.3
- [5] Jacob Oestergaard, Jan Okholm, “Energy Losses of Superconducting Power Transmission Cables in the Grid”, IEEE Transaction on Applied Superconductivity, Vol 11. No.1, pp. 2375-2378, 2001.3