

# 벅+하프 브리지 컨버터에서 벅 컨버터의 출력 인덕턴스 값과 스위칭 주파수, 변압기 코어 형태에 따른 효율 특성

박남진\*, 김창선\*, 김태식+, 임범선+, 우승훈+

\*목포대학교 전기공학과, +(주)동아일렉콤

## Buck+Half Bridge Converter efficiency characteristics

N.J Park\*, C.S. Kim\*, T.S. Kim+, B.S. Im+, and S.H. Woo+

\*Mokpo National Univ., +Dongah Elecomm Co.

### ABSTRACT

We considered of the efficiency for the Buck+Half bridge converter. This converter has advantages of applications for a low output voltage, a high output current and a wide input voltage. Developed the Buck converter ratings and the Half Bridge converter ratings are 36~72V input and 22V/5A output, 19~24V input and 3.3V/30A output, respectively. Buck converter is operated with zero voltage switching process to reduce the switching losses. The 80.1~97.6% of the efficiency is measured at 18.4μH output filter inductance of Buck converter. In Half Bridge converter, the 86~96.4% of the efficiency is measured at 100kHz switching frequency with PQI core.

### 1. 서 론

집적 회로 기술의 발전은 해마다 급속히 성장하고 있으며 그들이 요구하는 전원 전압은 점점 더 감소하는 반면 소비 전력은 증가하고 있는 추세이다. 이에 저출력 전압과 대출력 전류에 적합한 컨버터로 투-스테이지 컨버터(Two-stage converter)가 제안되었다<sup>[1-4]</sup>. 하지만 이 컨버터의 전달함수는 매우 복잡하여 최적 설계를 위해서는 컨버터의 동적 응답, 효율 그리고 크기를 적절히 고려해야 한다<sup>[1]</sup>. 투-스테이지 컨버터는 크게 레귤레이션 부분(Regulation stage), 절연 부분(Isolation stage)과 제어 부분(Control circuit)으로 구성되며 레귤레이션 부분의 출력이 절연 부분의 입력이 되도록 병렬로 연결한 구조로 되어있다. 레귤레이션 부분으로 비절연형 컨버터인 벅 컨버터(Buck converter), 부스트 컨버터(Boost converter), 벅 부스트 컨버터(Buck-Boost converter) 등이 사용되고 절연 부분으로 절연형 컨버터인 포워드 컨버터(Forward converter), 하프 브리지 컨버터(Half Bridge converter), 풀 브리지 컨버터

(Full Bridge converter), 푸시 풀 컨버터(Push Pull converter) 등이 사용된다. 본 논문에서는 벅+하프 브리지 컨버터를 선택하여 실험하였다.

### 2. 벅+하프 브리지 컨버터 (Buck+Half Bridge converter)

벅+하프 브리지 컨버터는 넓은 입력 범위를 갖으며 저출력 전압과 대출력 전류에 매우 적합한 회로이다. 그림 1은 벅+하프 브리지 컨버터의 제어 방식을 나타낸 것이다. 벅 컨버터(Buck converter)와 하프 브리지 컨버터(Half Bridge converter)를 병렬 중속 연결하여 구성하고 벅 컨버터의 출력전압인 하프 브리지 컨버터의 입력전압인  $V_{BUS}$  전압은 일정하게 유지한다. 따라서 하프 브리지 컨버터는 시비율이 50%로 일정하며 벅 컨버터는 출력 전압을 제어한다.

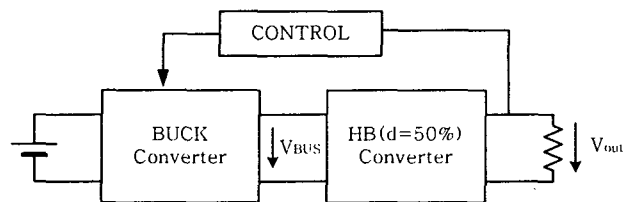


그림 1 벅+하프 브리지 컨버터의 블록 다이어그램

Fig. 1 Block diagram of two-stage converter

#### 2.1 벅 컨버터 (Buck converter)

프리레귤레이터(Pre-regulator) 역할을 하는 벅 컨버터는 환류 다이오드 대신에 전력용 MOSFET를 사용하는 동기 정류 방식(Synchronous rectification)을 사용한다. 이러한 동기 정류 방식은 다이오드 순방향 전압강하로 인한 손실을 전력용 MOSFET의 온저항( $R_{DS(on)}$ ) 손실로 줄일 수 있기 때문에 컨버터의 효율을 높일 수 있다<sup>[5-7]</sup>. 또한 고주파 스위칭에 따라

증가하는 스위칭 손실을 줄이기 위해 벡 컨버터의 출력 필터 인덕턴스 값을 적절히 조정하여 스위칭 소자들이 영전압 스위칭 동작을 하도록 한다. 이와 같은 적용으로 벡 컨버터는 영전압 준 구형파 컨버터(ZVS-QSW converter)로 설계된다. 전 부하 범위에서 영전압 스위칭 동작을 하려면 출력 필터 인덕턴스 값이 매우 낮게 설계되어 입력 전류 리플 성분을 매우 커지게 되는데 이 큰 전류 리플 성분은 큰 라인 전압 강하를 가져오고 컨버터의 효율을 감소시킨다. 스위칭 손실을 줄이기 위한 영전압 스위칭 방법은 증가된 전류 리플 성분으로 인한 큰 라인 손실로 인해 컨버터의 효율을 개선시키는데 한계가 존재하게 되었다. 따라서 고효율 벡 컨버터를 설계하기 위해서는 스위칭 손실과 라인손실의 두 가지 경우를 고려하여 최적 설계를 해야 한다.

### 2.2 하프 브리지 컨버터 (Half Bridge converter)

하프 브리지 컨버터의 입력전압은 벡 컨버터의 출력전압이므로 거의 일정하게 유지되어 하프 브리지 컨버터의 주 스위치 시비율(duty ratio)을 50%로 일정하게 고정하여 동작시킬 수 있다. 또한 이는 매우 작은 출력 필터 인덕턴스 값을 요구하고 동기 정류기의 동작을 최적화시킬 수 있다<sup>[5]</sup>. 시비율이 50%인 하프 브리지 컨버터는 실제적으로 누설 인덕턴스가 존재하고 약간의 데드타임이 존재하며 2차측 정류 회로는 동기 정류 방식을 적용한다. 2차측 동기 정류 방식은 다이오드의 전압강하로 인한 손실을 다이오드 대신 사용하는 전력용 MOSFET의 온저항( $R_{DS(on)}$ ) 손실로 대처하기 위해 사용하며 전력용 MOSFET를 병렬로 연결하여 온저항( $R_{DS(on)}$ ) 손실을 크게 낮출 수 있다<sup>[5-7]</sup>.

## 3. 벡+하프 브리지 컨버터의 효율 특성

### 3.1 벡 컨버터의 효율 특성

표 1과 같은 사양으로 벡 컨버터를 제작하여 효율을 측정하였다.

표 1 벡 컨버터의 사양  
Table 1 Buck converter specifications

|          |          |
|----------|----------|
| 입력전압     | 36~72Vdc |
| 출력 전압    | 22V      |
| 출력 전류    | 5A       |
| 출력 전압 리플 | 220mV    |
| 스위칭 주파수  | 150kHz   |

#### 3.1.1 출력 필터 인덕턴스 값에 따른 효율 특성

그림 2는 스위칭 주파수를 150kHz로 일정하게 고

정시키고 벡 컨버터의 출력 필터 인덕턴스 값을 변화시키면서 효율을 측정한 곡선이다. 전부하 범위에서 영전압 스위칭 동작을 하기 위해서는 출력 필터 인덕턴스 값을 매우 작게 설정해야 하지만 전류 리플 성분이 증가하여 효율을 감소시키게 된다. 그림 2와 같이 인덕턴스 값이 증가함에 따라 효율 곡선도 증가하다가 어느 정도의 인덕턴스 값을 넘어서면 다시 효율곡선이 떨어지는 것을 알 수 있다. 인덕턴스 값이  $18.4\mu\text{H}$ 일 때 가장 좋은 효율 곡선을 나타낸다.

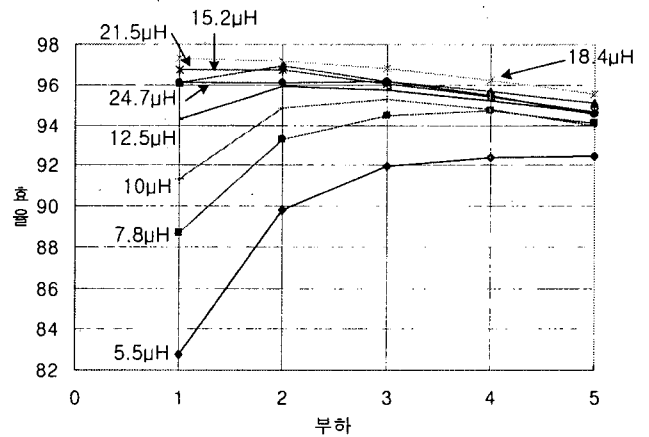


그림 2 인덕턴스 값의 변화에 따른 벡 컨버터의 효율  
Fig. 2 Efficiency of Buck converter according to inductance value

#### 3.1.2 출력 필터 인덕턴스 값이 $18.4\mu\text{H}$ 일 때의 효율 특성

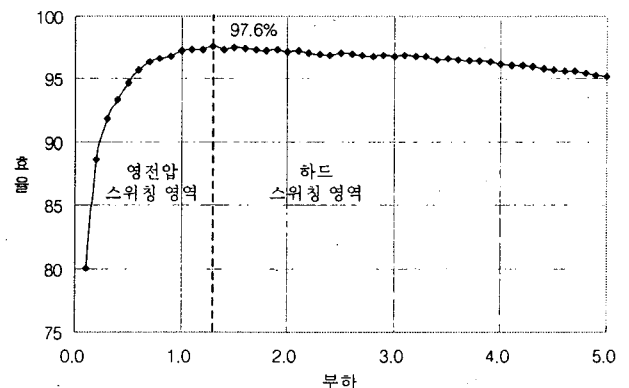


그림 3 벡 컨버터의 효율( $L=18.4\mu\text{H}$ )  
Fig. 3 Buck converter efficiency( $L=18.4\mu\text{H}$ )

그림 3은 출력 필터 인덕턴스 값이  $18.4\mu\text{H}$ 일 때의 효율 곡선을 나타낸 것이다. 80.1%~97.6%로 가장 좋은 효율 특성을 나타내며 부하 전류가 1.4A일 때까지 영전압 스위칭 동작을 하다가 그 이상으로는

하드 스위칭 동작을 한다.

### 3.2 하프 브리지 컨버터의 효율 특성

표 2와 같은 사양으로 하프 브리지 컨버터를 제작하여 효율을 측정하였다.

표 2 하프 브리지 컨버터의 사양  
Table 2 Half Bridge converter specifications

|          |          |
|----------|----------|
| 입력전압     | 19~24Vdc |
| 출력 전압    | 3.3V     |
| 출력 전류    | 30A      |
| 출력 전압 리플 | 50mV     |

#### 3.2.1 스위칭 주파수에 따른 효율 특성

그림 4는 스위칭 주파수에 따른 하프 브리지 컨버터의 효율을 나타낸 곡선이다. 스위칭 주파수를 각각 100kHz, 150kHz, 200kHz로 나누어 효율을 측정해 보았다. 흔히 스위칭 주파수를 낮추면 코어 손실이 줄어들어 효율이 증가할거라 생각하지만 그림 4의 효율 곡선을 보면 스위칭 주파수를 계속 감소한다고 해서 효율이 좋아지는 것은 아니라는 것을 알 수 있다. 스위칭 주파수가 증가하면 코어 손실은 증가하고 또한 코어의 최대 자속 밀도인  $B_{max}$  값은 낮아지게 되어 코어 손실은 감소한다. 따라서 총 코어 손실은 위 두 가지의 경우가 고려되어 나타나게 된다.

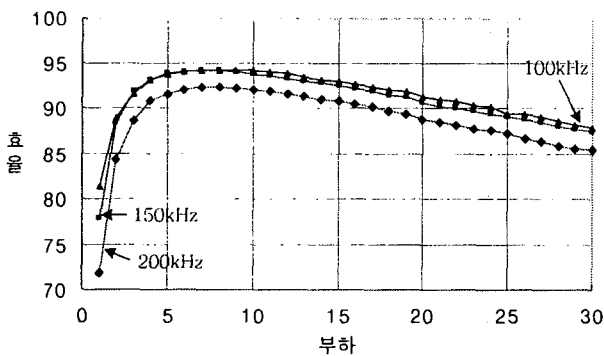


그림 4 스위칭 주파수에 따른 효율

Fig. 4 Efficiency according to switching frequency

#### 3.2.2 변압기 코어 형태와 재질에 따른 효율 특성

그림 5는 변압기 형태와 재질에 따른 효율 특성 곡선이다. 변압기의 코어 형태와 재질로 EI20/6.5/15 형태와 ML25D 재질, ER22/7.5/15 형태와 NC-2H 재질, PQI26/11.5 형태와 PC44 재질을 사용하였다. 코어 재질이 PC44이면서 코어 형태가 PQI26/11.5인 플래너 변압기가 가장 좋은 효율 곡선을 나타낸다.

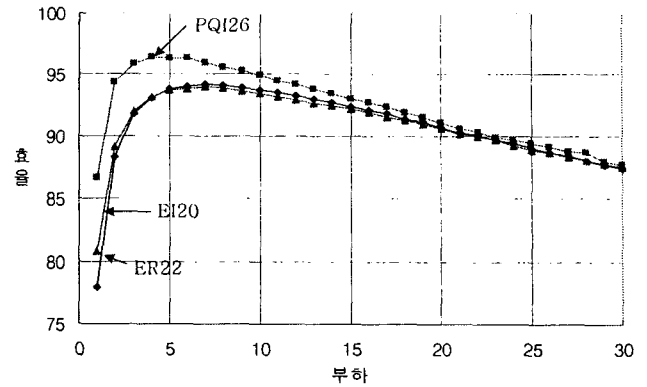


그림 5 변압기 코어 형태와 재질에 따른 효율

Fig. 5 Efficiency according to transformer cores

### 3.3 벽+하프 브리지 컨버터의 효율 특성

벽 컨버터와 하프 브리지 컨버터를 병렬 종속 연결하여 실험하였다. 그림 6은 입력전압(36V, 48V, 72V)에 따른 벽+하프 브리지 컨버터의 부하 효율 곡선을 나타낸다. 스위칭 주파수는 100kHz이고 변압기의 코어 형태/재질은 PQI26/PC44이며 벽 컨버터와 하프 브리지 컨버터의 제어회로를 동기 시킨 컨버터의 효율 곡선이다. 입력전압이 증가함에 따라 효율이 감소하는 이유는 입력 전류 리플 성분이 증가하여 라인 손실이 더 커지기 때문이다.

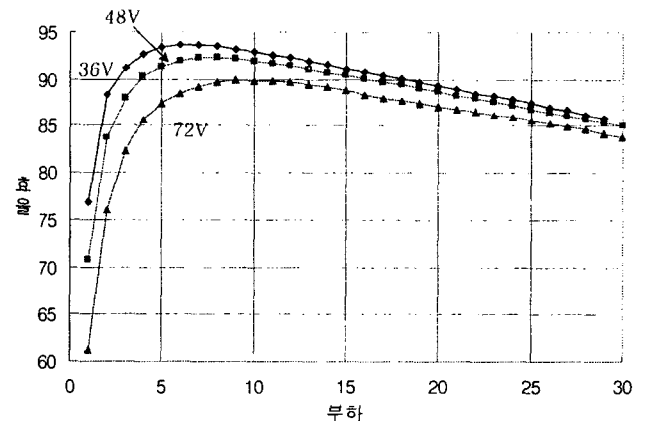


그림 6 입력전압에 따른 효율

Fig. 6 Efficiency according to input voltages

## 4. 벽+하프 브리지 컨버터의 실험 파형

### 4.1 벽 컨버터의 실험 파형

그림 7은 벽 컨버터의 주 스위치 양단 전압 파형과 주 스위치 전류 파형을 나타낸 것이다. 그림 7에서 보듯이 벽 컨버터의 주스위치가 영전압 스위칭 동작을 한다는 것을 알 수 있다.

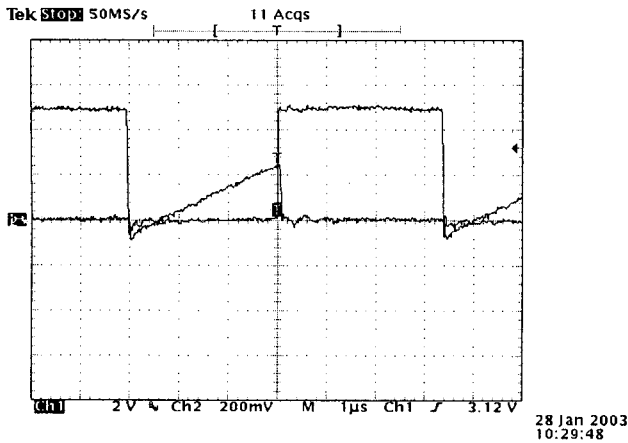


그림 7 스위치 양단 전압 파형[20V/div]과 스위치 전류 파형[2A/div]

Fig. 7 Switch drain-source voltage waveform[20V/div] and switch current waveform[2A/div]

#### 4.2 하프 브리지 컨버터의 실험 파형

그림 8은 하프 브리지 컨버터의 2차측 동기 정류기의 구동 전압 파형과 양단 전압 파형이다. 2차측 동기 정류 방식으로 구동회로가 따로 필요하지 않는 자가 운전 동기 정류 방식(Self-driven synchronous rectification)을 채택하여 사용하였다.

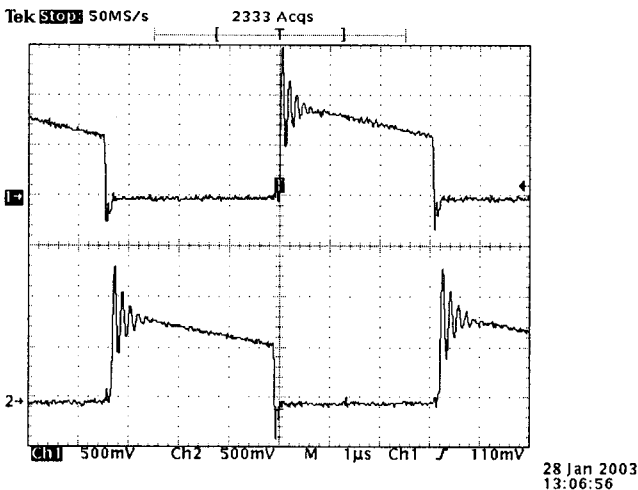


그림 8 동기 정류기의 구동 전압 파형[5V/div]과 양단 전압 파형[5V/div]

Fig. 8 Synchronous rectifier gate-source voltage waveform [5V/div] and drain-source voltage waveform[5V/div]

### 5. 결 론

고효율 벅+하프 브리지 컨버터를 설계하기 위하여 벅 컨버터와 하프 브리지 컨버터로 분리하여 가장 좋은 효율을 갖도록 실험을 하였다. 벅 컨버터에서

는 출력 필터 인덕턴스 값이  $18.4\mu\text{H}$ 일 때 가장 좋은 효율이 측정되었고 하프 브리지 컨버터에서는 스위칭 주파수가 100kHz이고 변압기 코어 형태가 PQ1 코어에서 가장 좋은 효율이 측정되었다. 이와 같이 가장 좋은 효율 특성을 만족하는 벅 컨버터와 하프 브리지 컨버터를 병렬 중속 연결하여 벅+하프 브리지 컨버터를 설계하였다. 이 벅+하프 브리지 컨버터는 넓은 입력 범위와 전 부하 범위에서 높은 효율(그림 6 참조)을 갖고 있으며 입력전압이 36V일 때 93.64%(부하전류가 6A), 48V일 때 92.27%(부하전류가 7A), 72V일 때는 89.91%(부하전류가 9A)로 효율이 가장 높다. 경부하를 제외하고 가장 효율이 낮은 부분은 부하전류가 가장 높을 때이며 입력전압이 36V일 때 85.46%, 48V일 때 85.07%, 72V일 때 83.86%로 나타났다.

이 논문은 (주)동아일렉콤의 연구비 지원에 의하여 연구되었음.

### 참 고 문 헌

- [1] P. Alou, J. Oliver, J.A. Cobos, O. Garcia, J. Uceda, "Buck+Half Bridge( $d=50\%$ ) Topology Applied to very Low Voltage Power Converter", IEEE Applied Power Electronics Conference (APEC'01), 2001.
- [2] Masakazu Takagi, katsuhiko shimizu, toshiyuki Zaitso, "Ultra High Efficiency of 95% for DC/DC Converter - Considering Theoretical Limitation of Efficiency", IEEE Applied Power Electronics Conference (APEC'02), 2002.
- [3] Martin F. Schlecht "High Efficiency Power circuit" US Patent Number : 5,999,417.
- [4] 松田 善秋 "低電壓出力高效率DC/DCコンバータ" PASSWORD, Vol. 82 2001.10.
- [5] J.A. cobos, O. Garcia, J. Uceda, F. Aldana, "Optimized Synchronous Rectification srage for Low Output Voltage (3.3V) DC/DC Converter", IEEE Applied Power Electronics Conference (APEC'94), 1994.
- [6] P. Alou, J.A. Cobos, O. Garcia, J. Uceda, M. Rascón "A New Driving Scheme for Synchronous Rectifiers : Single Winding Self-Driven Synchronous Rectification", IEEE Applied Power Electronics Conference (APEC '99),1999.
- [7] P. Alou, P. Pérez-Bedmar, J.A. cobos, J. Uceda and M. Rascón, "A High Efficiency Voltage Regulator Module with Single Self-Driven Synchronous Rectification", IEEE Applied Power Electronics Conference (APEC '00), 2000.