

시뮬레이터급 TCSC 제어기 설계 및 구현

전진홍*, 김광수*, 김지원*, 전영환**

*한국전기연구원, **홍익대학교

The Design and Implementation of TCSC Control Hardware for KERI Simulator

J.H. Jeon*, K.S. Kim*, J.W. Kim*, and Y.H. Chun**

*Korea Electrotechnology Research Institute, **Hong-ik University

ABSTRACT

KERI simulator is a analog simulator for power system at KERI power system division lab. It consist of many power system components, which are a 380V 5kVA generators, scale-downed transmission line modules, transformers, switches, FACTS(Flexible AC Transmission System) devices. As a FACTS device module, 20kVA TCSC(Thyristor Controlled Series Compensator) module was designed and implemented.^{[1][2][3]}

In this paper, we present the design and implementation of TCSC control hardware for KERI simulator.

1. 서 론

기존의 전력계통 시스템은 수동소자 및 기계적인 스위치로 구성되어 시스템 특성을 제어하는 것이 매우 제한적이고 어려운 것이었다. 그러나 최근 반도체 기술과 전력전자 기술의 발달로 전력용 반도체 소자의 고압 대응량화 및 시스템화가 가능함에 따라 전력 계통 시스템에 전력전자 장치를 적용하여 송배전 계통의 기본특성을 결정하는 교류송전선로의 임피던스, 모선 전압의 크기 및 위상각을 제어하고자 하는 연구가 진행되어 왔다. 전력계통에서 전력전자 시스템을 적용하여 전력계통 특성을 제어하고자 하는 기술을 FACTS(유연송전시스템, Flexible AC Transmission System)라고 하고, FACTS System을 구성하는 장치에는 TCSC(Thyristor Controlled Series Compensator), STATCOM(Static Synchronous Compensator), UPFC(Unified Power Flow Controller)를 대표적인 장치로 들 수 있다.^{[1][2][3]}

현재 한국전기연구원에는 전력계통 시스템을 모

의할 수 있는 아날로그형 축소 시험설비가 구축되어 있으며, 축소 시험 설비를 이용하여 FACTS에 관한 연구를 수행하였다.^{[2][3]} 이러한 연구의 일부분으로 TCSC 모의장치의 설계와 구현에 관한 연구가 수행 되었으며 본 논문에서는 20KVA급 TCSC 모의장치의 제어기 설계와 구현에 대하여 소개하고자 한다.

2. 본 론

2.1 TCSC 시스템

TCSC는 사이리스터 스위칭 제어에 의해 송전선로의 리액턴스를 고속으로 제어는 직렬 제어기로서, 송전선로의 전력전송능력, 전력조류제어 및 안정도 향상 목적에 적용되는 송전계통 설비다. 두 모선간 전력수송능력은 선로 리액턴스에 반비례하므로 TCSC를 이용하여 선로 리액턴스를 보상함으로써 선로의 전력수송능력이 증대된다.^[4]

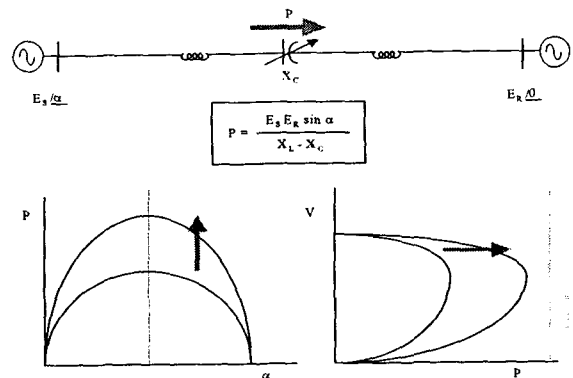


그림 1 TCSC에 의한 선로 리액턴스 보상
Fig.1 Transmission line reactance compensation by TCSC

또한 TCSC는 선로의 리액턴스를 제어하기 때문에

효과적으로 선로의 전력조류를 제어하는 기능을 가진다. 특히, 고장 발생 시 TCSC는 선로 리액턴스 제어에 의해 전력 동요를 억제 하여 계통 안정도를 향상시키는 기능이 있다. 그림 1은 TCSC를 이용하여 선로의 리액턴스를 보상하는 기본적인 동작 원리와 선로의 리액턴스가 보상되었을 때의 송전용량 증대 효과를 도시한 것이다. TCSC의 정상상태 임피던스 특성은 그림 2와 같다.^[5]

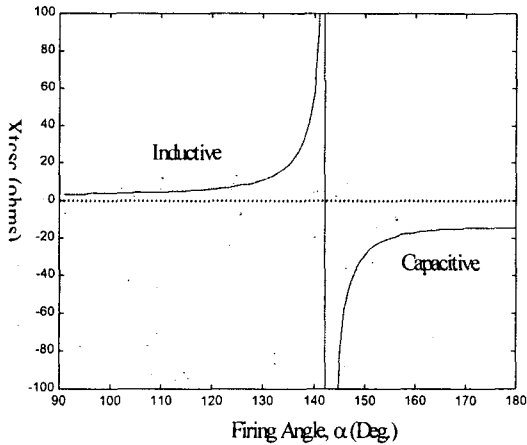


그림 2 TCSC의 정상상태 임피던스 특성
Fig. 2 Impedance Characteristics of TCSC

2.2 TCSC 제어기

TCSC의 제어기는 TCSC의 입출력 전압, 전류를 센싱하고 각 종 스위치의 상태를 감지하며 이를 바탕으로 TCSC의 주요 부분에 인가되는 전압과 전류, 각 종 스위치의 on/off를 제어하며 TCSC의 이상 유무를 판단하는 기능을 한다. 따라서, TCSC의 제어기는 많은 정보를 빠른 시간에 처리할 수 있는 고속 연산 능력과 안전하게 동작할 수 있는 안전성을 확보하여야 하며, 많은 신호가 입출력되므로 필요에 따라서 시스템의 확장이 쉬어야 하는 확장성을 가져야 한다. 이러한 이유로, TCSC의 제어기는 제어기 전체 시스템의 시스템 버스(system bus)로 현재 산업현장에서 많이 사용하고 있는 VME BUS 시스템을 사용하여 확장성 및 안정성을 고려하였으며 고속연산과 고정밀 제어를 위해 주연산장치(CPU)로 DSP(Digital Signal Processor)를 적용하고 제어 알고리즘 및 각종 부가기능의 수행을 위하여 RTOS(Real Time Operation System)를 운영체제로 하여 소프트웨어를 설계하였다. RTOS는 주어진 작업들을 정의된 시간 내에 처리하며 다중작업의 수행을 지원해주는 운영체제이다. 사용자는 작업들의 특성에 따라서 작업의 우선권을 주거나 작업간의 통신을 적절히 이용하여 정해진 시간 내에 모든 작업들을 처리할 수 있는 기능을 가지고

있다. 따라서, 본 연구에서는 RTOS를 제어기의 소프트웨어 기반 OS(Operating System)로 이용하여 정해진 시간에 정확하게 처리되어야 할 제어 알고리즘과 통신 등의 여러 부가 기능들을 원활하게 수행할 수 있게 하였다.^[5]

2.2.1 제어기 전체 구성

전체 제어기는 one-board 형태가 아닌 rack 구조를 이루도록 구성되어 있으며, 제어기 rack은 DSP 보드, A/D 보드(analog to digital conversion board), D/A 보드(digital to analog conversion board), 전원공급장치(power supply)로 구성되어 있으며 전체 시스템은 그림 3과 같다.

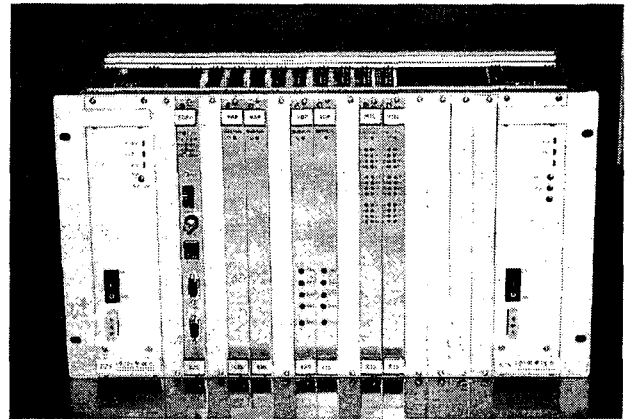


그림 3 TCSC 제어기(전면)
Fig. 3 TCSC Control Hardware(Front Side)

2.2.2 전원공급장치 및 VME BUS

TCSC의 제어기 각 종 보드들의 경우는 대부분 DC 5V만을 사용한다. 그러나 아날로그 입출력을 위한 필터의 사용과 A/D 변환을 하는 경우에는 연산증폭기(op-amp)를 사용하게 되므로 DC ±12V가 사용된다. 이를 위해서 제어기 rack의 한쪽 편에는 220V의 상용전원을 입력받아 DC 5V와 DC ±12V를 만들어낼 수 있는 전원공급장치를 장치하였다. TCSC의 입출력 전압, 전류를 센싱하기 위해 센서를 사용해야 하는데 현재 많이 사용되고 있는 hall type 센서들은 DC 24V와 DC ±15V를 사용하기도 한다. 이를 위해서 제어기의 다른 한쪽 편에는 이러한 출력전압을 발생시킬 수 있는 다른 전원공급장치도 장착하였다. 따라서, TCSC의 각종 부품에 사용될 DC 전원은 별도로 설치하거나 제작할 필요가 없으며 제어기 rack에 부착되어 있는 전원공급장치를 사용하면 된다. 따라서, 전체 시스템의 전원을 복잡하게 구성하지 않고 제어기에서 모두 공급할 수 있도록 하였다. 각각 DC 전원의 전압은 미세 조정이 가능하도록 조절장치를 부착하였다. TCSC의 제어기의 각종 보드들은 VME BUS 시스

템을 기반으로 설계되었다. VME는 Versa Module Eurocard의 약자로 versa module이라는 컴퓨터 카드 시스템을 유로카드(eurocard)규격(DIN)에 외형을 갖춘 것으로 1982년부터 지금까지 계속해서 산업 통신 제어 분야 등에서 광범위하게 사용되고 있는 국제적 표준규격의 컴퓨터 시스템 버스(computer system bus)체계이다. 사용하는 연산장치(cpu)도 초기에는 모토로라 68000 계열 일변도에서 68000 계열의 단종으로 인하여 펜티엄(pentium) 등의 연산장치 또는 워크스테이션(workstation)급 연산장치로 급속하게 전환되고 있으며 최근에는 DSP를 연산장치로 적용하고 있다. VME BUS 시스템의 기능과 특성을 간략히 살펴보면 아래와 같다.^[5]

■ 기능

- ▶ 최대 21개까지 멀티프로세싱이 가능
- ▶ 다양한 어드레스/데이터 폭
- ▶ 최대 21 slot까지 확장이 가능
- ▶ 7 level의 인터럽트를 가지며 최대 256개의 인터럽트 벡터 사용 가능
- ▶ 최대 320 MByte/Sec의 전송속도 가능
- ▶ 6U/3U의 두 가지 표준 크기

■ 특성

- ▶ 멀티프로세싱(동일 bus상에 최대 21개의 cpu board를 동시에 연결 가능)
- ▶ 각각의 cpu board에 개별적 job을 할당함으로써 시스템 설계에 최대의 융통성을 제공
- ▶ 유로카드 규격을 따르므로 안정성 있는 기계적 강도를 제공하는 동시에 효과적인 공냉을 제공
- ▶ 신뢰성 있는 데이터 전송(cpu의 동작속도(clock)에 동기 맞추지 않고 상대카드의 신호를 확인 점검함으로써 신뢰성 있는 데이터 전송이 가능)
- ▶ 국제적 표준 규격(IEEE1014, 전세계 300여개 업체에서 보드생산, open architecture)

2.2.3 DSP Board

DSP 보드는 VME BUS를 제어하는 VMS BUS 마스터(master) 기능과 전력품질 보상기기를 제어하기 위한 각종 연산기능과 제어 알고리즘의 구현 기능을 가진다. DSP 보드의 주요 사양은 다음과 같다.

■ System

- ▶ DSP : Texas Instrument TMS320C32-50MHz
- ▶ Memory : 1Mbyte SRAM, 512kbyte EPROM, 512kbyte Flash ROM

■ I/O

- ▶ 통신 : RS232C 1port, RS485 1port, Ethernet 1port(10BaseT or 10Base2)
- ▶ RTC(Real Time Clock)
- ▶ Interface : Emulator 1port, VME interface

■ 외형

- ▶ VME 6U 표준 : 4HP(W)×6U(H)×160mm(D)

■ 환경

- ▶ 설치 조건 : 실내
- ▶ 동작 온도 : 0℃ ~ 50℃
- ▶ 보관 온도 : -40℃ ~ 80℃
- ▶ 사용 습도 : 0% ~ 85% RH, 결로 없을 것
- ▶ 전원 : 5V, 1.2A 이내

DSP 보드는 그림 4와 같다.

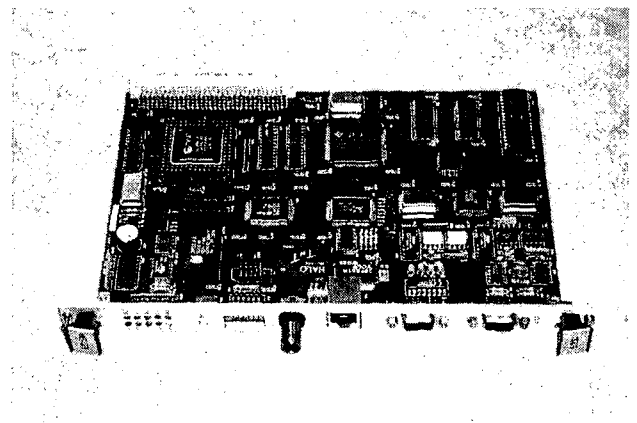


그림 4 DSP 보드
Fig. 4 DSP Board

TMS320C32 프로세서는 마이크로 프로세서 모드(microprocessor mode)와 마이크로 컴퓨터 모드(microcomputer mode or boot-loader mode)의 두 가지 사용 모드가 있다. 이 두 가지 사용 모드에 따라 사용하는 메모리 맵(memory map)이 달라진다. 본 연구에서 사용중인 DSP 보드에서는 프로세서를 마이크로 프로세서 모드로 사용한다. 마이크로 프로세서 모드의 메모리 맵을 고려하여 제어기가 사용하고자하는 외부 ROM이나 외부 RAM, VME BUS, 통신 등과 관련된 외부 장치들을 제어기의 어드레스에 할당을 시켰으며 이러한 할당 상황을 표시한 메모리 맵은 표 1과 같다.

표 1 메모리 맵
Table 1 Memory Map

Address	내용	크기	chip select	strob	비고
0x00000h 0x7ffffh	boot program	512k bytes	ROM (EPROM)	STRB0	0x000000h 0x7ffffh
0x400000h 0x47ffffh	program down load	512k bytes	FROM	STRB0	reset-vector location external memory
0x600000h 0x63ffffh	main memory	256k words	RAM	STRB0	(8.192M words)
0x800000h 0x807ffffh	reserved	32k words			

표 1 메모리 맵(계속)
Table 1 Memory Map(continue)

Address	내용	크기	chip select	strob	비고
0x808000h 0x8097Fh	peripheral bus memory-mapped registers	6k words			0x808000h DMA0 0x808010h DMA1 0x808020h Timer0 0x808030h Timer1 0x808040h Serial port
0x809800h 0x80FFFFh	reserved	26k words			
0x810000h 0x82FFFFh	external memory	128k words		IOSTR B	0x810000h UART 0x811000h RTC 0x812000h VIC068 0x813000h VME interrupt re-enable 0x814000h reset control 0x815000h interrupt acknowledge 0x816000h DIP switch 0x817300h RTL8019AS
0x830000h 0x87FDFFh	reserved	319k words			
0x87FE00h 0x87FEFFh	RAM block 0	256 words			
0x87FF00h 0x87FFFFh	RAM block 1	256 words			
0x880000h 0x8FFFFh	external memory	512k words			
0xA00000h 0xA0FFFFh	VME BUS access	128k words	VME A16/D16	STRB1	0x900000h 0xFFFFh
0xC00000h 0xFFFFh	VME BUS access	1M words	VME A24/D16	STRB1	external memory (7.168M words)

2.2.4 A/D 보드

TCSC의 제어를 위해서는 모선의 전압과 선로의 전류를 센서를 이용하여 센싱하고 센싱된 결과를 제어기로 읽어들이어야 한다. 센서로부터 센싱된 정보는 아날로그 신호이며 이 신호를 제어기가 입력으로 받아들이면 된다. 그러나 디지털 제어기는 입력력이 모두 디지털 값이므로 아날로그 신호로 이루어진 신호를 직접 입력받을 수 없다. 따라서, 센싱된 아날로그 신호를 적당한 디지털값으로 변환해야 한다. 이러한 변환기능을 하는 보드가 A/D 보드이다. A/D 보드는 표준 VME BUS용 슬레이브(slave) 보드로서 32채널의 아날로그 전압신호를 디지털 데이터로 변환하는 기능을 한다. 전압의 입력범위는 -10V~10V, -5V~5V, 0V~10V, 0V~5V의 네 가지중 선택이 가능하며 12bit의 변환 정밀도(resolution)을 가진다. A/D 보드의 최대 변환 속도(throughput)는 800kHz 샘플링(sampling)이며,

전체 32 채널에서는 50kHz 샘플링이다. A/D 보드는 그림 5와 같다.

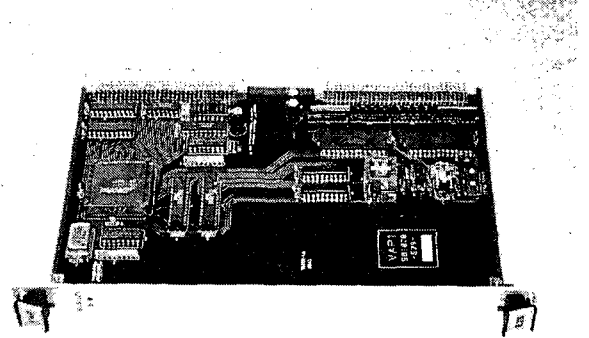


그림 5 A/D 보드

Fig. 5 Analog to digital conversion board

3. 결 론

본 논문에서는 KERI 시뮬레이터에 적용을 목적으로 개발된 20KVA급 TCSC 시뮬레이터의 제어기 하드웨어의 설계 및 구현에 대하여 소개하였다. 본 연구에서 개발된 제어기는 VME BUS를 기반으로 시스템의 확장을 고려하여 설계되었으며 연산 및 제어 기능을 위해 DSP를 CPU로 하였다. 추후 연구에서는 제시된 제어기를 이용한 실험 결과에 대한 내용이 발표될 예정이며, 또한 멀티프로세서를 이용한 다중 제어 시스템에 의한 협조제어에 관한 연구가 필요하리라 생각된다.

이 논문은 과학기술부 특정연구개발사업의 연구비 지원에 의하여 연구되었음

참 고 문 헌

- [1] Narain G. Hingorani and Laszlo Gyugyi, "Understanding FACTS: Concepts and Technology of Flexible AC Transmission Systems(Book)", IEEE Press, 2000
- [2] "FACTS 연구기획사업", 최종보고서, 과학기술부, 1995
- [3] "1MVA 급 통합전력제어기 개발", 최종보고서, 과학기술부, 1999
- [4] "FACTS에 의한 송배전 계통의 용량증대 기술개발" 1단계 최종보고서, 과학기술부, 1998
- [5] "다관성 터빈/발전기 시뮬레이터와 TCSC 제어 시스템 개발", 국무총리실, 2002