

효율개선을 위한 Push-Pull Converter의 동기정류에 관한 연구

김동중, 김영규, 김이훈, 원충연, 김규식*, 최세완**
 성균관대학교, 서울시립대학교*, 서울산업대학교**

A Study On Synchronous Rectification Of Push-Pull Converter For Efficiency Improvement

D.J. Kim, Y.G. Kim, L.H. Kim, C.Y. Won, G.S. Kim*, and S.W. Choi**
 Sungkyunkwan University, University of Seoul*, Seoul National University of Technology**

ABSTRACT

Single winding self driven synchronous rectification(SWSDSR) scheme is based on an additional winding in the power transformer (auxiliary winding). It allows for maintaining the synchronous rectifiers on even when the voltage in the transformer is zero, which is impossible to do in traditional self-driven approaches. Its technique is verified to improve the efficiency by experiment. In this paper, there are compared self driven synchronous rectification(SDSR) with SWSDSR about the efficiency

1. 서 론

저전압 대전류 DC-DC 컨버터는 차세대 IT기기에 중요한 역할을 담당하고 있다.

그러나 저전압 공급 전원을 사용하는 반도체 소자는 전압 강하로 인한 손실 때문에 컨버터의 효율을 저감시키는 원인이 되고 있다.

출력전압이 낮은 회로는 기존의 Fast Recovery Diode(FRD)나 Schottky Barrier Diode(SBD)의 순방향 전압강하 때문에 출력 손실이 매우 크게 나타난다. 이 문제를 해결하기 위하여 동기정류(synchronous rectification)방식이 사용된다.^[1]

SBD의 순방향 전압강하는 일반적인 다이오드 보다는 작지만, 동기정류 방식과 비교했을 때는 2배 이상의 손실을 가지게 된다.

출력 전압이 낮은 컨버터를 설계하는데 있어서의 어려움은 정류부 손실로 인한 효율 저감이 주된 원인이기 때문에 다이오드에 비해 도통손실이 적은 MOSFET를 이용하여 높은 효율을 얻을 수 있다.

본 논문에서는 DC 27[V]의 입력 전원과 5[V]/30[A]출력을 가지는 Push-Pull 컨버터의 정류부에 동기정류방식을 사용하여 효율을 개선하였다.

2. Push-Pull 방식의 SDSR과 SWSDSR

2.1 동기정류를 적용한 Push-Pull 컨버터

그림 1은 기존의 PN접합 다이오드 대신에 순방향 전압강하 V_f 가 작은 SBD를 사용하였다. 일반적인 Push-Pull 컨버터는 변압기 1차측의 S_1 과 S_2 가 상보적으로 on-off되므로 1차 권선이 여자될 때 생기는 편여자 현상 때문에 최적설계가 어렵다.

그러나 입력 전압이 낮은 경우의 Push-Pull 컨버터는 S_1 과 S_2 중 단지 하나의 스위치만이 입력 전압과 변압기 1차 권선에 직렬로 연결되고, 중간 탭 변압기 권선 중 1/2권선에만 입력 전압이 인가되므로 1차측 전류 스트레스가 1/2정도 줄어드는 장점이 있다.

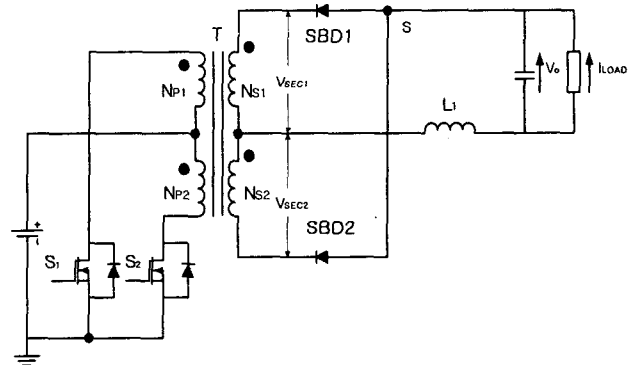


그림 1 일반적인 Push-Pull 컨버터
 Fig. 1 Conventional Push-Pull converter

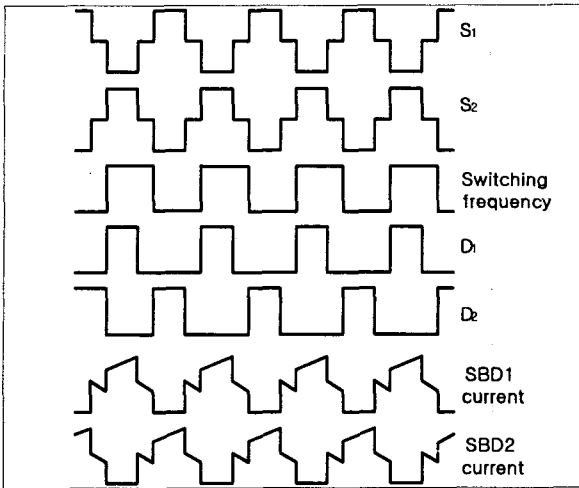


그림 2 Push-Pull 컨버터의 각부파형
Fig. 2 Waveform of each parts in Push-Pull converter

그러나 스위치에 인가되는 전압 스트레스는 2배가 되므로, 입력 전압이 낮은 DC/DC 컨버터에 적합하다. 따라서 입력전원이 27V인 동기정류기에 Push-Pull 방식을 채택하였다.

그림 2는 Push-Pull 컨버터의 각부파형으로 1차측의 S₁, S₂가 상보적으로 스위칭하는 파형과 2차측의 전압, 전류 파형을 나타낸다.

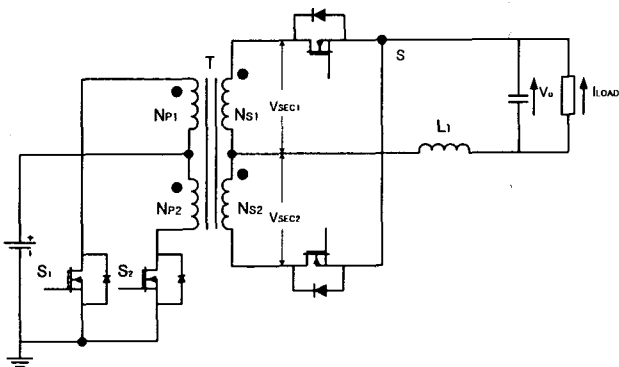


그림 3 동기정류 방식의 Push-Pull 컨버터
Fig. 3 Push-Pull converter with SR method

그림 3은 동기정류 회로를 나타내며 SBD에서 생기는 V_f도 손실의 큰 부분을 차지하므로 SBD 대신에 MOSFET를 사용하는 동기정류로써 효율을 개선한다.

그림 4는 다이오드정류(효율80%)와 동기정류(효율90%)의 전체 손실을 비교한 그림으로 손실의 대부분이 정류부에서 일어난다는 것을 확인할 수 있다. 따라서 정류부 손실만을 고려해 볼 때 기존 SBD의 V_f에 의한 손실은 식 (1)과 같다.

$$P_{SBDloss} = V_f \times I_0 \quad (1)$$

또한 MOSFET는 식 (2)의 드레인 소스 도통시 생기는 R_{DS}값과 출력 전류로부터 손실을 구할 수 있다.

$$P_{FETloss} = R_{DS} \times I_0^2 \quad (2)$$

물론 두 식에 의해 구해진 값을 비교해 보면 SBD손실이 FET손실 보다 4배 이상 큰 것을 알 수 있다.

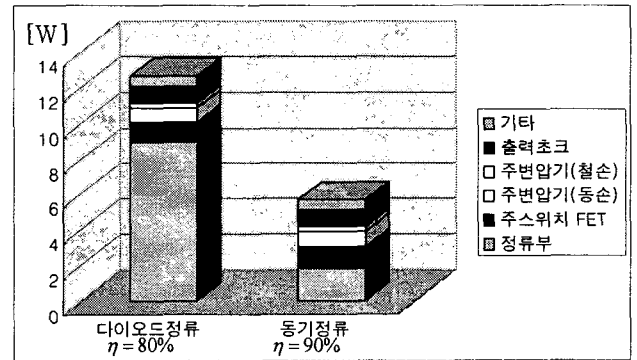


그림 4 다이오드정류와 동기정류의 손실비교
Fig. 4 Loss comparison diode rectifier with synchronous rectification

$$P_{FETloss} = R_{DS} \times I_0^2 = 0.004 \times 30^2 = 3.6 [W]$$

$$P_{SBDloss} = V_f \times I_0 = 0.54 \times 30 = 16.2 [W]$$

따라서 기존에 사용중인 SBD보다는 MOSFET를 사용해서 동기정류를 하는 것이 더 효율적이라는 것을 알 수 있다.^[2]

2.2 SDSR을 적용한 Push-Pull 컨버터

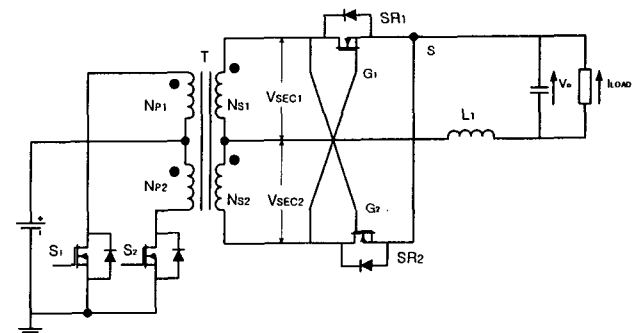


그림 5 SDSR방식의 Push-Pull 컨버터
Fig. 5 Push-Pull converter with SDSR method

그림 5는 SDSR방식의 Push-Pull 컨버터로써 1차측 스위치 S₁이 턴온하여 V_{SEC1}이 center-tap과 비교하여 낮으면 SR₁이 턴온 하게 되고 반대로

V_{SEC2} 가 center -tap과 비교하여 낮으면 SR_2 가 턴 온하게 된다.(2차측 권선에 전압이 걸리면, SR 스위치를 통하여 2차측 권선으로부터 출력 필터 인덕터로 에너지가 전달된다.)

1차 측의 데드타임동안에 2차측 권선 양단의 전압이 0이 되어, SR_1 과 SR_2 는 인덕터 L_1 의 전류를 내부 다이오드로 방전시킨다. 이때 내부 다이오드는 free-wheeling 다이오드역할을 하며, 높은 순방향 전압강하에 의하여 손실이 증가하게 된다.^[3]

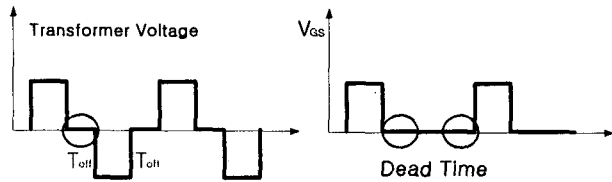


그림 6 이상적인 2차 권선과 게이트 파형
Fig. 6 Ideal second winding and gate waveform

SDSR은 변압기 2차측 권선을 사용하여 동기정류 MOSFET를 구동하기 때문에 구동손실이 작고, 낮은 가격으로 시스템을 구성하기에 적당한 방법이다.

그러나 그림 6은 SDSR의 이상적인 변압기 2차측 권선 전압과 게이트 파형으로 1차 변압기 권선의 전압이 0인 T_{off} 구간에서 SR은 턴 오프된다. 이때 MOSFET의 채널은 도통되지 않고, 내부 다이오드를 통하여 전류가 흐르게 된다.

따라서 SR의 도통손실과 역회복 손실은 매우 크게 된다.

SDSR은 간단하지만 출력전류가 크거나 주파수가 높은 경우는 높은 효율을 얻기가 힘들다.

기생 인덕턴스를 줄이면 효율은 증가되지만 실제로 이 인덕턴스를 줄이는 것은 어렵고, 가격도 상승하게 된다.

따라서 이러한 SDSR 방식의 단점을 보완하기 위해 데드타임 동안에 SDSR의 내부 다이오드보다 V_f 가 더 작은 SBD를 병렬로 사용하여 효율을 개선시킨다.^[4]

2.3 SWSDSR을 적용한 Push-Pull converter

그림 7의 SWSDSR은 단권선 방식의 SR구동회로를 채택하였다. SR과 연결된 게이트 회로는 주 변압기의 보조 권선 N_{aux} 와 D_1 , D_2 의 다이오드로 구성되어 있다. 변압기에 보조 권선(N_{aux})을 추가하여 1차 측 변압기에 인가된 전압이 0인 상태에서도 동기정류 MOSFET 턴-온을 유지하게 한다. 이것은 기존의 SDSR방식에서는 구현이 불가능하지만 SWSDSR방식은 적절한 보조 권선을 부가하면 낮

은 출력 전압에서도 동기정류 MOSFET를 적절하게 구동할 수 있다.

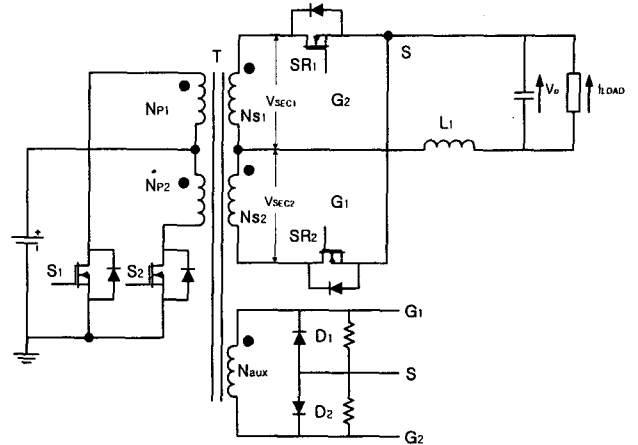


그림 7 SWSDSR 방식의 Push-Pull 컨버터
Fig. 7 Push-Pull converter with SWSDSR method

보조권선에 걸리는 전압은 도통하여야 하는 SR 게이트에 인가되고 반대로 오프되어야 하는 SR의 게이트-소스 전압은 다이오드 드롭(-0.6V)만큼 클램프 된다.

변압기의 극성이 바뀔때, 동일한 전류가 2개 SR의 기생 커패시턴스를 통하여 흐르고, 하나가 방전할 때 다른 하나를 충전하게 된다.

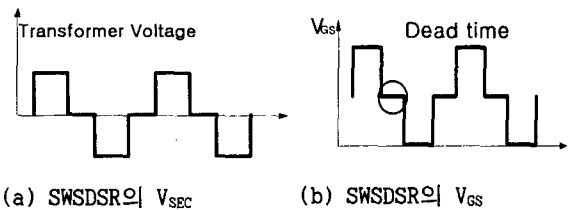


그림 8 SWSDSR의 V_{SEC} 와 V_{GS} 파형
Fig. 8 V_{SEC} and V_{GS} waveform of SWSDSR

그림 8은 SWSDSR방식의 변압기 2차측 V_{SEC} 와 V_{GS} 파형을 나타낸다.

V_{GS} 의 파형에서 DeadTime동안에도 일정전압이 유지되어 낮은 온-저항으로 MOSFET를 턴 온시킬 수 있다.

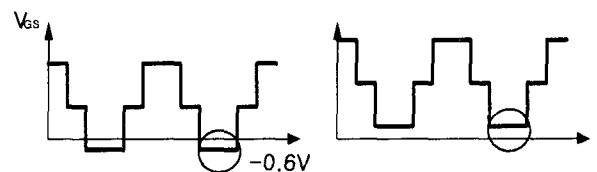


그림 9 변압기 결합도에 따른 SWSDSR의 V_{GS} 파형
Fig. 9 V_{GS} waveform of SWSDSR according to transformer coupling

그림 9는 변압기 결합도에 따른 SWSDSR의 V_{GS} 파형이다. SWSDSR 방식은 변압기 전압이 대칭인 경우만 가능한데, 그 이유는 각각의 기생 커패시턴스에 의한 에너지 성분들이 같아야 하기 때문이다.

또한 SWSDSR의 동작은 권선간의 결합도에 매우 민감하게 반응하여 동작하므로 만약 보조 권선이 제대로 결합되어 있지 않다면, 그림 8-(b)와 같이 SR의 게이트 전압은 $-0.6V$ 가 아닌 기준레벨보다 약간 높은 양의 레벨을 보이게 된다.

이러한 불균형은 SR이 오프되어야 하는 순간에도 계속 온을 유지할 가능성이 있기 때문에 변압기 설계시에 고려되어야 하고 나머지 권선간에 이상적인 결합도를 유지하도록 하여야 한다.^[5]

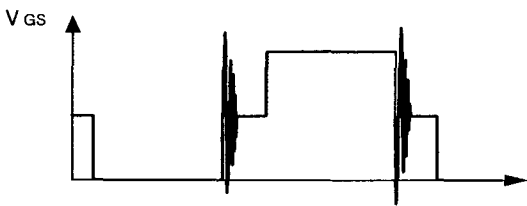


그림 10 SWSDSR의 Dead time시 링잉현상
Fig. 10 Ringing waveform in dead time of SWSDSR

데드타임 동안 2개의 SR은 도통되기 때문에, 변압기 1차측과 2차측에 존재하는 누설 인덕턴스와 기생 인덕턴스는 1차측 스위치의 커패시턴스와 공진을 하게 되고 부하량에 따라 증가하게 된다. 1차측 권선에 생기는 링잉은 보조 권선에 그대로 유지된다.

그림 10과 같이 변압기 2차측에 발생하는 링잉은 SR을 구동하기 위한 전압에 영향을 미치게 된다. 실제 SWSDSR 방식에서, 변압기 1차측 링잉이 매우 크게 되면, SR은 짧은 순간동안에 턴 오프하게 된다.

출력 전류가 크면 클수록 링잉의 폭은 더 커지게 되어 데드타임동안에 SR이 오프될 수도 있다.

데드타임 동안에 SR이 오프되는 가능성을 줄이기 위해서는 기생 인덕턴스를 최대한으로 줄여야 한다. 이것은 PCB의 레이아웃이나 패턴의 연결에 기인하는 기생 성분 뿐만 아니라 변압기 누설 인덕턴스도 포함한다.

그러므로, 변압기의 설계를 최적화하고 PCB 레이아웃에 각별한 주의를 기울여야 한다.^[6]

2.4 SWSDSR의 동작모드

SWSDSR의 동작모드는 총 4가지 모드로 구분할 수 있다.

◆ (Mode 1)

그림 11에서 1차측 스위치 S_2 가 ON되면 N_{P2} 와 S_2 에 루프가 형성되고, 이와 동시에 2차측 보조 권선에 의해 G_1 에 게이트 신호가 인가된다. 변압기 2차측은 V_{SEC2} 은 L_1 -커패시터-S-SR₂를 통해 흐른다.

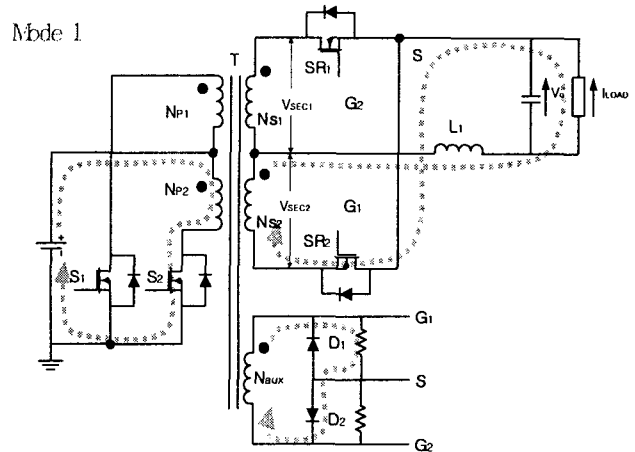


그림 11 SWSDSR회로의 동작모드 1
Fig. 11 Operation mode 1 at SWSDSR circuit

◆ (Mode 2) Dead Time

그림 12에서 1차측 스위치 S_2 가 off되면 L_1 이 방전을 시작한다. S_2 가 OFF된 다음 S_1 이 ON될 때까지 Dead Time을 준다. 이 구간 동안 G_1 의 기생 커패시턴스가 방전되고, G_2 가 충전된다. 따라서 게이트 전압이 최대전압의 1/2이 되어 SR₁과 SR₂가 동시에 턴온하고 SR₁과 SR₂의 MOSFET 채널로 L_1 의 방전전류가 1/2씩 흐른다.

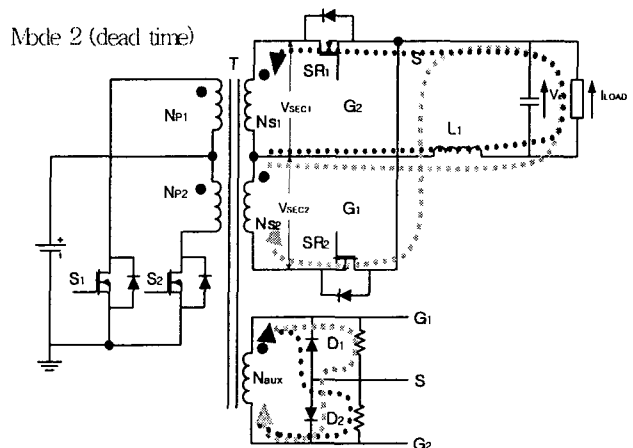


그림 12 SWSDSR회로의 동작모드 2
Fig. 12 Operation mode 2 at SWSDSR circuit

◆ (Mode 3)

그림 13에서 1차 측의 스위치 S_1 이 ON되면 N_{P1} 과 S_1 에 루프를 형성하게 되고, 이와 동시에 2차 측 보조권선에 의해 G_2 에 게이트 신호가 인가된다. V_{SEC2} 은 L_1 -커패시터-S-SR₁을 통해 흐른다.

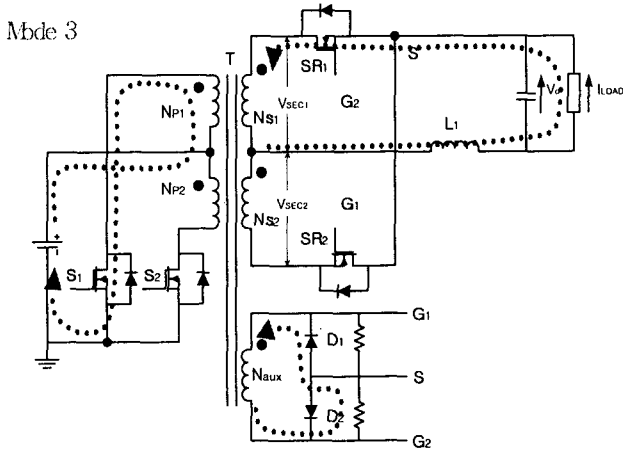


그림 13 SWSDSR회로의 동작모드 3
Fig. 13 Operation mode 3 at SWSDSR circuit

◆ (Mode 4) Dead Time

그림 14는 Mode 2와 마찬가지로 S_1 과 S_2 가 동시에 Turn ON되지 않도록 Dead Time구간을 설정하고 있다. 이 구간 동안 G_2 의 기생 커패시턴스가 방전되고, G_1 이 충전된다. 따라서 게이트 전압이 최대전압의 1/2이 되어 SR₁과 SR₂가 동시에 턴온하고 SR₁과 SR₂의 MOSFET 채널로 L_1 의 방전전류가 1/2씩 흐른다.

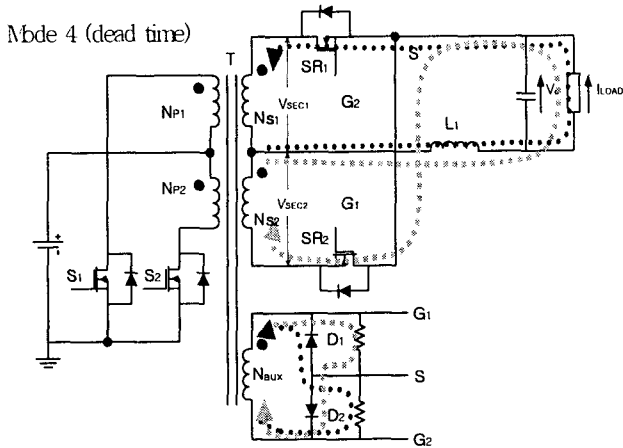


그림 14 SWSDSR회로의 동작모드 4
Fig. 14 Operation mode 4 at SWSDSR circuit

SWSDSR은 mode 2, 4와 같이 Dead Time구간에 도 L_1 의 전류가 스위치 내부 다이오드를 통하여 흐르지 않고, 스위치의 소스에서 드레인으로 흘러

다. 다이오드의 V_f 에 의한 손실이 없기 때문에 효율이 개선된다.

3. 시뮬레이션

그림 15는 효율개선을 위해 SWSDSR 방식을 적용한 Push-Pull 컨버터로서 그 타당성을 입증하기 위해 입력전압 DC 27[V], 출력전압 DC 5[V], 출력 150[W]의 전체 회로를 시뮬레이션 하였다.

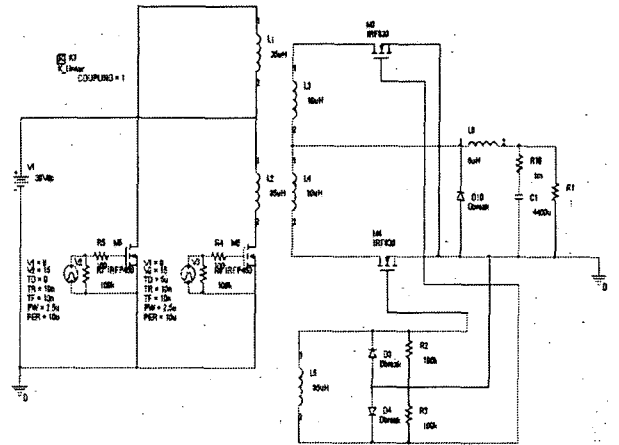


그림 15 SWSDSR 방식의 Push-Pull 컨버터 시뮬레이션 회로도
Fig. 15 Push-Pull converter simulation diagram with SWSDSR method

그림 16은 전체 시뮬레이션의 각부 파형으로 게이트 신호와 1차측 드레인-소스 전압, 2차측 권선 양단(L_3, L_4)전압, 2차측 게이트-소스 전압 파형을 나타낸다.

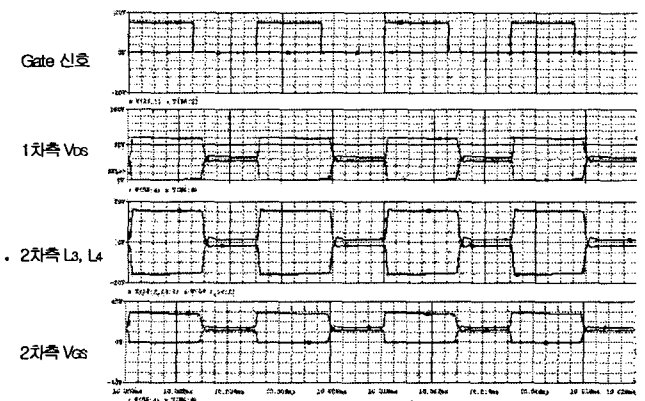


그림 16 SWSDSR 방식의 Push-Pull 컨버터 각부파형
Fig. 16 Waveform of each parts in Push-Pull converter with SWSDSR method

2차측 L_3 , L_4 의 전압 파형과 게이트-소스 전압파형 (V_{GS})으로 SWSDSR이 데드타임구간에도 동기정류가 되는 것을 확인할 수 있었다.

3. 실험결과

그림 17은 실험에 사용된 전체적인 시스템을 나타낸다. 점선으로 표현한 SWSDSR 회로는 제어부와 동기정류 스위치, 출력 필터등을 포함하고 있다. 그 외에 나머지 부분은 입력 필터와 보조 전원등으로 구성됐다.

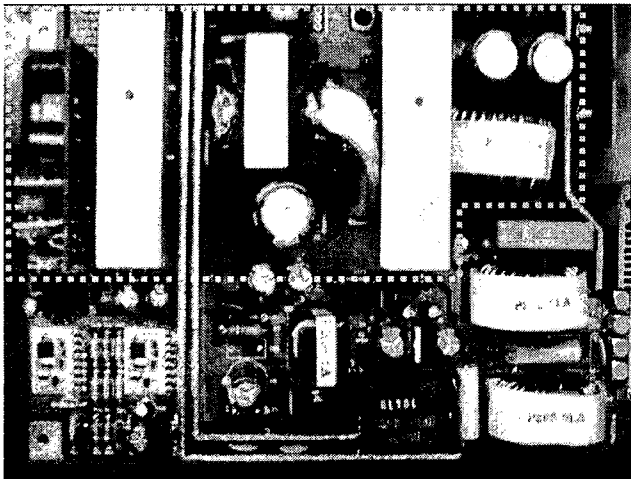


그림 17 SWSDSR방식의 Push-Pull 컨버터 시스템
Fig. 17 Push-Pull converter system of SWSDSR method

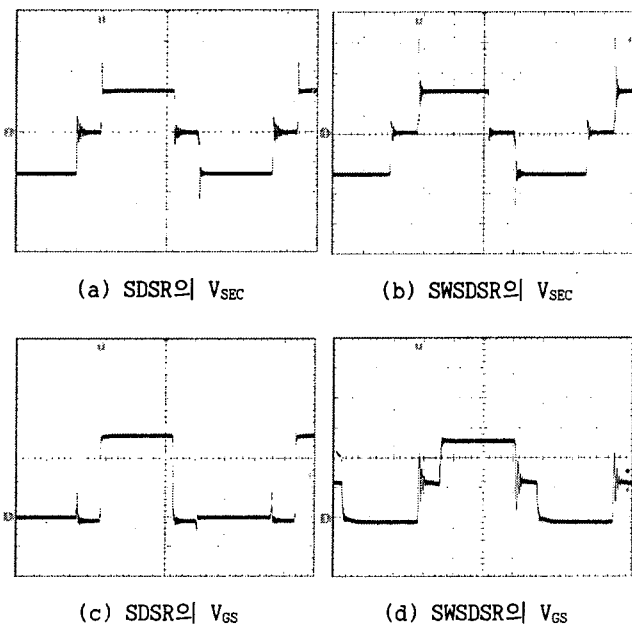


그림 18 SDSR과 SWSDSR의 V_{SEC} 와 V_{GS} 파형
Fig. 18 V_{SEC} and V_{GS} waveform with SDSR, SWSDSR (5V/div, 4us/div)

그림 18의 (c)SDSR의 V_{GS} 는 데드타임 구간에서 SR이 턴-오프되는 것을 알 수 있고, (d)SWSDSR의 V_{GS} 는 데드타임 구간에서 SR이 턴-온 되고 있는 것을 알 수 있다.

그림 19는 정격 27[V_{ac}] 입력에서 동작하는 각 방식에 따른 효율을 측정하는 것이다.

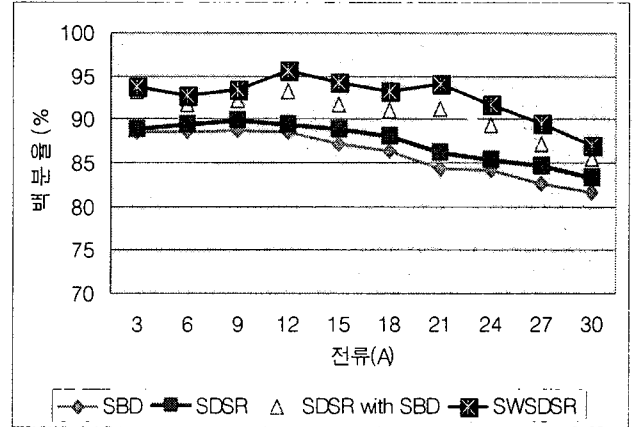


그림 19 각 방식의 효율비교
Fig. 19 Efficiency comparison of each methods

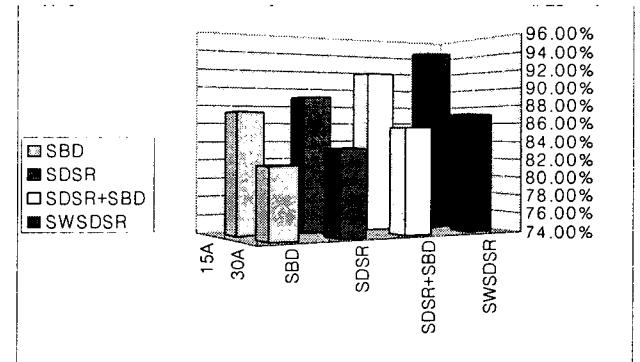


그림 20 15A와 30A일때의 효율비교
Fig. 20 Efficiency comparison of 15A and 30A

- ① SBD를 사용했을때 효율을 감소시켰던 다이오드의 순방향 전압강하는 SDSR방식을 사용하여 저감하였지만 1차 측의 데드타임 동안에 흐르는 전류는 여전히 동기정류 MOSFET의 내부 다이오드로 흘러 크게 효율이 개선되지 않았다.
- ② SDSR방식에서 MOSFET와 병렬로 SBD를 추가하여 데드타임동안에 SBD로 전류를 흐르게 하면 조금 더 나아진 효율을 얻었으나 SBD의 추가로 가격과 부품 실장 공간이 늘어나는 문제점이 있다.
- ③ SWSDSR 방식을 적용하면 데드타임 동안에도 동기정류 MOSFET를 턴 온시켜 높은 효율을 얻을 수 있다.

4. 결 론

본 논문은 4가지 정류방식을 구현하고 부하변화에 따른 각각의 효율을 측정하였다.

그림 20에서 부하가 15A일때 SWSDSR이 94.26%, 30A에서도 SWSDSR이 87.03 %로 가장 높은 효율을 나타낸다.

향후 계획으로는 SWSDSR 방식에서 변압기의 결합도를 높이고 누설 성분을 줄이는 연구가 필요하다.

이 논문은 한국과학재단 목적기초연구(R01-2001-000-00306-0) 지원에 의하여 연구되었습

참 고 문 헌

- [1] (주)첨단, "Power MOSFET의 동기 정류 회로의 응용", 월간 전자기술 1999, 10.
- [2] (주)첨단, "DC-DC 컨버터의 최신기술 동향", 월간 전자기술 2002, 9.
- [3] Zumel, P.; Sokal, N.O.; Alou, P.; Cobos, J.A.; Uceda, J.; "New driving scheme for high-efficiency synchronous rectification in wide-input-voltage-range DC/DC converter has output current always flowing through a low-resistance switch." Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual , Volume: Page(s): 149-154 vol.1 2002, 1.
- [4] Alou, P.; Perez-Bedmar, P.; Cobos, J.A.; Uceda, J.; Rascon, M."A high efficiency voltage regulator module with single winding self-driven synchronous rectification"; PESC 00. 2000 IEEE 31st Annual , Volume: 3, 18-23 Page(s): 1510-1515 vol. 3, 2000, 6.
- [5] Alou, P.; Cobos, J.A.; Prieto, R.; Uceda, J.; Roascon, M.; "Influence of windings coupling in low-voltage DC/DC converters with single winding self-driven synchronous rectification." 2000. APEC 2000. Fifteenth Annual IEEE, Volume: Page(s): 1000-1005 vol. 2, 2000, 2.
- [6] Alou, P.; Cobos, J.A.; Garcia, O.; Prieto, R.; Uceda, J,"A new driving scheme for synchronous rectifiers: single winding self-driven synchronous rectification "Power Electronics, IEEE Trans. on, Volume: 16 Issue: 6, Page(s): 803-811, 2001, 11.