

직류전송을 위한 CIGRE benchmark 모델의 재구성

왕효진, 최재호, 김찬기
충북대학교, 한국전력연구원

Reconstruction of CIGRE benchmark model for DC Transmission

H.J. Wang, J.H. Choi, and C.K. Kim
Chungbuk National University, KEPRI

ABSTRACT

This paper makes more stronger than original model about sending station fault and saves total construction cost to replace established six-pulse bridge by each six thyristor for DC-transmission. Also, varying of controller for sending station has a robust characteristics for harmonics and unbalanced faults. This paper is verified by simulation using EMTDC program. Comparing with the results of original model, this paper is proved superiority.

1. 서 론

전력을 전송하는 데 있어서 오늘날 직류 송전 방식이 전 세계적으로 증가하고 있는 추세이다. 직류 전송 방식은 교류-직류-교류의 변환을 통해 전력을 전송하는 것으로서 직류 전송 방식은 다음과 같은 장점을 갖는다. 300 miles(500km)을 넘어서는 장거리 전력전송에 있어서는 AC 전송에 비하여 가격이 저렴하고, 50Hz와 60Hz 계통 연계를 하는 일본의 경우처럼 주파수가 다른 계통과도 연계가 가능하며, DC 계통은 송전하는 전력의 양과 수전하는 전력의 양을 조절할 수 있고, 환경문제를 고려하여 외부에 발전소를 설치하여 전력을 도심으로 끌어올 수 있으며, 추가적인 계통 네트워크를 건설하지 않고 원하는 부하에 전력전송을 가능하게 한다.

이 논문에서 사용한 회로는 국제전기협회에서 공인한 6 펄스 사이리스터 블록을 이용하는 CIGRE 모델을 바탕으로 하였다.^[1] 기존 시뮬레이션 모델은 송전단과 수전단의 전압과 전류를 피드백 받아서 Radian 값을 만들어 6 펄스 사이리스터 블록을 구동하였으나, 제안한 방법은 송전단의 12개 사이리스터에 입력되는 점호 펄스를 수정된

DQ-PLL을 통하여 만들어주었다. 이 논문에서는 사이리스터 단의 구성과 제어방식을 변화하여 기존 모델보다 송전단 고장에 대하여 강인한 특성을 갖는 시스템을 구현하였다.

2. 이론적 배경

2.1 직류 전송 방식의 개요

3상 6펄스 정류기는 단상 정류기의 특성에 비해 직류 출력에 있어서 더욱 개선된 특성을 보인다. 3상 6펄스 정류기는 보통 대용량 부하를 위한 dc 전압과 전류를 만드는 산업에서 사용되어지는데, 출력 전압의 고조파는 작으며 입력 주파수의 6배의 주파수를 갖는다. 또한 3상 6펄스 정류기 두개를 Y-Y변압기와 Y-Δ변압기를 이용하여 구성한 형태를 12 펄스 컨버터라 하고 이에 대하여 그림 1에 도시하였다.^[2]

두개의 변압기를 연결하는 목적은 입력과 정류기 사이에 30° 위상차를 제공함으로써 전체적인 출력 전압을 (1) 식에서처럼 두개의 정류기에서의 출력의 합으로 나타낼 수 있기 때문이다.

$$\begin{aligned} V_o &= V_{o,Y} + V_{o,\Delta} \\ &= \frac{3V_{m,L-L}}{\pi} \cos a + \frac{3V_{m,L-L}}{\pi} \cos a \\ &= \frac{6V_{m,L-L}}{\pi} \cos a \end{aligned} \quad (1)$$

식 (1)의 출력파형은 그림 1의 (b)에 도시하였으며, 입력되는 3상을 두개의 변압기를 이용하여 dc 출력의 리플을 줄였고, 3상 정류기의 출력보다 2배의 크기를 갖는 출력파형을 얻을 수 있게 되었다. 그 결과 3상 정류기에서 요구되어지는 dc측 필터보다 12 펄스 컨버터에 요구되는 필터의 용량을 줄일 수 있는 장점이 있다.

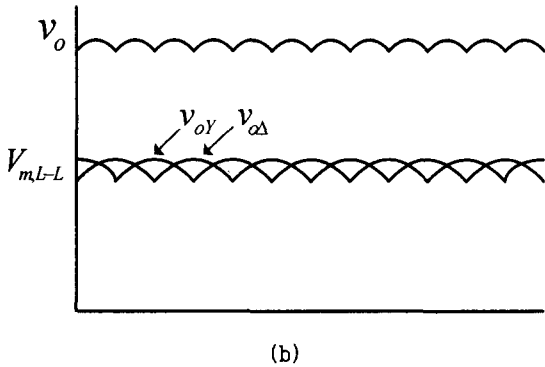
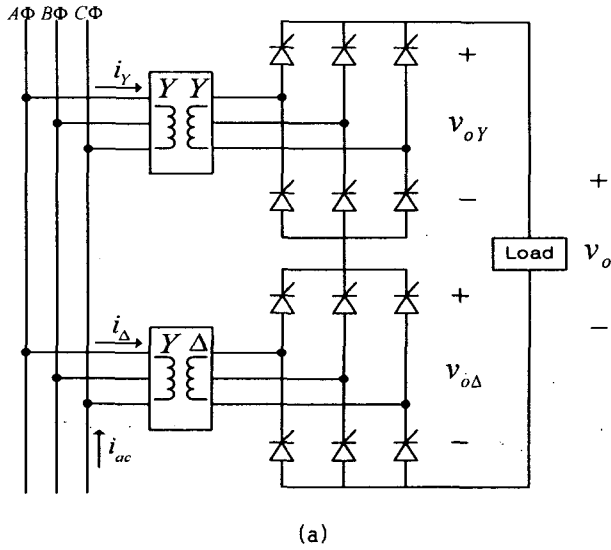


그림 1. (a) 12 펄스 컨버터
(b) $\alpha=0$ 일 때 출력전압

fig 1. (a) 12 pulse converter
(b) Output voltage for $\alpha=0$

Y-Y 변압기와 Y- Δ 변압기로 공급되는 교류라인에서의 전류를 Fourier series로 표현하면 (2), (3) 식과 같다.

$$i_Y(t) = \frac{2\sqrt{3}}{\pi} I_o \left(\cos \omega_o t - \frac{1}{5} \cos 5\omega_o t + \frac{1}{7} \cos 7\omega_o t - \frac{1}{11} \cos 11\omega_o t + \frac{1}{13} \cos 13\omega_o t - \dots \right) \quad (2)$$

$$i_\Delta(t) = \frac{2\sqrt{3}}{\pi} I_o \left(\cos \omega_o t + \frac{1}{5} \cos 5\omega_o t - \frac{1}{7} \cos 7\omega_o t - \frac{1}{11} \cos 11\omega_o t + \frac{1}{13} \cos 13\omega_o t + \dots \right) \quad (3)$$

(2), (3)식에서의 Fourier series는 유사하지만 다소 다른 형태를 띠고 있어서 ac system 전류, 즉 두개의 변압기로 유입되는 전류의 Fourier series는 (4)식과 같다.

$$i_{ac}(t) = i_Y(t) + i_\Delta(t) = \frac{4\sqrt{3}}{\pi} I_o \left(\cos \omega_o t - \frac{1}{11} \cos 11\omega_o t + \frac{1}{13} \cos 13\omega_o t \dots \right) \quad (4)$$

변압기와 컨버터 구성으로 인한 고조파의 감소는 (4)식에서처럼 6펄스 구조보다는 12펄스 구조를 사용했을 때 ac 측에는 $12k \pm 1$ 차수의 고조파로 감소하게 된다.

2.2 제안한 회로도의 구성

직류 전송 방식은 일반적으로 송전단과 수신단에 12 펄스 컨버터를 사용하여 전체적으로는 24펄스 방식으로 구성되어 있다. 기존 CIGRE 모델은 6펄스 브리지 4개를 사용하여 24펄스를 만드는 방식을 사용한다. 이 논문에서 사용한 회로도를 그림10에 도시하였는데, 수신단은 기존 방식을 사용하였고 송전단의 12 펄스 컨버터는 6개의 싸이리스터를 이용하는 3상 정류 방식으로 바꾸어주었다. 싸이리스터 점호를 위한 펄스는 송전단의 전압을 입력받아서 수정된 DQ-PLL을 이용하여 만들어 주었다.

송전단의 12 펄스 컨버터를 구동하기 위하여 그림 2에 도시한 제어 방식을 사용하였다. 이 방식은 기존의 DQ-PLL에서^[3] 입력의 정상분을 검출하여^[4] 구동함으로써 고조파와 불균형 문제에 보다 강인하게 동작하도록 설계하였다.

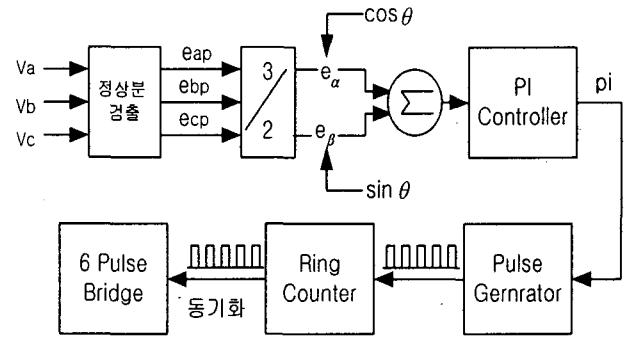


그림 2. 점호 펄스를 위한 제어도
fig 2. Control block for firing pulse

수정된 DQ-PLL은 영상분, 정상분, 역상분으로 표현되는 대칭분 중 정상분만을 입력으로 이용하였고, (5)~(11) 식을 통해서 구성하였다.

$$\begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 1 & a^2 & a \\ 1 & a & a^2 \end{bmatrix} \begin{bmatrix} V_{a0} \\ V_{a1} \\ V_{a2} \end{bmatrix} \quad (5)$$

: V_a, V_b, V_c 는 시스템의 상전압이고, V_{a0}, V_{a1}, V_{a2} 는 영상분, 정상분, 역상분이다.

(5)식을 역변환하여 대칭분으로 표현하면

$$\begin{bmatrix} V_{a0} \\ V_{a1} \\ V_{a2} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (6)$$

로써 정상분은 다음과 같다.

$$V_{a1} = \frac{1}{3} (V_a + aV_b + a^2V_c) \quad (7)$$

$$: \text{여기서 } a = 1 \angle 120^\circ = -\frac{1}{\sqrt{2}} + j\frac{\sqrt{3}}{2}$$

동일한 방법으로 b상과 c상에 대한 정상분을 구하면

$$V_{b1} = \frac{1}{3} (a^2V_a + V_b + aV_c) \quad (8)$$

$$V_{cl} = \frac{1}{3}(aV_a + a^2V_b + V_c) \quad (9)$$

로써 (7), (8), (9)식을 행렬로 표현하면 아래와 같다.

V_{a1}, V_{b1}, V_{c1} 을 e_{ap}, e_{bp}, e_{cp} 로 표현한다.

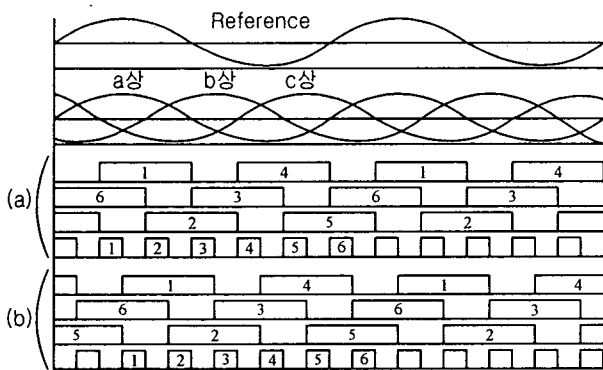
a. 입력전압에 대한 정상분 검출

$$\begin{bmatrix} e_{ap} \\ e_{bp} \\ e_{cp} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & a & a^2 \\ a^2 & 1 & a \\ a & a^2 & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \frac{1}{3} \begin{bmatrix} (v_a - \frac{1}{2}v_b - \frac{1}{2}v_c) \\ (v_b - \frac{1}{2}v_c - \frac{1}{2}v_a) \\ (v_c - \frac{1}{2}v_a - \frac{1}{2}v_b) \end{bmatrix} - \begin{bmatrix} \frac{1}{2\sqrt{3}j}(v_b - v_c) \\ \frac{1}{2\sqrt{3}j}(v_c - v_a) \\ \frac{1}{2\sqrt{3}j}(v_a - v_b) \end{bmatrix} \quad (10)$$

b. 정상분을 이용한 3상 2상 변환

$$\begin{bmatrix} e_\alpha \\ e_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} e_{ap} \\ e_{bp} \\ e_{cp} \end{bmatrix} \quad (11)$$

제안한 회로에서 송전단의 Y-Y측과 Y-Δ측의 12 펄스 컨버터의 스위칭 시퀀스는 그림 3과 같다.^[5] 파형에서 보이듯이 그림 (a)와 (b)는 30°의 위상차를 보이고 있다.



(a) Y-Y측 스위칭 시퀀스

(b) Y-Δ측 스위칭 시퀀스

그림 3. 송전단 컨버터의 스위칭 시퀀스

(a) Y-Y side switching sequence

(b) Y-Δ side switching sequence

fig 3. Switching sequence of sending end

3. 시뮬레이션

시뮬레이션은 송전단과 수전단의 선로에서 고장을 낸 후에 송전단의 전압, 전류와 수전단의 전압, 전류의 파형을 측정하였다. 다른 논문에서의 결과 파형과의 비교를 통해 제안한 논문의 우수성을 확인하였다.^{[1], [6], [7]} 시뮬레이션 파형들은 (a)는 송전단의 전압, 전류 파형이고, (b)

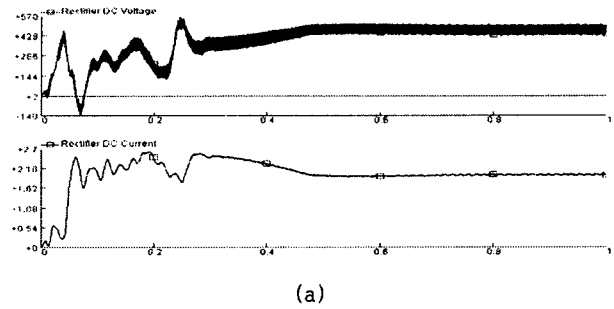
는 수전단의 전압, 전류 파형이다.

시뮬레이션을 수행한 시간과 측정 시간을 표 1에 정리하였고, 그림 10은 시뮬레이션을 수행한 회로도이다.

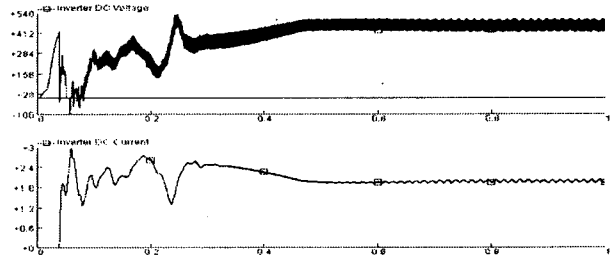
분류		Time
시뮬레이션 Time		1.2 [sec]
Sampling Time		50 [μsec]
측정	송전단 고장	0.5 [sec] - 0.9 [sec]
	수전단 고장	0.5 [sec] - 1.1 [sec]
고장기간		0.6 [sec] - 0.7 [sec]

표 1. 시뮬레이션 설정

3.1 정상상태 파형



(a)

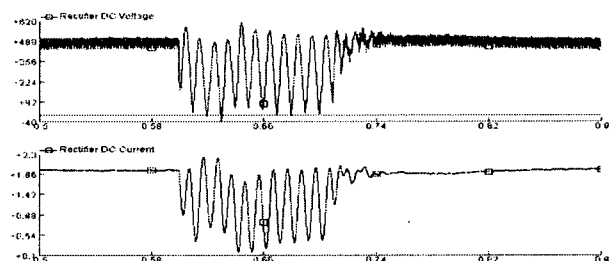


(b)

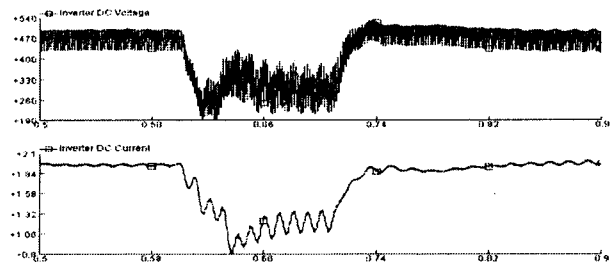
그림 4. 정상상태 파형

fig 4. Waveform of no fault

3.2 송전단 고장시 파형



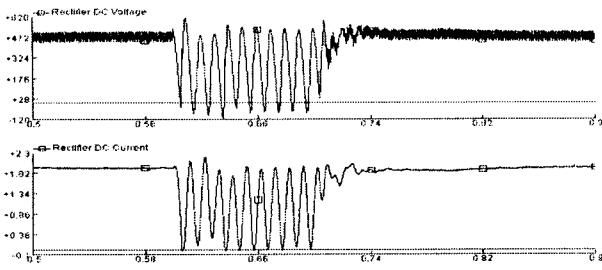
(a)



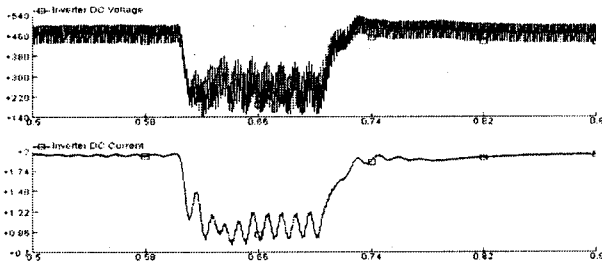
(b)

그림 5. 1상지락 파형

fig 5. Waveform of single line ground fault



(a)

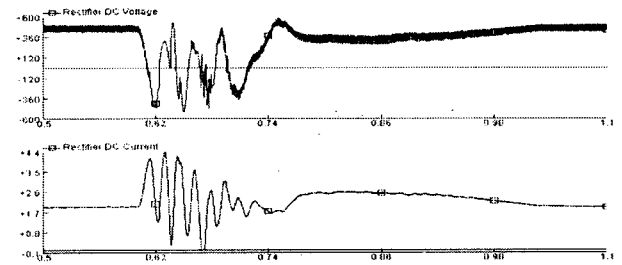


(b)

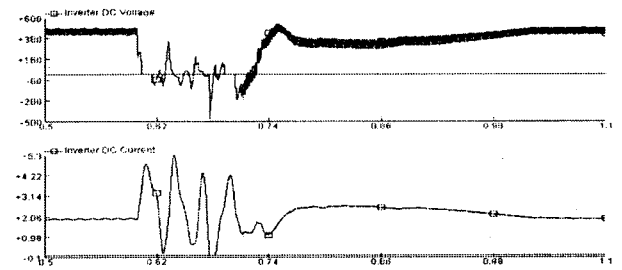
그림 6. 선간단락 파형

fig 6. Waveform of line-to-line short circuit fault

3.3 수전단 고장시 파형



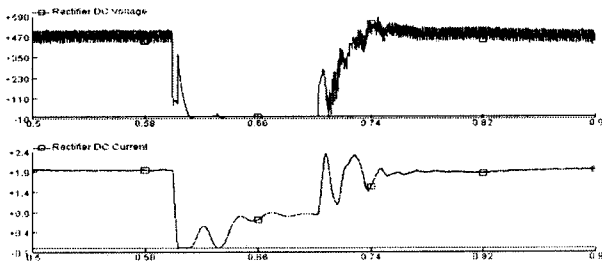
(a)



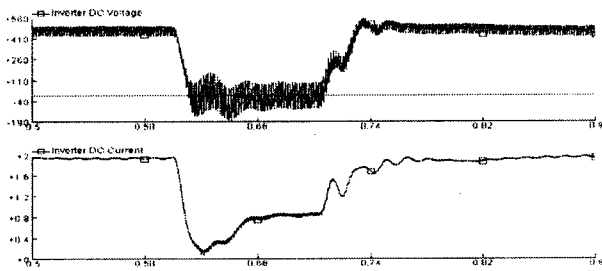
(b)

그림 8. 2상지락 파형

fig 8. Waveform of two line ground fault



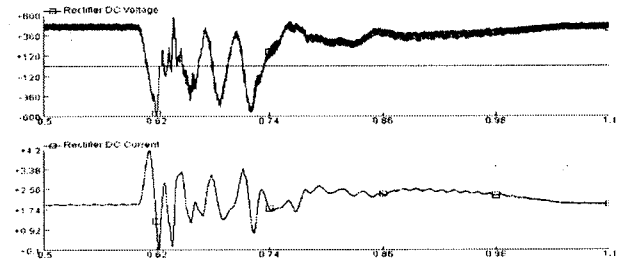
(a)



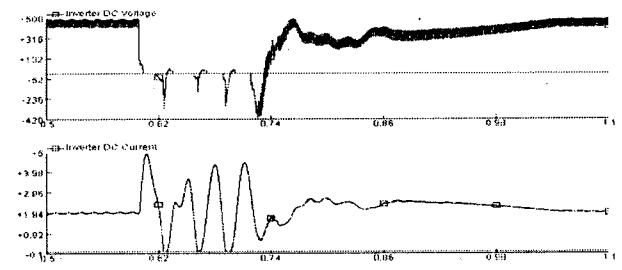
(b)

그림 7. 3상지락 파형

fig 7. Waveform of three line ground fault



(a)



(b)

그림 9. 3상단락 파형

fig 9. Waveform of three phase short circuit fault

4. 결 론

본 논문에서는 기존의 직류 전송에 이용되는 싸이리스터 블록을 변환하였고, 송전단의 점호 펄스를 위해 수정된 DQ-PLL을 이용하는 제어기로 교체하였다. 시뮬레이션 결과로부터 다음과 같은 장점을 얻을 수 있었다.

1. 다른 논문 [1], [6], [7]에 비하여 송전단 고장시 회복 특성이 좋고, 전압과 전류의 진폭이 감소하여 고장이 더욱 강인한 특성을 보인다.

2. 전압과 전류의 진폭의 감소는 시스템에 과도한 손상을 야기 시키지 않으므로 시스템의 수명을 연장시킨다.

3. 직류 전송에 사용하는 기존 싸이리스터 블록을 6개로 분리하여 구동함으로써 고장시 싸이리스터 교체비용을 절감할 수 있다.

그러나 제안한 방법은 수전단 고장시 회복특성이 다소 떨어지고, 기존 모델에 비해 점호회로가 복잡해지는 단점을 가지고 있으나 전체 시스템의 고장 빈도가 높지 않고

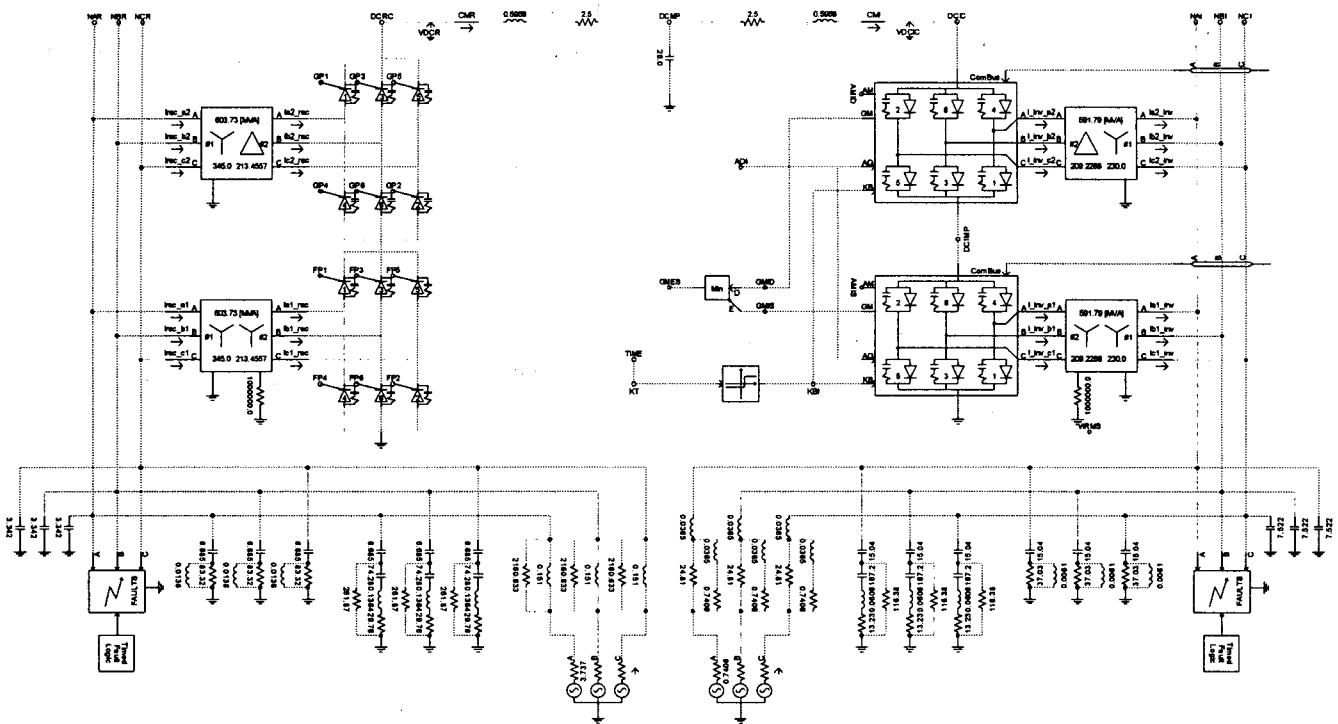


그림 10. 시뮬레이션 회로도
fig 10. Simulation Topology

정상상태로 회복되는 시간이 오래 걸리지 않으므로 전력 전송에 있어서는 크게 문제되지 않는다.

참 고 문 헌

- [1] Szechtman, M.; Wess, T.; Thio, C.V.; "A benchmark model for HVDC system studies" AC and DC Power Transmission, 1991., International Conference on, 17-20 Page(s): 374-378, Sep 1991.
- [2] Daniel W.Hart ; "Introduction to power electronics" 1997 by Prentice-Hall, Inc.
- [3] Song, H.-S.; Nam, K.; "Instantaneous phase-angle estimation algorithm under unbalanced voltage sag conditions" Generation, Transmission and Distribution, IEE Proceeding Volume: 147, Issue: 6, Page(s): 409-415, Nov. 2000.
- [4] Campos, A.; Joos, G.; Ziogas, P.; Lindsay, J.; "Analysis and design of a series voltage compensator for three-phase unbalanced sources" Industrial Electronics, Control and Instrumentation, 1991. Proceedings. IECON '91., 1991 International Conference on, 28 Oct.-1 vol. 1, Page(s): 729-734, Nov. 1991.
- [5] Gupta S.C ; Venkatesan K ; Eapen K ; "A generalized firing angle controller using phase-locked loop for thyristor control" IEEE Transactions on, Volume. IECI-28, No. 1, Feb 1981.
- [6] Senthil, J.; Padiyar, K.R.; Sachchidanand; "A simulator study of recovery of HVDC links following AC system faults" ACE '90. Proceedings of [XVI Annual Convention and

Exhibition of the IEEE In India], 1990 Page(s): 45-49.
 [7] Bhattacharyya, S.; Sachchidanand; Srivastava, A.; Padiyar ,K.R.;Kothari, A.G.; "Study of HVDC controls through efficient dynamic digital simulation of converters", Power Delivery, IEEE Transactions on ,Volume: 4, Issue: 4, Page(s): 2171-2178, Oct 1989.