

# VHDL을 이용한 대역확산 시스템 기반의 FEC 디코더 설계

이재성 · 정운용 · 강병권 · 김선형

순천향대학교 정보통신공학과

## The FEC decoder design of the spread spectrum basis which utilizes the VHDL

Jae-Sung Lee · Woon-Yong Jung · Byeong-Gwon Kang · Sun-Hyung Kim

Dept. of Information Communication Engineering, Soonchunhyang University

### 요약

본 논문에서는 VHDL 언어를 이용하여 대역확산 시스템의 기저대역부를 FPGA를 이용하여 설계 하였다. 신호 전송시 필요로 하는 대역폭보다 훨씬 넓은 대역폭으로 확산하여 전송함으로써 간섭에 영향이 적고, 비화성이 우수한 대역확산 방식을 기반으로 하여, 길쌈부호기와 PN코드를 이용해 전송대역을 확산 하였고, 에러정정을 위한 비터비 디코더를 설계하였다. VHDL 설계는 Xilinx사의 FPGA 디자인 툴인 Xilinx Foundation3.1을 사용하였으며, FPGA configuration을 위한 타이밍 시뮬레이션을 수행하였다.

### ABSTRACT

In this paper, a baseband module of the spread spectrum system with FPGA is designed. A spread spectrum system spreads the signal bandwidth necessary for information transmission. We focused on the design of FEC decoder, especially the convolutional code of constraint length  $K=3$ , rate  $R=1/2$ , is designed. For the VHDL design the Xilinx Foundation3.1 is used. As results, a spread spectrum modem with convolutional coding is designed and we have plan to apply this modem to short distances wireless communication.

## I. 서론

최근 고도의 정보화사회로 현대사회가 변화하면서 사회 전분야에 대한 응용분야가 다양하게 개발되고 있다. 따라서 디지털 통신을 위한 시스템의 개발 필요성이 대두되고 있다. 본 논문에서는 디지털 통신을 위한 대역확산 시스템의 기저대역부를 VHDL언어를 이용하여 설계하였다. 송신부에서는 길쌈부호기( $K=3$ ,  $R=1/2$ )를 거치고, PN부호(128 chip)를 생성하여 데이터에 곱함으로써 대역확산 하여 전송하고, 수신부에서는 송신부에서 사용했던 동일한 PN부호(128 chip)를 사용하여 역확산후 에러정정코드인 비터비 디코더를 사용하여 source 데이터를 확인하였다.

송신부의 설계는 FPGA공급업체인 Xilinx사의 Foundation3.1을 사용하였고, FPGA configuration을 위한 VHDL 타이밍 시뮬레이션을 수행하였다. 길쌈부호기와 비터비 디코더는 최적의 검증된 설계방식에 따라 VHDL 설계하였다.[5] 본 논문의 구성은 본문에서 길쌈부호기와 비터비부호기의 기본적인 알고리즘을 설명하고, 설계 및

실험결과에서 각 기능별 설계에 대한 설계블록도와 그에 대한 VHDL 시뮬레이션 결과와 고찰을 하였으며, 마지막으로 결과 부분을 서술하였다.

## II. 본문

### 1. 길쌈부호기

이동통신 시스템에서 대기 중으로 신호를 전송하고 수신하기 때문에 채널에 매우 민감하다. 또한, 전송되는 신호는 많은 왜곡과 간섭을 받게된다. 따라서 올바른 통신을 하기 위해서 신호의 에러를 보상해 주어야하는데, 이러한 방법중의 하나가 길쌈부호 이다. 대부분의 통신시스템에서 사용하고 있는 길쌈부호는 이러한 에러를 수정해주는 오류 정정 부호화(Error Correcting Coding)의 한 방식으로 메모리 소자를 이용하여 이전의 저장된 정보가 현재의 데이터에 일정한 규칙을 가지고 영향을 미치는 방식이다. 길쌈 부호는 기타 다른 채널부호보다 오류 정정 효율이 우수하여 채널 부호에 주로 사용한다. 표1은 본 논문에서 설계한 시스템의 설계 파라미터를 보여주고 있다.

ENCODER	
Rate(k/n)	1/2
Constraint Length(K)	3
PN (chip/bit)	128
Polynomial	78
	58
DECODER	
Rate(k/n)	1/2
Constraint Length(K)	3
PN (chip/bit)	128
Destance measurement	Hard Decision (Hamming Distance)

표 1. 설계 파라미터

2. 비터비 복호기

비터비 복호 알고리즘은 채널을 통하여 수신된 데이터들의 여러 경로를 탐색한 후, 그 중에 유사성(likelihood)이 가장 높은 경로를 선택함으로써 선택된 경로의 데이터를 복호하는 알고리즘으로써 경로 탐색시에 유사성이 적은 경로를 제거하고 가장 최적의 유사성을 갖는 경로만을 찾는 데 중점을 둔 방식으로, 주로 길쌈부호의 복호 알고리즘으로 사용된다. 본 논문에서는 hamming distance를 이용한 경판정 (Hard Decision)을 사용하였으며, 디코더는 크게 BM (Branch metric), ACS(Add-Compare-Select), TB (trace back)블록으로 나누어지는데 FPGA에 configuration하기 위해 각 블록별 타이밍시뮬레이션을 수행하였다. 그림1에서는 비터비 알고리즘의 예를 트렐리스도를 사용하여 보여주고 있다.

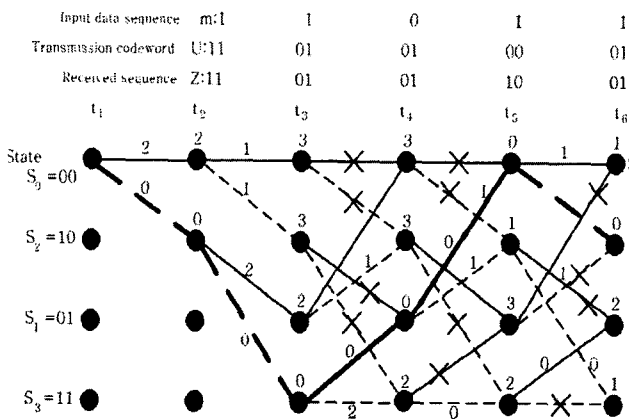


그림 3. 비터비 알고리즘의 트렐리스도

III. 설계 및 실험결과

그림1은 논문에서 사용한 선형회환 시프트 레지스터(linear shift register)에 의하여 생성된 PN sequence(128chip)의 타이밍 시뮬레이션 결과파형이다.

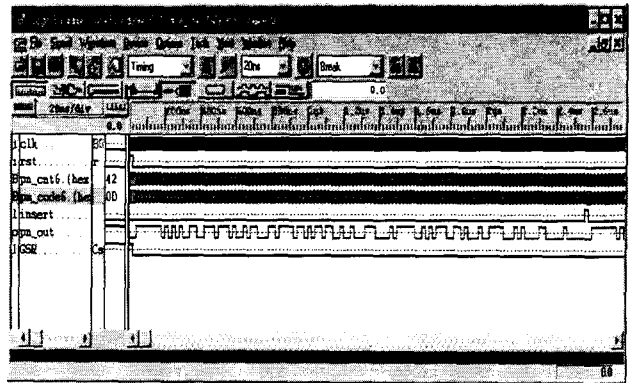


그림 4. PN 부호의 결과파형

그림3은 구속장(K=3), 부호화율(R=1/2)인 길쌈부호기 블록도를 보여주고 있고, 그림 4는 설계한 길쌈부호기의 타이밍 시뮬레이션을 보여주고 있다.

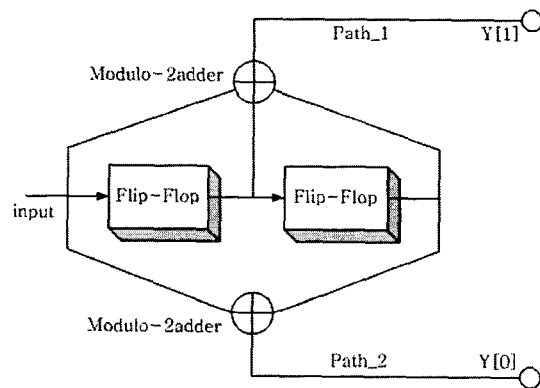


그림 5. 길쌈부호기의 블록도

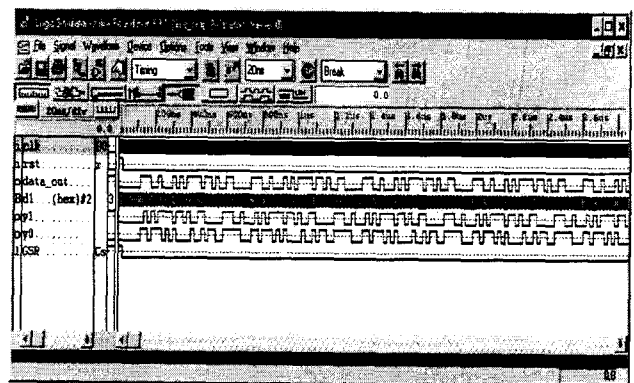


그림 6. 길쌈부호기의 결과파형

송신부에서는 랜덤하게 발생되는 데이터에 채널의 왜곡과 간섭을 보상하기 위한 길쌈부호기를 거쳐, PN부호 generator에 의해 생성된 PNcode(128chip)를 곱하여, 대역 확산 후 전송한다. 그림 5는 송신부의 대역확산된 타이밍 시뮬레이션 결과를 보여주고 있다.

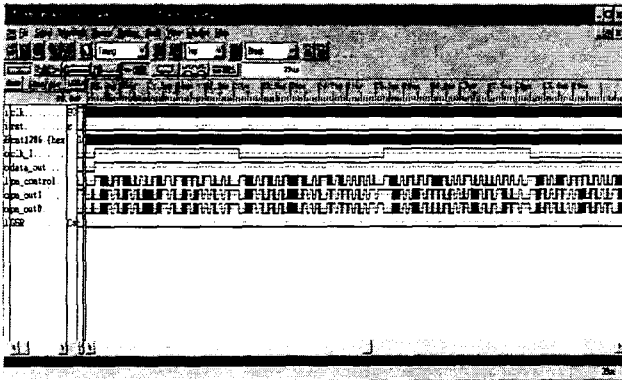


그림 7. 송신부의 결과 파형

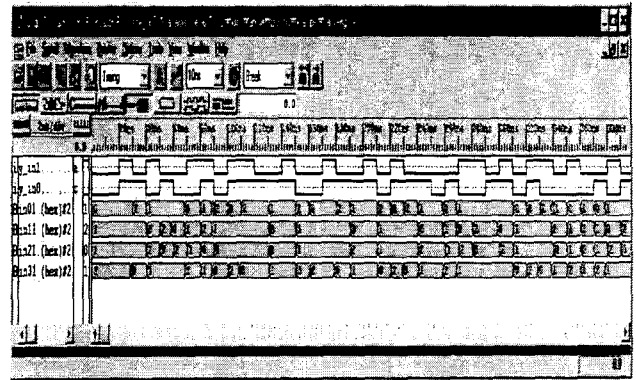


그림 10. hamming distance 블록의 결과파형

비터비 디코더의 구조는 그림5에서 보여지는것과 같이 수신된 데이터와의 경판정(hard decision)을 구하기 위한 hamming distance블록과 BM(branch metric), PM(path metric)을 위한 compute metric 블록, 그리고 ACS를 수행하기 위한 compare metric와 Select metric블록으로 구성될 수 있다.

그림 9에서 보는바와 같이 한 state는 2가지의 path를 가지고 있다. 예를 들어 state0는 state0에서 state0로 들어오는 path와 state1에서 state0로 들어오는 path가 있는데 이를 P0\_0, P1\_0로 표현한다.

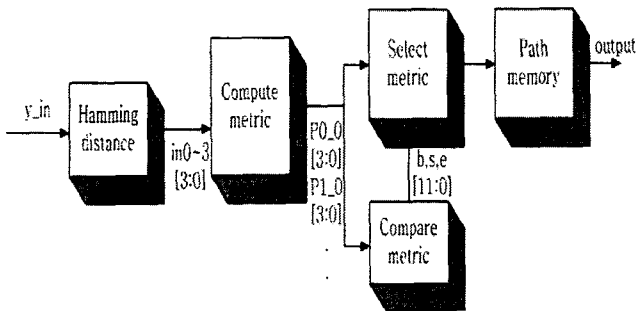


그림 8 비터비 복호기의 블록도

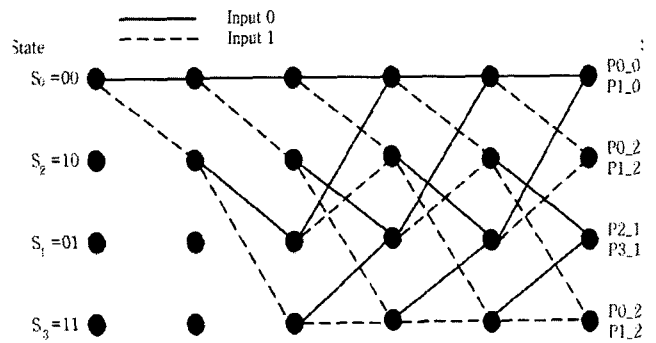


그림 11. path metric 트렐리스도

그림7은 수신되는 데이터와의 경판정(hard decision)을 위한 기능 블록도를 보여주고 있고, 그림8은 타이밍 시물레이션 결과이다.

PM은 생존경로를 통해 전달된 연속적인 hamming distance의 합을 저장한다. PM과 hamming distance를 더해서 작은 값을 가지는 부분을 선택해 다시 PM에 저장하고 그 경로를 저장한다. 그림 10는 이런 PM계산을 위한 블록도를 보여주고 있고, 그림11은 PM부의 타이밍 시물레이션 결과를 보여주고 있다.

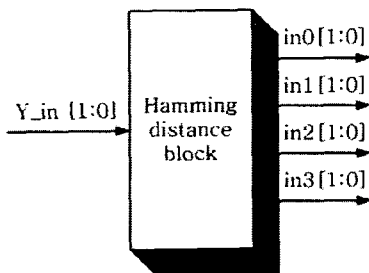


그림 9. hamming distance 블록

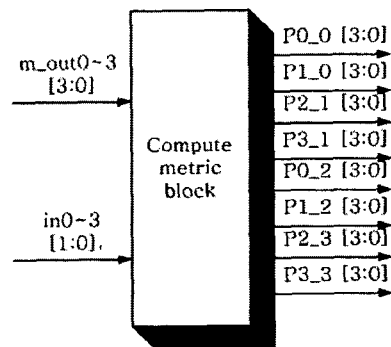


그림 12. Compute metric 블록

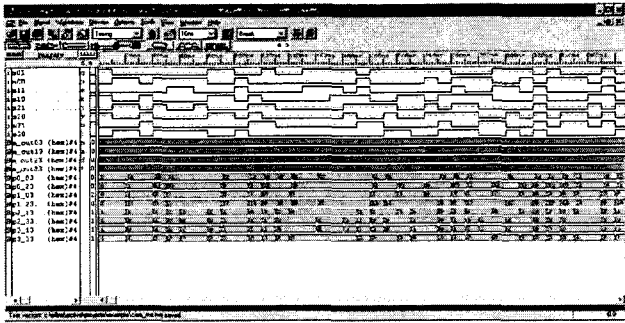


그림 13. Compute metric 블록의 결과파형

ACS부의 연산은 해당 PM과 BM을 더한 후에 비교기 부분에서 두 개의 출력 값을 비교해 작은 값을 PM에 저장하고 이때의 결정비트 정보를 출력하게 된다. 예를 들어 P0\_0와 P1\_0를 비교하고 P2\_1과P3\_1, P0\_2와P1\_2, P2\_3과P3\_3를 각각 비교하여 출력한다. 그림 12는 이런 compare metric의 블록을 보여주고 있고, 그림 13은 타이밍 시뮬레이션 결과이다.

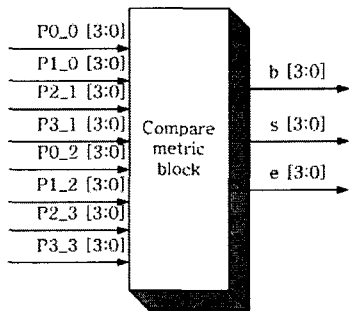


그림 14. Compare metric 블록

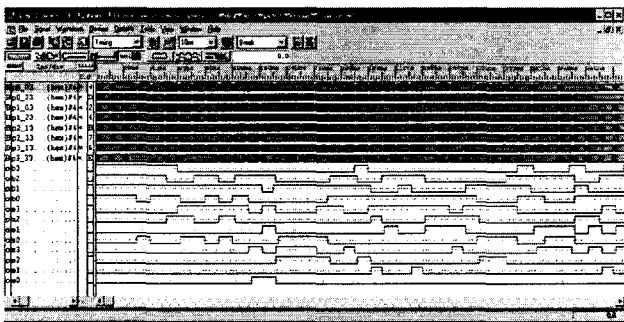


그림 15. Compare metric 블록의 결과파형

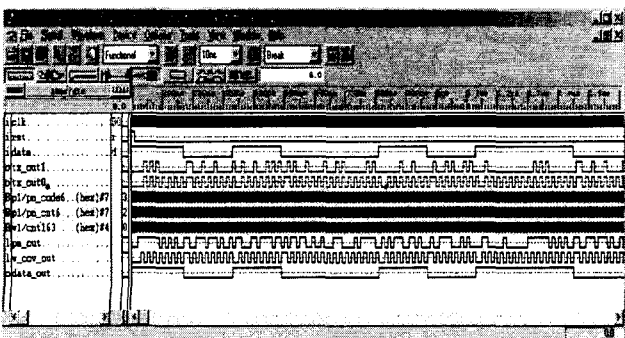


그림 16. 수신부의 역확산 결과파형

그림 14는 송신부에서 대역확산에 사용했던 PN부호를 수신신호에 곱해줌으로써 역확산 된 결과파형을 보여주고 있다. 또한 15는 역확산 이후의 데이터로부터 비터비 복호를 수행한 타이밍 시뮬레이션을 보여주고 있다.

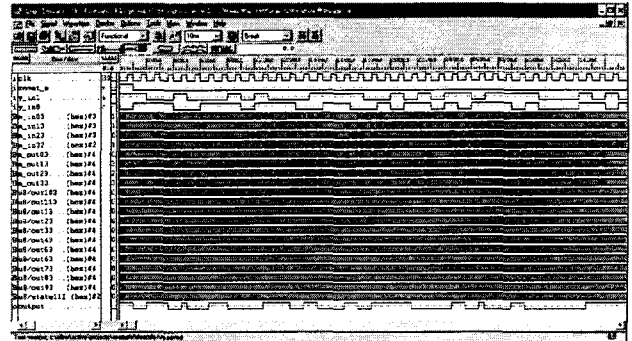


그림 17. 비터비 디코더의 결과파형

#### IV. 결론

본 논문에서는 대역확산 시스템의 기저대역부를 VHDL 언어를 이용해서 설계하였다. 송신부에서는 PN부호를 이용한 대역확산과 채널의 강인성을 주기위한 길쌈부호기, 수신부에서는 송신부에서 사용했던 PN부호를 이용한 역확산과 에러를 정정해주기 위한 비터비 디코더를 VHDL 언어를 사용하여 모델링 하였으며, FPGA에 configuration 하기 위한 타이밍 시뮬레이션을 수행함으로써, 추후 ASIC 화가 가능함을 확인 하였다. 앞으로의 과제는 송신부에서 PN부호 generator를 컨트롤 함으로써, 동일한 대역내에서의 point-multipoint 통신이 가능한 근거리 디지털 통신 모뎀으로써의 설계가 과제이다.

#### [참고 문헌]

- [1] Bernard Sklar, Digital communications, Prentice Hall, 1988.
- [2] Jhon G. Proakis, Digital communication, McGraw-Hill, 1995.
- [3] Jhong Sam Lee, Leonard E. Miller, CDMA system Engineering hand book. Artech House Publishers, 1998.
- [4] Vijay K. Garg, PhD, PE, IS-95 CDMA and cdma2000, 2000
- [5] 김재석, 조용수, 조중휘 공저, 이동통신용 모뎀의 \*VLSI설계