

# 스마트카드의 인증을 위한 지문인식 회로 설계

정승민<sup>\*</sup> · 김정태<sup>\*\*</sup>

<sup>\*</sup>용인송담대학 · <sup>\*\*</sup>목원대학교

## Circuit Design of Fingerprint Authentication for Smart Card Application

Seung-min, Jung<sup>\*</sup> · Jung-Tae Kim<sup>\*\*</sup>

<sup>\*</sup>Youngin Songdam College · <sup>\*\*</sup>Mokwon University

E-mail : jasmin@ysc.ac.kr/jtkim3050@mokwon.ac.kr

### 요 약

본 논문에서는 반도체 방식의 직접 터치식 capacitive type 지문인식센서의 신호처리를 위한 회로를 제안하였다. 센서로부터의 capacitance의 변화를 전압의 신호로 전환하기 위해서 charge-sharing 방식의 회로를 적용하였다. 지문센서 감도저하의 가장 큰 원인인 sensor plate에 존재하는 parasitic capacitance를 제거하여 ridge와 valley 사이의 전압차를 향상시키기 위하여 기존과는 다른 아날로그 버퍼회로를 설계 적용하였다. 센서 하부회로와의 isolation 대책을 통하여 ESD 및 노이즈방지를 위한 설계를 실시하였다. 제안된 신호처리회로는 128x144 pixel 규모의 회로로 구현되었다. 본 설계회로는 향후 생체인식을 이용한 정보보호용 지문인식 시스템에 응용될 수 있으리라 본다.

### ABSTRACT

This paper propose an advanced circuit for fingerprint sensor signal processing. We increased the voltage between ridge and valley by modifying the parasitic capacitance eliminating circuit of sensor plate. The analog comparator was designed for comparing the sensor signal voltage with the reference signal voltage. We also propose an effective isolation strategy for removing noise and signal coupling of each sensor pixel. The 128X144 pixel fingerprint sensor circuit was designed and simulated, and the layout was performed.

### 키워드

fingerprint sensor, capacitive type, charge-sharing, isolation, pixel array

## 1. 서 론

Capacitive type의 지문센서의 원리는 센서부분인 최 상위 metal plate와 지문의 굴곡인 ridge와 valley가 passivation을 사이에 두고 존재하는 capacitance 값의 차이를 전압 혹은 전류로 변환하여 기준신호와의 크기를 비교하여 이진화된 신호로 만들어 이미지화 한 다음 적절한 지문이미지처리 알고리즘을 거쳐 본인여부를 판별하도록 일련의 처리가 반도체로 구현된다. 그림 1에서와 같이 capacitive type의 지문센서 구현에 있어서 센서부분인 최 상위 metal plate에 존재하는 parasitic capacitance  $C_{p1}$ ,  $C_{p2}$ 는 식 1에서와 같이 ridge와 valley간의 전압차이를 감소시켜 기준전압의 동작 범위에 제한을 주고 전체적으로 지문센서의 감도저하에 결정적 요인이 된다.<sup>[1]</sup> 특히 센서 플레이트 하부에 존재하는 parasitic capacitance  $C_{p1}$ 의 영향이 ridge와 valley간의 전압차이를 감소시키는데 큰

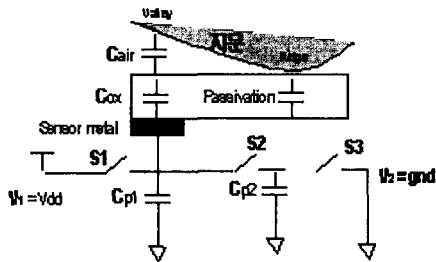
영향을 주고 있음을 식 1을 통하여 알 수 있다.

$$V_{\text{ridge}} - V_{\text{valley}} = \frac{(C_{p2} * C_{ox}) V_{dd}}{(C_{p1} + C_{p2})^2 + C_{p1} * C_{ox} + C_{p2} * C_{ox}} \quad (\text{식 1})$$

따라서 회로적으로 센서플레이트 하부에 존재하는 parasitic capacitance을 효과적으로 제거하는 방법이 필요하다. Capacitive type 지문센서에 대한 미약한 센서신호를 처리하기 위한 방식에 있어서, feedback capacitive sensing 방식, sample and hold 방식, charge transfer 방식, charge sharing 방식 등이 구현된 바 있다.<sup>[1][2][3][4]</sup>

본 논문에서는 charge sharing 방식의 지문센서 신호처리회로를 구현하였다. 기존의 charge sharing

방식에 적용된 일부 회로를 변경하여 parasitic capacitance를 제거함은 물론 센서신호처리부에서 가장 중요한 요소인 ridge와 valley간의 전압차이 값을 향상 시키고자 한다. Layout 측면에서는, 가장 중요한 문제점인 ESD 제거와 센서 metal plate하부에 아날로그회로를 배치하는 데 있어서 발생할 수 있는 센서 pixel 어레이의 coupling noise 영향을 제거하기 위한 isolation 대책을 제안하였다. 최종적으로 0.35마이크론 공정 파라미터와 디자인규칙을 이용하여 128X144 pixel 규모의 지문센서회로를 설계 및 검증을 하였고 layout을 실시하였다.



$$C_s = C_{air} // C_{ox}$$

Cp1, Cp2 : parasitic capacitance  
 Precharge 동작 모드 : S1, S3 on / S2 off  
 Evaluation 동작모드 : S1, S3 off / S2 on  
 The Output voltage after Evaluation  
 (단, V1=Vdd, V2=grnd)

$$V_o = V_{M1} = \frac{(Cp1 + C_s) * V_{dd}}{(Cp1 + Cp2 + C_s)}$$

그림 1. charge-sharing sensing scheme

## II. 지문인식센서 신호처리회로

charge-sharing 방식을 이용한 지문센서의 신호처리에 있어서 parasitic capacitance를 제거하기 위한 기본 개념은 그림2에서와 같이 아날로그버퍼를 이용하여 Cp3의 양단의 전압차를 0에 근접하게 유지함으로써 센서 plate 하부의 parasitic capacitance값을 효과적으로 제거할 수 있는 것이다<sup>[1]</sup>. 따라서 evaluation 동작 모드에서 센서 플레이트의 전압의 변화가 Cp3 하부의 plate에 빠르고 최소의 오차범위로 전달될 수 있도록 하기 위해서는 아날로그버퍼의 역할이 중요하다. 그림 3에는 기존에 적용된 6 transistors 구조의 unit gain buffer이다. 이 회로의 특징은 source follower인 transistor M6를 추가하여 M3과 M4의 동작을 strong inversion 영역으로 이동시킴으로서 evaluation 동작모드에서 unit gain buffer 입력단의 전압강하에 대하여 출력단의 전압을 빠른 속도로 끌어내리는 효과를 얻을 수 있었다.<sup>[1]</sup> 하

지만 M3과 M4는 여전히 포화영역에서 동작하지 못하므로 버퍼의 출력을 빠르게 끌어 내려 Cp3 양단의 전위차를 0으로 유지하는데 한계가 있고, 결국 ridge와 valley 사이의 전압차를 증가시키는데 제한적이다. 따라서 본 논문에서는 그림 4과 같은 5 transistors 구조의 아날로그버퍼를 새롭게 설계하였다.

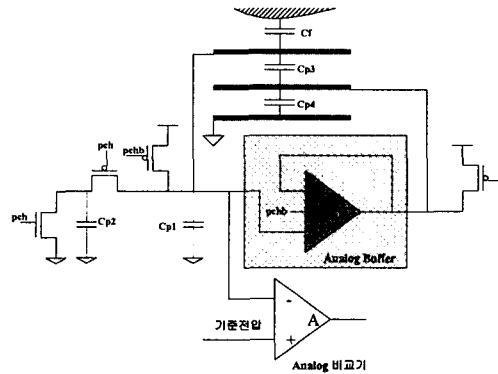


그림 2. 제안된 지문인식센서 신호처리회로도

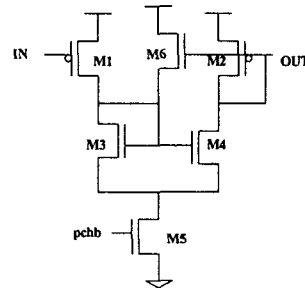


그림 3. 기존 unit-gain 버퍼

기존 unit-gain buffer와 달리 NMOS 입력단을 사용하고 있어 precharge 구간동안 버퍼의 입출력이 Vdd이므로 M1과 M2가 포화영역과 선형영역 이내에서 동작을 하므로 별도의 source follower와 같은 transistor 추가 없이도 기존의 unit-gain buffer에서 보다 입력단의 전압강하에 대하여 출력단 전압을 더욱 빠르게 강하시킬 수 있는 것이다. 본 논문에서는 이러한 효과를 확인하기 위하여 우선 0.35um 표준 CMOS공정 디자인 규칙을 이용하여 최적화된 레이아웃을 실시하여 parasitic 성분을 추출한 결과 parasitic capacitance인 Cp1과 Cp2가 4.3fF을, Cp3가 86fF, 그리고 Cp4는 80fF을 얻을 수 있었다. ridge에서의 센서 플레이트와 지문간의 capacitance는 passivation capacitance인 Cox와 동일하므로 센서플레이트 면적과 passivation 두께를 고려한 결과 43fF를, valley에서의 센서 플레이트와 지문간의 capacitance는 거의 0과 같으므로 0.1fF을 적용하였다. 또한 기존 unit-gain buffer와 제안된 아날로그버

퍼의 동등한 비교를 위하여 양쪽회로의 NMOS는 2.5um, PMOS는 5um를 일괄 적용하여 동작을 simulation 한 결과 그림 5에서와 같은 결과를 얻을 수 있었다.

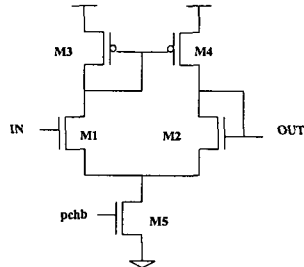
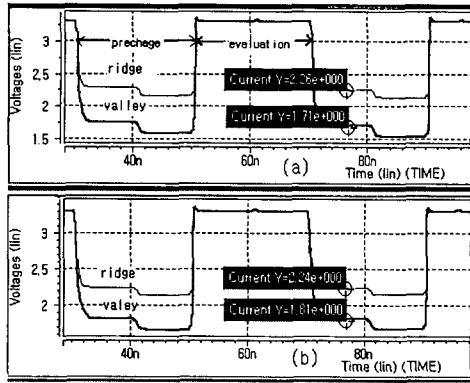


그림 4. 제안된 버퍼회로



(a) 제안된 버퍼회로결과 (b) 기존 버퍼회로결과  
그림 5. 센서출력 비교결과(0.35um, typical 조건)

센서 출력 전압인  $C_{ps}$  양단의 ridge와 valley간의 전압차는 0.35um공정의 3.3V typical 파라미터를 적용한 경우 기존 430mV에서 550mV로 향상되어 약 28%의 감도향상을 기대할 수 있음을 알 수 있었다. 센서 플레이트 하부의 한정된 면적에 신호처리회로를 레이아웃 해야 하므로 미약하긴 하나 센서플레이트 면적감소도 기대된다. 본 회로에서는 다만, NMOS 입력단을 사용하므로 M1, M2의  $V_{th}$  이하로는 전압강하가 이루어 질 수 없는 문제점이 있으나 전체 신호처리회로의 동작에 있어서 3.3V evaluation 모드에서 최저 전압강하가  $2 \cdot V_{th}$  이상이므로 전체 신호처리회로의 동작범위에는 문제가 없다.

parasitic capacitance 제거회로를 거쳐 만들어진 신호는 비교기를 통해 ridge와 valley 사이의 중간 전압인 기준전압과의 비교를 통하여 이진화 된 신호로 만들어진다. 그림 6에서는 버퍼와 비교기를 포함한 센서신호처리회로의 최종출력 검증결과이다. sensor의 metal plate가 각각 1과 2와 3과 4의 위치에 놓였을 때의 ridge와 valley사이의 전압 차에 대한 검증결과 4의 위치에 놓였을 때 최대 전압차를 얻을 수 있었다. 즉 1의 위치는 ridge를 4의 위치는 valley 전압을 의미한다. 기준전압

2.0V를 기준으로 신호 1,2는 High의 출력을 신호3,4는 Low의 신호출력을 나타내고 있다.

본 논문에서 설계된 지문센서는 그림 7에서와 같이 0.35um 4-metal 표준CMOS 공정을 이용하여 레이아웃 되었으며 pixel array 방식으로 metal 2를 이용하여 ESD 방지 및 하부의 신호처리회로의 노이즈방지를 위한 shielding metal plate로 적용하였다. 본 논문에서 설계된 지문센서 어레이는 각 센서플레이트에 대하여 ESD 방지는 물론 노이즈로부터 센서의 동작을 보호할 수 있도록 조치하였다.

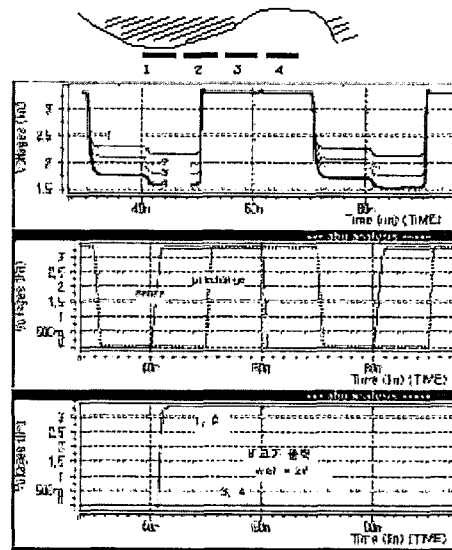


그림 6. 센서신호처리회로 검증결과(0.35um, typical 조건)

본 논문에서는 구성된 단위회로를 적용하여 그림 8에서와 같이 128X144 pixel array 크기의 지문센서 신호처리회로를 설계하였다. 센서 어레이 pitch는 60um 이며, 지문 이미지 해상도는 430 dpi, 동작 주파수는 40MHz로 0.35um공정 4-metal 표준 CMOS공정을 적용하였다. 센서신호처리부의 아날로그 블록은 transistor 수준의 HSPICE simulation을 실시하고 나머지 블록은 logic simulation을 통하여 최종 동작을 검증하였다. 본 논문에서 설계된 지문센서 신호처리회로는 CPU 및 메모리를 하나로 내장한 스마트 지문인식 SoC로 확장 개발이 진행 중이다.

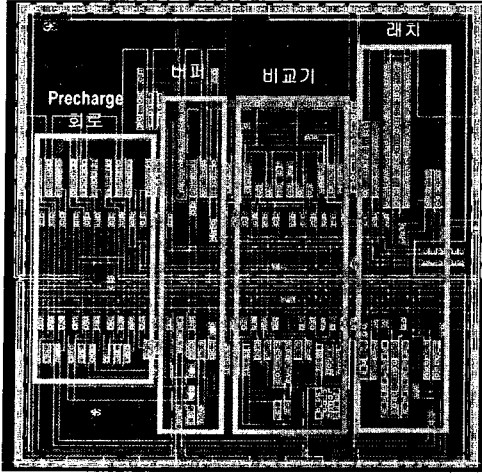
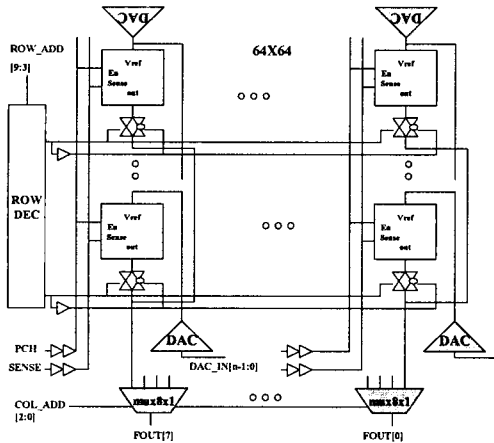
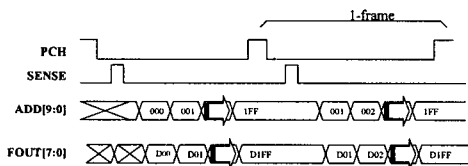


그림 7. 센서 1-pixel layout(60umx60um in 0.35 um process)

하였고, 센서 pixel 간 isolation을 통하여 노이즈 제거를 통한 감도 향상 기법도 아울러 제안하였다. parasitic capacitance 제거를 위해서 charge sharing 방식을 적용하였으며 기존의 6-transistor 버퍼를 5-transistor 버퍼로 적용함과 동시에 ridge와 valley사이의 전압 차이를 28% 향상 시킬 수 있었다. 센서의 신호는 비교기를 통하여 이진화 이미지 데이터로 출력된다. pixel array 방식의 지문센서는 센서 metal plate 하부에 신호처리 아날로그 회로가 배치되며 이에 따른 ESD문제 및 노이즈가 발생할 수 있다. 본 논문에서는 수직으로 ground shielding metal을 적용함으로써 해서 센서 노이즈 제거는 물론 ESD영향에도 효과적으로 대처할 수 있는 isolation 대책을 제안하였다. 개선된 회로 및 알고리즘을 적용하여 128X144 pixel 규모의 테스트 회로를 구현하여 동작 및 특성을 확인하였으며 0.35um 표준 CMOS 공정을 적용하여 레이아웃 하였다. 설계된 회로는 MCU 내장형 스마트 지문인식 칩으로 확장 개발이 진행 중에 있어 향후 접촉식 및 비 접촉식의 지문인식 스마트 카드에 응용이 기대된다.



(a) 전체 회로도



(b) 동작 타이밍도

그림 8. 128X144 Pixel 지문센서 회로도

### 참고문헌

- [1] J. W. Lee, D. J. Min, J. Y. Kim, and W. C. Kim, "A 600-dpi Capacitive Fingerprint Sensor Chip and Image-Synthesis Technique", IEEE J. of Solid-state circuits, vol. 34, No.4, pp469-475, April, 1999.
- [2] M. Tartagni and R. Guerrieri, "A Fingerprint Sensor Based on the Feedback Capacitive Sensing Scheme", IEEE J. of Solid-state circuits, vol. 33, pp133-142, Jan. 1998.
- [3] D. Inglis et al. , "A Robust 1.8V 250usW Direct-Contact 500dpi Fingerprint Sensor", ISSCC Digest of Technical Papers, Feb. 1998, pp284-285.
- [4] H. Morimura, S. Shigematsu and K. Machida, "A Novel Sensor Cell Architecture and Sensing Circuit Scheme for Capacitive Fingerprin Sensors", IEEE J. of Solid-state circuits, vol. 35, pp724-731, May. 2000.

### III. 결 론

본 논문에서는 capacitive type 반도체 지문센서 감도저하의 결정적 요인인 parasitic capacitance를 제거하기위한 개선된 회로를 설계