

Backplane processor의 HSTL 신호전달 특성 연구

김석환* · 류광렬** · 허창우**

목원대학교 IT 공학부

A Study on Signal Transmission Specific Property HSTL of Backplane Processor

Soke-Hwan Kim* · Kwang-Ryol Ryu** · Chang-wu Hur**

* **Dept. of IT Engineering, Mokwon Univ.

요 약

본 문서는 백프레인(backplane)에서 프로세서 HSTL(High-speed Transceiver Logic)의 데이터 전송 및 수신 특성을 알아보기 위해 HSPICE를 사용하여 시뮬레이션을 하였으며 Xilinx Virtex II XC2V FF896 FPGA를 이용하여 직접 제작 신호 전달특성을 분석하였다. PCB(Printed Circuit Board)는 FR-4를 사용하였으며 point to point 배선 길이에 대해 데이터 전송속도 특성을 시험하였고 구현 가능한 데이터 전송 및 수신 한계 속도에 대해 검토하였다. 시험결과 point to point 접속 신호 전송 및 수신 한계속도에 영향을 주는 것이 배선 길이와 주변 전기적 잡음이 중요한 역할을 함을 알 수 있었다.

I. 서 론

통신기술의 발달이 고속, 대용량 됨에 따라 새로운 Logic이 개발되고 있는 추세이다. 그러므로 인쇄회로 기판설계 시 여러 단계의 과정을 거치지 않고 직접 설계를 한다면 비용 및 시간의 소비가 큰 문제가 야기된다. 본 논문에서 실시한 프로세서(processor) 버스 모사 시험목적은 백프레인 버스를 PCB(Printed Circuit Board)에 구현하기 전 전송 및 수신 가능한 속도를 확인하여 PCB제작 시 시행 착오를 줄이는 데 있다.

프로세서(processor) 신호 point to point 접속 모사 시험목적은 HSTL을 PCB에 구현하기 전 전송 및 수신 가능한 속도를 확인하여 PCB제작 시 시행착오를 줄이는 데 있다.

본 논문에서 수행한 모사 시험에서 신호원은 HSTL이며 싱글엔드(single-end) 데이터 전송속도 200Mbps, 100Mbps에 대해 2개의 시험 모형을 설정하였다.

그림1은 HSTL을 신호원으로 하여 PBA(Printed Board Assembly) 배선길이에 대해 시뮬레이션 하였다. PCB 연결점마다 PTH(Plated Trough Hole)부가 용량 2.5pF를 병렬로 접속하였다.

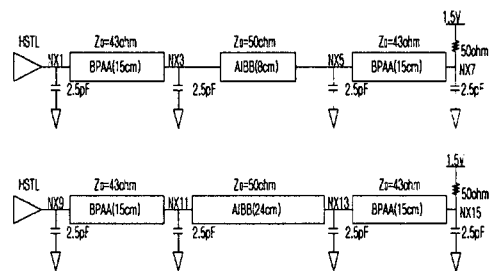


그림 1. HSTL 시험 모델

II. 본 론

본 문서의 모사 시험에서는 백프레인 프로세서 신호 point to point 전송 및 수신 특성을 알아보았다. 이 시험 방법은 통신장비, 전자장치 및 컴퓨터 등에 응용될 수 있으며 PCB제작 시 시행 착오에 따른 경비 및 시간을 줄일 수 있다. 프로세서 신호 point to point 전송 및 수신 특성에 영향을 주는 것은 배선의 길이, 주변 전기적 잡음, 임피던스 정합 등이 있으나 가장 중요한 역할을 하는 것이 배선 길이와 주변 전기적 잡음이다. 따라서, 배선 길이와 주변 전기적 잡음을 최대한 줄여야 한다.

본 시험에서는 200Mbps, 100Mbps HSTL 신호

원인 구형파가 첫 번째 노드(node)에 입력될 경우 수신 노드(NX7, NX15) 입력 파형을 측정한다. 이 경우 100Mbps에서 입력 파형 특성은 좋은 상태였고 200Mbps에서는 약간 좋지 않은 상태였다. 그러나 신호원이 HSTL인 경우 약 400~500[mV] 잡음 여유가 있었다. 따라서 신호의 전송속도 200Mbps에서 HSTL이 좋음을 알 수 있었다. 그림 2,3,4는 200Mbps 전송속도에서 각각 시뮬레이션 파형을 나타냈다. 그림 2,3,4에서 굵은 선이 HSTL 시뮬레이션 결과이다.

III. 모사 시험 및 측정결과

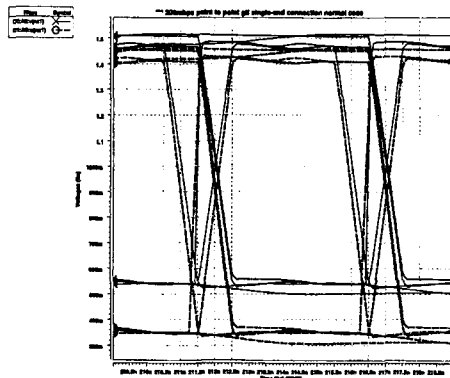


그림 2. 노드 NX1의 모사시험 결과

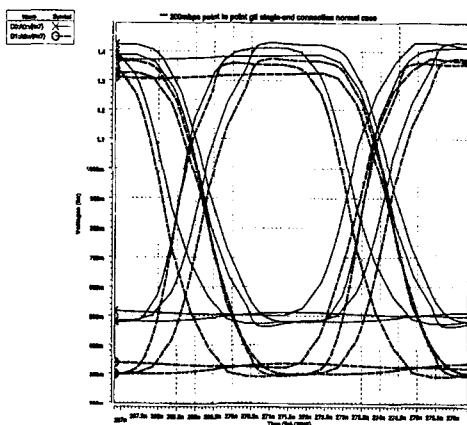


그림 3. 노드 NX7의 모사시험 결과

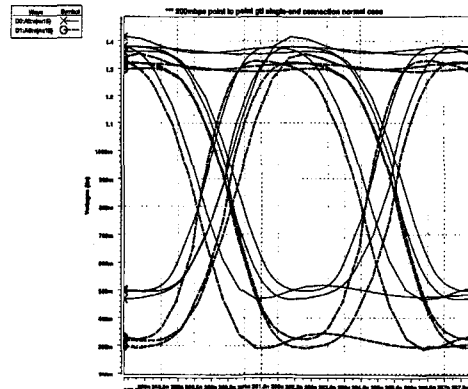


그림 4. 노드 NX15의 모사시험 결과

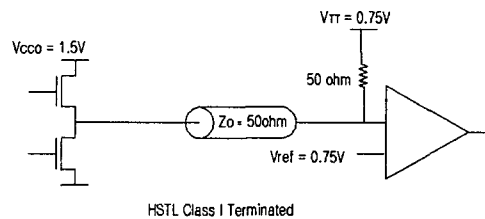


그림 5. HSTL Terminated 구조

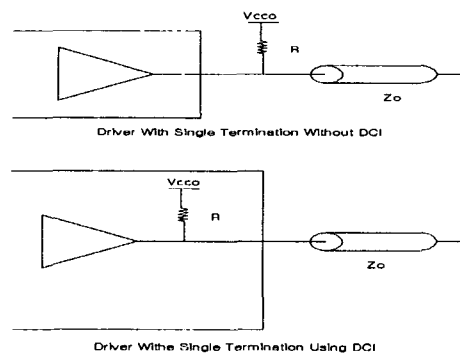


그림 6. HSTL Logic DCI 선언

표 1. HSTL Voltage Specific

Parameter	Min	Typ.	Max
V _{CC0}	1.40	1.50	1.60
V _{ref}	0.68	0.75	0.90
V _{TR}		V _{CC0} X 0.5	
V _{IH}	V _{ref} + 0.1		
V _{IL}			V _{ref} - 0.1
V _{OH}	V _{CC0} - 0.4		
V _{OL}			0.4

HSTL Class I Voltage Specification

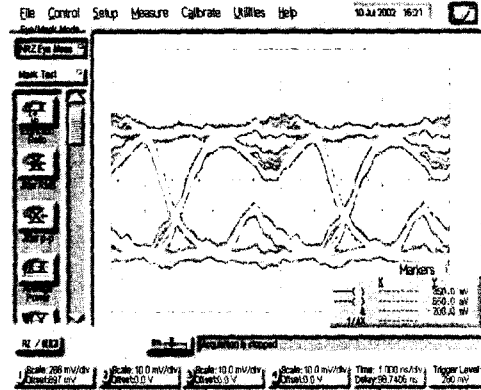


그림 9. HSTL Logic 200Mbps

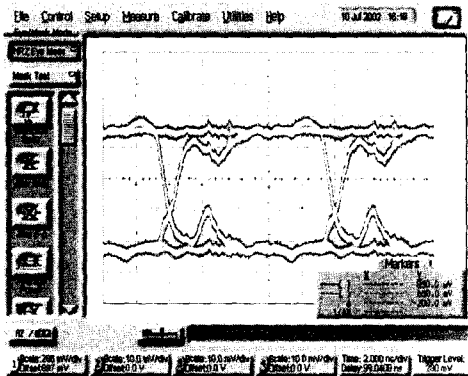


그림 7. HSTL Logic 100Mbps

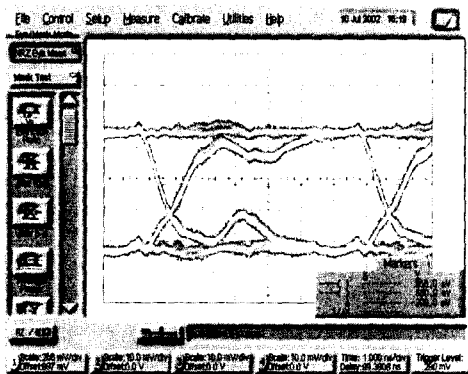


그림 8. HSTL Logic 150Mbps

IV. 결 론

본 논문은 ETRI IP 스위칭팀에서 실행하고 있는 신호 Level의 특성분석 측정의 한 과정이며 Xilinx Virtex II XC2V FF896 FPGA를 이용하여 직접 설계 신호전달 특성을 살펴보았으며, 백프레인(backplane)에서 프로세서 Point to Point 구조에서의 데이터 전송 및 수신특성을 알아보기 위해 HSPICE를 사용하여 얻은 모사 시험결과이다.

모사 시험결과 HSTL은 200Mbps 까지는 전송 및 수신 특성이 좋았으며, 잡음 여유가 400~500 [mV] 정도가 되어 주변 전기적 잡음을 줄이는 것이 가장 큰 문제로 대두된다. 백프레인의 경우는 주변 전기적 잡음을 줄이는 것이 용이하나, 백프레인에 실장되는 PBA BPAA의 경우 주변 잡음을 줄이는 것은 쉽지 않다. PCB에서 주변 전기적 잡음은 PCB 누화, 커넥터 누화, 그라운드 배운스, 스위칭 잡음, 전원잡음 등이 있으나 일반적으로 제어하기 가장 힘든 잡음이 동상모드 전원 잡음이다.

참고문헌

- [1] HARLAN HOWE, JR. Stripline Circuit Design, AH.
- [2] Charles S. Walker, Capacitance, Inductance and Crosstalk Analysis, AH, INC.
- [3] David M Pojar, Microwave Engineering, Addison Wesley.
- [4] Brain C, Wadell, Transmission Line Design Handbook, Artech House, INC.
- [5] Howard W, Johnson, Martin Graham, High-Speed Digital Design, PTR Prentice Hall.

- [6] David A. Weston Electromagnetic Compatibility, Marcel Dekker, INC.
- [7] 홍정기, 김성일, 이해영 "FR-4 Composite 기판의 성분 구성비에 따른 광대역 유전상수 모델 및 전송 특성해석" 전자공학회논문지 제33권 A편 제12호 1996.12.
- [8] 홍정기, 김영국, 이해영 "FR-4 Composite 기판을 이용한 Microstrip 전송선의 광대역 전송특성 해석" 전자공학회논문지 제33권 A편 제2호 1996.2.