

# 동작 온도에 따른 Double Gate MOSFET의 전류-전압특성

김영동\* · 고석용 · 정학기

\*군산대학교

## Temperature-dependent characteristics of Current-Voltage for Double Gate MOSFET

Young-dong Kim\* · Suk-woong Ko · Hak-kee jung

\*School of electronic & information Eng., Kunsan National University

E-mail : hatoro@kunsan.ac.kr

### 요 약

본 논문에서는 main gate와 side gate를 갖는 double gate MOSFET의 동작 온도에 따른 전류-전압 특성을 조사하였다. main gate와 side gate 길이는 각각 50nm, 70nm로 하였으며, main gate와 side gate 전압이 각각 1.5V, 3.0V일 때 온도 변화에 따른 전류-전압 특성을 조사하였다. 실온에서보다 77K일 때가 전류-전압 특성이 우수하였으며, 이때 소자의 특성 분석을 위해 ISE-TCAD를 사용하여 시뮬레이션 하였다.

### ABSTRACT

In this paper, we have investigated temperature-dependent characteristics of current-voltage for double gate MOSFET with main gate and side gate. DG MOSFET has the main gate length of 50nm and the side gate length of 70nm. We have investigated the temperature-dependent characteristics of current-voltage and drain voltage is changed from 0V to 5.0V at  $V_{mg}=1.5V$  and  $V_{sg}=3.0V$ . We have obtained a very good characteristics of current-voltage for 77K. We have simulated using ISE-TCAD tool for characteristics analysis of device.

### 키워드

double gate, main gate, side gate, temperature-dependent, current-voltage

### 1. 서 론

최근 소자의 집적도가 증가함에 따라 MOSFET는 집적회로들의 중요한 일부분이 되어졌고, 현재 전자 산업에 있어서 가장 중요한 소자가 되었다. 소자의 속도와 특성을 개선시키기 위해 MOSFET 소자의 크기는 매우 작아지게 되었고, 최근 MOSFET 소자들이 50nm 이하로 작아짐에 따라 소자 설계에 있어서 고려해야 할 여러 가지 문제들이 나타나게 되었다. MOSFET의 크기가 작아지게 됨에 따라 매우 얇은 소스와 드레인 접합이 단 채널 효과(short channel effect)를 억압하기 위하여 필요하게 되었고 이들 작은 저항을 가지는 매우 얇은 소스와 드레인 접합의 형성은 중요한 기술중의 하나가 되었다. 그러나, 일반적인 이온 주입(ion implantation)이나 고체 상태 확산(solid

phase diffusion)에 의해 얇은 접합들을 형성하는 것은 매우 어렵다. 게다가 낮은 채널 도핑은 임의의 불순물 도핑효과에 의해 큰 이동도와 작은 문턱 전압 변동을 요구하게 된다. 단 채널 효과는 50nm 이하의 영역에서 매우 얇은 확장된 소스/드레인과 같은 반전 층 사용에 의해 억압시킬 수 있다고 발표되어졌다. 그러나, 이런 소자 구조들은 너무 큰 소자의 크기 때문에 실제 LSI에서는 적용할 수가 없었다. 이런 문제들을 해결하기 위해 여러 가지 방법들이 제시되고 있는데, 본 논문에서는 하나의 메인 게이트(main gate, MG)와 두 개의 측면 게이트(side gate, SG)를 갖는 double gate(DG) MOSFET에 대해 조사하였다. main gate 길이는 50nm이고 side gate 길이는 70nm로

하였고, 이때 side gate 전압은 1.5V에서 3V까지 인가하였다. 본 논문에서는 동작 온도에 따른 double gate MOSFET의 전류-전압 특성을 분석하기 위해 각 side gate 전압에 대해 300K와 77K에 대한 문턱 전압의 변화를 조사하였고, I-V 특성 곡선 및 전달 컨덕턴스(transconductance)를 조사하였다.

## II. 본 론

본 논문에서 사용된 소자의 구조는 하나의 main gate와 두 개의 side gate를 갖는 double gate MOSFET 구조이다. 이러한 구조를 시뮬레이션 하기 위해 우리는 ISE-TCAD에 있는 Dios를 사용하여 소자를 설계하였다. 소자의 공정 순서를 보면, 먼저 p-형 실리콘(100)이 기판물질로 사용되었고, 일반적으로 낮은 도핑을 하게 된다. 이 실리콘 위에 산화막을 형성시키고 산화막 위에 side gate를 형성하기 위해 폴리 실리콘을 적층하였다. 폴리 실리콘 적층 후 레지스터를 사용하여 gate 부분을 제외한 나머지 부분들을 에칭 하였고, 에칭 후 소스와 드레인 영역에  $As^+$  이온( $5 \times 10^{15}/cm^2$ , 30keV)을 주입하였다. 소스/드레인 형성 후 spacer를 형성하기 위해 nitride를 적층하였다. side gate 산화막 층을 형성하기 위해 폴리 실리콘을 에칭하여 side gate oxide층을 만들고 그 후, 채널 형성을 위해  $BF_2^+$  이온( $1 \times 10^{13}/cm^2$ , 70KeV)을 주입하였다. 이 때 채널 도핑은 문턱 전압을 조절하는 역할을 한다. 이온 주입 후 main gate 산화막 층을 적층하였고, 적층 후 main gate를 형성하였다.

본 논문에서 사용한 시뮬레이션 순서를 보면, 공정틀인 Dios를 사용하여 소자를 구성하였고, 소자 구성 후 Mdraw를 사용하여 소자의 grid와 mesh를 생성하였다. 이렇게 생성된 파일을 사용하여 시뮬레이션 틀인 Dessis로 소자를 300K와 77K에 대해 시뮬레이션 하였다. 마지막으로 문턱 전압과 전달 컨덕턴스 및 I-V 특성 값들을 추출하기 위해 Inspect 툴을 사용하여 각각의 게이트 길이에 대한 값들을 추출하였다.

이때 각 게이트 길이에 대한 소자의 특성은 문턱 전압의 변화를 가지고 비교하였다. 지금까지 문턱 전압을 구하는 방법으로는 여러 가지 방법들이 제시되고 연구되어졌다. 본 논문에서는 이런 방법들중에서 드레인 전류 축을 로그크기로 변환하여 나타낸 그래프에서 최대 기울기와 최소 기울기를 갖는 곳의 접선들이 만나는 지점의 전압을 구하는 SDL 방법(second derivative of the logarithm of drain current method)을 사용하여 문턱 전압을 구하였다.

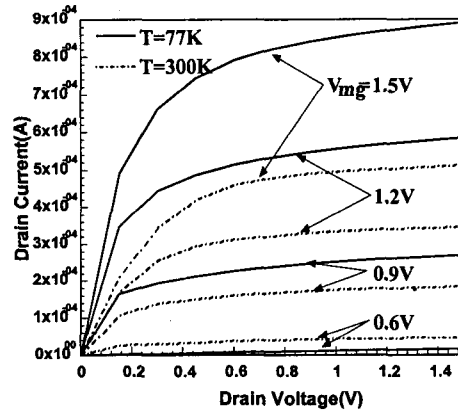


그림 1. 동작온도에 따른 DG MOSFET의 전류-전압 특성곡선

그림 1은 main gate 길이 50nm에 side gate 길이 70nm 길이를 갖는 DG MOSFET의 전류-전압 특성곡선을 동작 온도에 따라서 나타내고 있다. 그림에서 드레인과 main gate에는 1.5V의 전압을 인가하였고, side gate에는 3V의 전압을 인가하였다. 그리고, 동작 온도는 300K와 77K에 대해 시뮬레이션을 하였다. 동작 온도가 300K일 때에는 main gate 전압이 1.5V이고, Drain 전압이 1.5V일 때 Drain 전류는 0.50mA를 나타내었다. 같은 조건에서 동작 온도를 77K로 했을 경우는 0.88mA로 300K일 때 경우와는 0.38mA의 차이를 나타내었다. 동작 온도가 77K일 때 main gate 전압을 1.2V로 주어줬을 때, 300K일 때의 main gate 전압이 1.5V로 주어줬을 때보다 Drain 전류가 더 높게 나왔다.

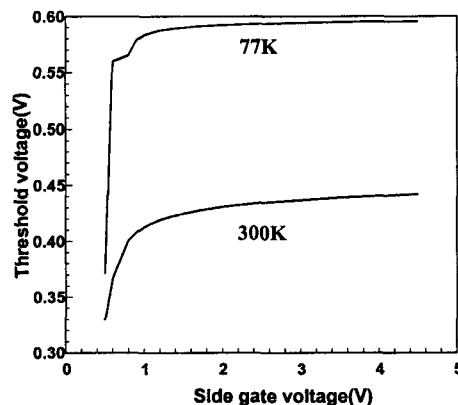


그림 2. 동작온도에 따른 문턱 전압 특성 곡선

그림 2는 50nm의 main gate를 갖는 DG

MOSFET에서 side gate 전압에 대한 문턱 전압 특성을 나타낸 것이다. 그림은 동작 온도의 변화에 따른 문턱 전압의 변화를 나타낸 것이다. 이때 side gate 전압은 1V에서 5V까지 인가하였다. 본 논문에서 사용된 DG MOSFET의 main gate 길이는 50nm이고, side gate 길이는 70nm이다. 300K에서 side gate 전압이 5V일때는 약 0.442V이고 2V일때는 약 0.424V이다. 77K에서 side gate 전압이 5V일때는 약 0.595V이고, 2V일때는 약 0.589V이다. side gate 전압이 2V보다 크다면, 동작 온도에 상관없이 거의 변하지 않는다. 하지만 300K일때보다는 77K일때의 문턱 전압이 높게 나타났다.

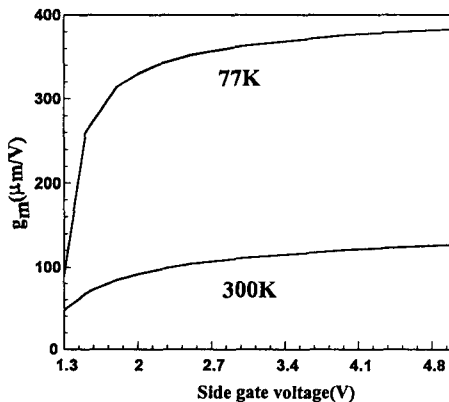


그림 3. 동작 온도에 따른 side gate 전압에 대한 추출된 전달 컨덕턴스 값

그림 3은 동작 온도에 따른 side gate 전압에 대한 전달 컨덕턴스 값을 추출하여 나타낸 표이다. 이때 side gate 전압은 1.3V에서 5V까지 변화하였고, 그에 따라 동작 온도를 달리하여 파라미터 값들을 추출하였다. 그림에서 볼 수 있듯이 side gate 전압이 작아질수록 전달 컨덕턴스 값들도 작아지고, 300K일 때보다 77K일 때가 파라미터 값이 증가하는 것을 알 수 있었다.

### III. 결 론

본 논문에서는 main gate와 side gate를 갖는 double gate MOSFET의 특성에 대해 조사하였다. 온도가 300K일 때 main gate 길이는 50nm이고, side gate 길이는 70nm일 때 side gate 전압이 2V 이상일 경우 문턱 전압의 변화가 작은 것을 볼 수 있었다. 같은 조건에서 온도가 77K일 때의 double gate MOSFET의 문턱 전압을 조사한 결과 문턱 전압의 변화가 적고, 300K일 경우보다 좋은 특성을 가지고 있었다. DG MOSFET은

300K일때보다 77K에서 더 좋은 전달 컨덕턴스를 가지고 있고, 더 좋은 특성을 나타내고 있다. 본 논문에서 사용된 구조는 다중 입력 NAND 게이트에 적용했을 경우 많은 이점을 가지고 있다. 본 논문에서 실험된 결과는 IC제조에 있어서 double gate MOSFET의 기초자료로 활용될 수 있으리라 생각된다. 또한, 본 논문에서 사용된 tool인 ISE-TCAD tool인 시뮬레이터로서 적합함을 알 수 있었다.

### 참고 문헌

- [1] D. G. Borse, S. J. Vaidya and Arun N. Chandokar, "Study of SILC and Interface Trap Generation Due to High Field Stressing and Stressing and Its Operating Temperature Dependence in 2.2nm Gate Dielectrics", IEEE Trans. Electron Dev, Vol. 49, pp. 699-701, 2002
- [2] Byung Yong Choi, Suk Kang Sung, Byung Gook Park, and Jung Duk Lee, "70nm NMOSFET Fabrication with 12nm n+p Junction Using As+2 LOW Energy Implantation", Jpn. J. Appl. Phys., Vol. 40, No. 4B, pp. 2607-2610, 2001
- [3] Jae-hong Kim, Geun-ho Kim, Suk-woong Ko and Hak-kee Jung, "Optimization of Side Gate Length and Side Gate Voltage for Sub-100nm Double-Gate MOSFET", Proceeding of SPIE, Vol. 4935, pp. 308-315, 2002.
- [4] Jhung-soo Jhung, Kwang-gyun Jang, Sung-taik Shim and Hak-kee Jung, "Investigation of Threshold Voltage in MOSFET with Nano Channel Length", proceeding of ISIC-2001, pp. 230-233, 2001
- [5] Sangyeun Han, Sungil Chang, Jongho Lee, and Hyungcheol Shin, "50nm MOSFET With Electrically Induced Source/Drain(S/D) Extensions", IEEE Trans. Electron Dev., Vol. 48, No. 9, pp. 2058-2064, 2001.