

금속/부도체/반도체/부도체/금속을 이용한 Tr 특성

한국과학기술연구원
고려대학교

이제형*, 전경인, 신경호
박상용, 홍진기 이공원

Transistor of type metal/insulator/emiconductor/insulator/metal

Korea Institute of Science and Technology J. H. Lee*, K-I Jun, Kyung-Ho Shin
Korea University S. Y. Park, J. K. Hong, K. Rhie

1. 서론

최근 전자 spin의 특성을 이용한 소자 개발이 많은 주목을 받고 있다[1]. 반도체 내부에서 전자의 평균 자유행로가 수 μm 에 달한다는 보고가 있어[2] 자성금속/ 반도체간의 접합을 이용한 자성 트랜지스터 개발 연구가 활발히 진행중이다[3]. 그러나 자성금속, 반도체 계면에서 발생하는 스핀 확산에 따라 자성금속의 스핀 값이 유지되지 못하는 현상이 있어[4], 터널링을 통한 스핀 주입이 반도체에 들어가는 스핀을 보존하기에 용이하다[5]. 따라서 본 실험은 일반적인 반도체와 금속간의 접합을 구성하여 schottky-barrier 특성이[6] 아닌 인위적으로 산화막 터널링 barrier를 형성하였다. 반도체와 금속접합에서 페르미 준위 및 밴드 갭이 달라, 접합은 diode 특성을 갖게된다. 이 diode 접합을 두개 형성하여 트랜지스터를 제작해 보았다.

2. 실험방법

시료의 제작은 2inch, 6gun sputter 장비를 사용하여, base pressure를 5×10^{-8} Torr 이하로 하여 박막을 증착하였다. 박막은 GaAs/ $\text{AlO}_x(1.6\text{nm})$ /CoFe(6nm)/Ta(5nm)의 구조로 증착되었다. 증착된 시료는 Fig. 1 (a)와 같이 photo-lithography 작업을 하여 $100 \times 10 \mu\text{m}^2$ 의 접합을 형성한 다음에 Ion milling을 통하여 메사구조를 만든다. 그리고 (b)와 같이 pasivation 한후, PR을 제거한다. 또한 윗 단자를 만들기 위해 (c)와 같이 PR 작업을 하고, Al을 증착하여 단자를 형성하였다. 다음 공정으로 E-Beam lithography를 이용하여 자성체를 1:9의 비율로 Metal을 600nm 제거 하였다.

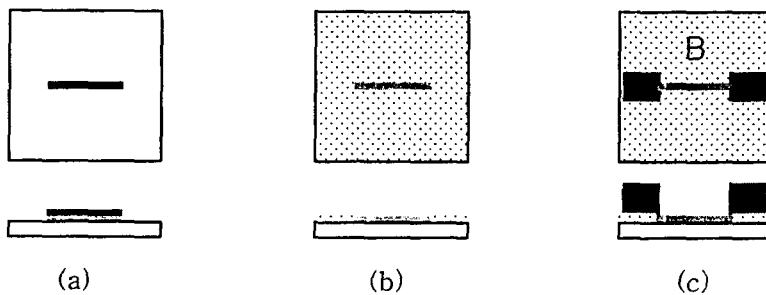


Fig. 1. Schematics of Microfabrication of transistor.

왼쪽 부분인 $10 \times 10 \mu\text{m}^2$ 를 에미터(E), GaAs를 베이스(B), 오른쪽 부분인 $10 \times 90 \mu\text{m}^2$ 를 콜렉터(C)로 지정하여 측정하였다. 이 공정을 통하여 제작된 트랜지스터는 E에서 C로 전류가 흐르는 경로를 보면 Al(100nm)/CoFe(6nm)/ $\text{AlO}_x(1.6\text{nm})$ /GaAs(600nm)/ $\text{AlO}_x(1.6\text{nm})$ /CoFe(6nm)/Al(100nm)의 구조를 갖는다.

3. 실험결과 및 고찰

트랜지스터의 특성을 조사하기 위하여 앞서 각각의 금속/부도체/반도체층이 제대로 형성되었나를 확인하기 위하여 각각의 IV를 측정하였다. Fig. 1. (c)에서 단자 E와 B 사이에 전압을 걸게 되면 금속/부도체/반도체를 통해 전류가 흐르게 되어 다이오드 특성이 나타나게 된다. 마찬가지로 Fig. 1에서 C와 B 사이에 전압을 걸어도 같은 방식으로 다이오드 특성을 나타내게 된다. 각각의 결과를 Fig. 2에서 볼 수 있다.

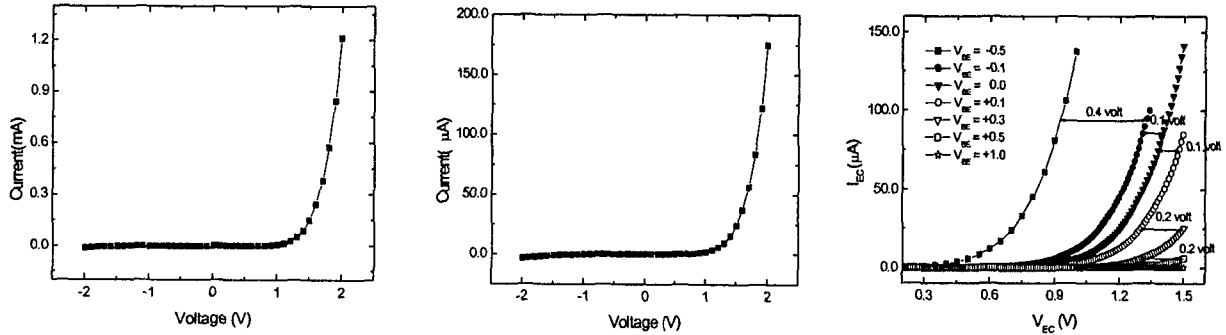


Fig.2 (a) 단자 B와 단자 C 사이의 I-V 특성

(b) 단자 B와 단자 E 사이의 I-V 특성

(c) Transistor의 Bias 특성 곡선

Fig.2 (a)와 (b)를 비교해보면 접합 크기가 약9배 정도 차이가 있다. 따라서 2volt에서 저항값을 비교해보면 면적비가 8.7 : 1.3 정도가 됨을 알 수 있다. 또한 E와 C 양쪽 다 양질의 Schottky diode 특성을 나타냄을 알 수 있고, 트랜지스터의 기본적인 특성이 제대로 나타나고 있음을 보여준다.

트랜지스터 특성을 살펴보기 위하여 단자 E와 C 사이의 I-V 특성을 단자 B와 E 사이에 걸린 전압에 따라 어떻게 달라지는가를 조사한 결과를 그림 2.(c)가 보여주고 있다. 그림에서 보는 바와 같이 단자 B와 E 사이의 전압으로 I-V 곡선을 이동시킬 수 있는 것이 확인되었다. 이 결과들은 이론적으로 예측할 수 있는 것과 일치하여 트랜지스터 구조가 제대로 만들어지고 작동하고 있음을 확인할 수 있었다. 하지만 양쪽 자성층의 자화반전이 동시에 일어나 자기장에 따른 어떤 효과도 관측할 수 없었다.

4. 결론

본 연구에서 반도체와 금속의 접합에 barrier 층을 삽입함으로써 transistor를 제작하여, 그 특성을 관측하였다. 스핀 트랜지스터의 제작에 있어 sub micron으로 제작할 경우 spin의 주입 및 측정이 관측될 것으로 기대된다.

5. 참고문헌

- [1] G. A. Prinz, Science 282, 1660 (1998)
- [2] J. M. Kikkawa and D. D. Aschalom, Phys. Rev. Lett. 80, 4313 (1998)
- [3] D. J. Monsma, R. Vlutters and J. C. Lodder, Science 281, 407 (1998)
- [4] G. Schmidt, D. Ferrand, and L. W. Molenkamp, A. T. Filip, and B. J. van Wees, PR B 62 R4790 (2000)
- [5] E. I. Rashiba, PR B 62, R16267 (2000)
- [6] A. Hirohata, Y. B. Xu, C. M. Guertler, and J. A. C. Bland, J. Appl. Phys., 85, 5804(1999)