

Nano-CMOS에서 NiSi의 Dopant 의존성 및 열 안정성 개선

배미숙, 오순영, 지희환, 윤장근, 황빈봉, 박영호, *박성형, 이희덕
충남대학교 전자공학과, *하이닉스㈜
전화: (042)821-7702/ 팩스(042)821-9544/ 핸드폰:011-421-740

Analysis of Dopant Dependency and Improvement of Thermal stability for Nano CMOS Technology

Mi-Suk Bae, Soon- Young Oh, Hee-Hwan Ji, Jang- Gn Yun, Bin-Feng Huang, Young-Ho Park,
*Sung-Hyung Park, Hi-Deok Lee
Dept. of Electronics Engineering, Chungnam National University
*Hynix Semiconductor Co., Ltd
E-mail : baemi@pony.cnu.ac.kr

Abstract

Ni-silicide has low thermal stability. This point is obstacle to apply NiSi to devices. So In this paper, we have studied for obtain thermal stability and analysis of dopant dependency of NiSi. And then we applied Ni-silicide to devices. To improvement of thermal stability, we deposit Ni70/Co10/Ni30/TiN100 to sample. Co midlayer is enhanced thermal stability of NiSi. Co/Ni/TiN, this structure show very difference between n-poly and p-poly in sheet resistance. But Ni/Co/Ni/TiN, structure show less difference. Also junction leakage is good.

I. 서론

게이트 크기가 100nm미만의 Nano-CMOS에서는 소스/드레인 간의 punch-through가 증가하고 문턱전압이 급격히 낮아지는 SCE가 커지게 되는 데 이를 억제하기 위해서는 접합깊이를 최대한 낮추어야 하고 이러한 Ultra Shallow junction이 급격한 형태로(abrupt) 형성됨에 따라 누설전류가 커지게 된다. 더욱이 여기에 High-Speed 구현을 위해서 실리사이드를 형성시켜야 하는데 실리사이드 두께가 두꺼워지면 누설전류가 급격히 증가하여 Off-state Power를 증가하게 되고, 너무 얇게 되면 Poly 면저항이 증가하여 소자의 속도를 떨어뜨리게 된다. 현재 0.13 μm CMOS Technology까지는 Co-Silicide가 주로 사용되고 있으나, Co-silicide가 Si 소모율이 크고 100 nm미만의 선 폭에서는 응집이 쉽게 발생하여 면저항이 증가하는 등의 문제점이 대두되어 NiSi이 대체 기술로 많은 연구가 진행되고 있다[1,2,3,4]. 실리사이드의 특성은 누설전류와 면저항으로 크게 나누어 볼 수 있는데

게이트에서는 면저항이 중요하고 소스/드레인에서는 누설전류의 특성이 중요하다. 따라서 poly의 면저항이 active보다 더욱 의미를 갖는데 이는 로직 소자의 속도를 결정하는 게이트 RC delay로 결정하는 함수의 요소이기 때문이다. 본 논문에서는 100nm 급 nano CMOS에 적용할 수 있는 Ni-Silicide 기술개발을 주 목적으로 하여 이를 위해 700 °C, 30min의 열적 스트레스에도 안정한 NiSi 특성을 확보하고 dopant에 따른 특성을 분석하고 실제 CMOS에 적용 시키고자 한다.

II. 본론

ULSI 공정을 거친 CMOS 소자에 Ion Beam Sputter를 이용하여 base pressure 10^{-7} Torr에서 니켈을 증착 하였다. 준비된 시편을 10^{-2} torr의 진공도 내에서 500°C, 30초간 급속열처리하여 실리사이드를 형성시켰다. 니켈의 대부분은 실리사이드 형성에 소모되지만 일부는 반응하지 않고 남아있으므로, 반응하지 않은 니켈은 살리사이드(SALICIDE) 공정의 목적에 맞게 선택적인 에칭으로 제거해야 한다. 본 실험에서는 염산+과산화수소+DI를 1 : 1 : 4로 혼합하여 니켈의 에칭액으로 사용하였으며, Capping layer인 TiN인 경우에는 황산과 과산을 혼합하여 사용하였다.

니켈150Å을 증착하고 500 C, 30초간 급속열처리를 실시한 후 면저항은 그림 1 과 같이 모든 선 폭에 대해서 매우 일정한 값을 갖으며 실리사이드 두께에 따라서 열 안정성이 많은 의존성을 보임을 알 수 있으며, 특히 poly가 높은 면저항을 갖음을 나타내고 있다. poly에서 보던 불순물이 없는 Undoped poly에서 700도 30분 열처리 후 면저항이 측정되지 않았다. N-poly 보다는 P-poly에서 더욱 면저항이 증가하여 열 안정성이 n형 poly보다 p형 poly에서 더욱 떨어짐을 볼 수 있다. Active를 살펴보면 poly 특성과는 반대로 열처리 후

n-active와 Undoped active는 면저항이 측정되지 않을 정도로 열화 되었는데 이는 그림 2의 XPS 분석 결과 As이 주입된 시편에서는 700 °C 열처리 후 이상산화로 인해 실리사이드의 열화가 촉진되었음을 알 수 있다. N-type보다는 p-type이 열 안정성 면에서는 더 안정적인데 이는 p형 불순물로서 BF₂의 fluorine이 grain 또는 silicon/silicide 계면에 존재함으로써 grain의 성장을 억제 시키기 때문이다[5,6].

그림 3의 누설전류를 보면 area는 1.6 V에서 볼 때 1 fA, Peri type에서는 10 fA 정도 값을 갖는데 열처리 후에는 전보다 누설전류가 증가하였다. 열처리로 인해 실리사이드의 계면 특성이 열화 됨으로써 누설전류가 증가한다[7,8,9].

이처럼 열에 약한 니켈 실리사이드의 열 안정성을 향상시키기 위해 그림 4와 같이 코발트 mid layer(Ni/Co/Ni/TiN)를형성 함으로써 열 안정성을 매우 향상하였다. 코발트를 interlayer(Co/Ni/TiN)로 사용하였을 때는 n,p-poly의 면저항 차이가 선 폭이 작아 질수록 급증하였으나 코발트 mid layer에서는 poly에서의 면저항 차이가 감소하였다. 모든 불순물에 대해서 poly, active 모두 700도 30분 열처리 후 면저항이 안정적인 것으로 나타났다. Ni/Co/Ni/TiN구조에서도 불순물에 대한 경향은 같게 나타났다. Undoped 는 열적으로 가장 불안하고 N active는 이상산화로 더 빨리 열화 된다. 따라서 700도는 약간 불안하여 650도에서의 열 안정성에 대해서 검증해 보기 위해 650도에서 30분 열처리를 실시하여 보았다. 700 °C에 비해서 매우 안정적인 것을 그림 4에 (c)를 보면 알 수 있다. 그림 5의 누설전류는 열처리 후 감소하였다. 그림 6을 보면 열처리 후에도 응집이 발생하지 않고 안정적인 값을 알 수 있다. 소자에 직접 적용한 후 특성은 그림 7에서 보여주고 있다. Nano scale에서는 I_{off}가 급격히 증가하게 되는데 그림 7에서 보면 I_{off}가 1~3nA의 값으로 우수한 특성을 갖고 있다. I_{off}가 좋다는 것은 실리사이드가 잘 형성되었음을 간접적으로 말 해주고 있는 것이다.

III. 결론

열적 스트레스에 가장 약한 것은 불순물이 주입되지 않은 Undoped 이며, As 주입된 시편에서는 열 처리 후에 이상산화가 발생하므로 p-type보다는 더 낮은 온도에서 열화 된다. Ni70/Co10/Ni30/TiN100을 함으로써 650 °C, 30분에도 안정적이며 열처리 후 계면 특성도 개선되었으며 누설전류도 area, peri에서 단위 면적당 1fA이하를 갖는다. 우수한 열 안정성으로 700 °C 열처리 후에도 소자 특성이 열화 되지 않고 오히려 향상되었다. 열처리 후에 100nm이하에서 3nA의 I_{off}를 갖는

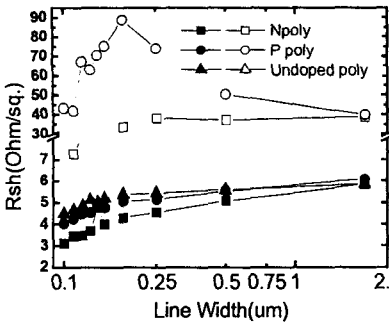
다.

Acknowledgments

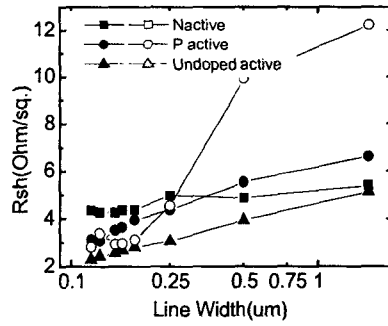
본 연구는 한국과학재단 목적기초연구(R01-2001-000-00323-0)지원으로 수행 되었음.

참 고 문 헌 (Reference)

- [1] T. Morimoto, T.Ohguro, H. S. Momose, T. Iinuma, I. Kunishima, K. Suguro, I. Katakabe " Self-Aligned Nickel-Mono-silicide Technology for High-speed Deep Submicrometer Logic CMOS ULSI" EEE Trans. Electron Devices. p 915, 1995.
- [2] T. Morimoto, H.S. Momose, T. Linuma, I.Kunishima, K. Suguro, H. Okano, I. Katakabe, H.Nakajima, M. Tsuchiaki, M. Ono, and O. Kwai, "A NiSi SALICIDE technology for advanced logic devices", IEEE IEDM , p 653, 1991.
- [3] M. C. Poon, F. Deng, H. Wong, M. Wong, "Thermal stability of cobalt and nickel silicides in amorphous and crystalline silicon", IEEE , p 65, 1994.
- [4] T. Ohguro, S.I. Nakamura, Mitsuo Koike, T. Morimoto, A. Nishiyama. "Analysis of Resistance Behavior in Ti- and Ni- Salicided Polysilicon Film" IEEE Trans. Electron Devices. Vol. 41, No. 41. p 2305, 1994
- [5] B. Y. Tsui, M. C. Chen, "Role of fluorine atoms on the thermal stability of the silicide/silicon structure", J. Appl. Phys. Vol. 76(3), 1994.
- [6] A. S. W. Wong, D. Z. Chi, M. Loomans, D. Ma, M. Y. Lai, W. C. Tjiu, and S. J. Chua, "F-enhanced morphological and thermal stability of NiSi films on BF₂⁺-implanted Si(001)", Appl. Phys. Lett. Vol. 81, No. 27, p 5138, 2002.
- [7] E. G. Colgan, J. P. Gambino, B. Cunningham, " Nickel silicide thermal stability on polycrystalline and single crystalline silicon", Material Chemistry and Physics 46, p 209, 1996.
- [8] J. P. Gambino, E. G. Colgan, "Silicides and ohmic contacts", Materials Chem. And Phy., p99, 1997.
- [9] C. H. Choi, T. Y. Seong, K. M. Lee, J. H. Lee, Y. J. Park and H. D. Lee, "Abnormal Junction Profile of Silicided p+/n Shallow Junctions: A Leakage Mechanism", IEEE Elec. Devices Lett. , Vol. 23, No. 4, 2002.



(a) poly



(b) active

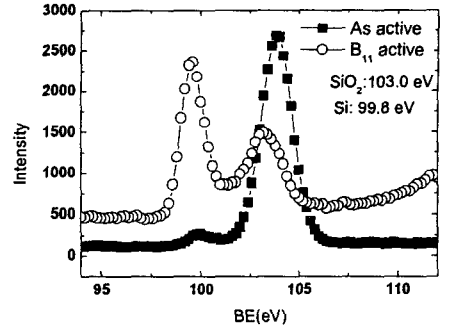
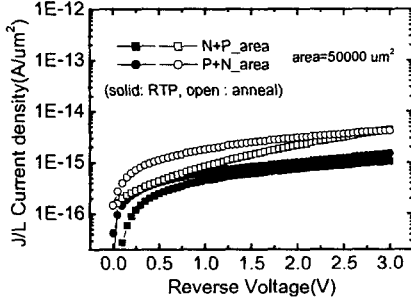
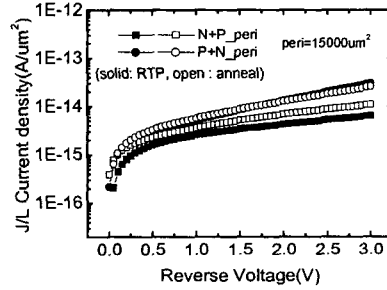


그림 2. 이상산화된 n-active (As doped)에 대해 700 °C, 30분 열처리 후 XPS 표면 분석

그림 1. Ni 150 Å에 대한 선 폭에 따른 면저항 특성 (solid: RTP 500도 30초, open: Anneal 700도, 30분)

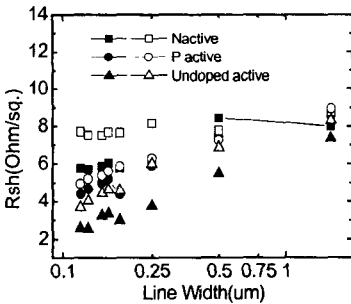


(a) area

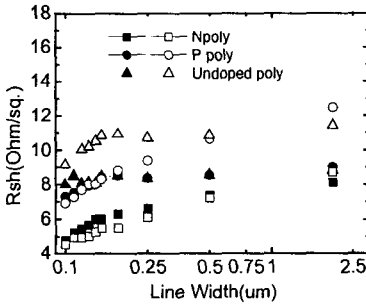


(b) peri

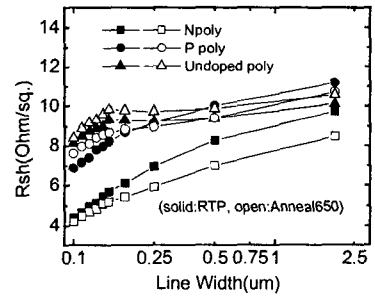
그림 3. Ni 150 Å에 대한 누설전류 (solid: RTP 500도 30초, open: Anneal 700도, 30분)



(a) active 700 °C, 30분

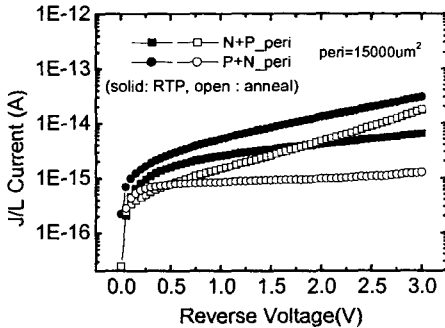


(b) poly 700 °C, 30분

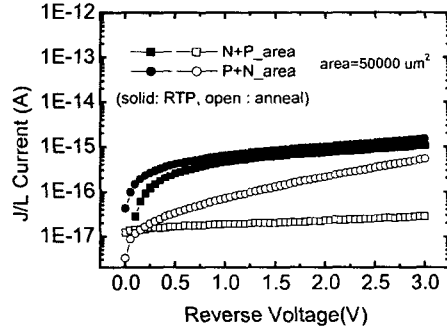


(c) poly 650 °C, 30분

그림 4. Ni70/Co10/Ni30/TiN100에 대한 면저항 특성 (solid RTP, open: 열처리)



(a)peri



(b)area

그림 5. Ni70/Co10/Ni30/TiN100에 대한 누설전류 (solid: RTP, open: 열처리)

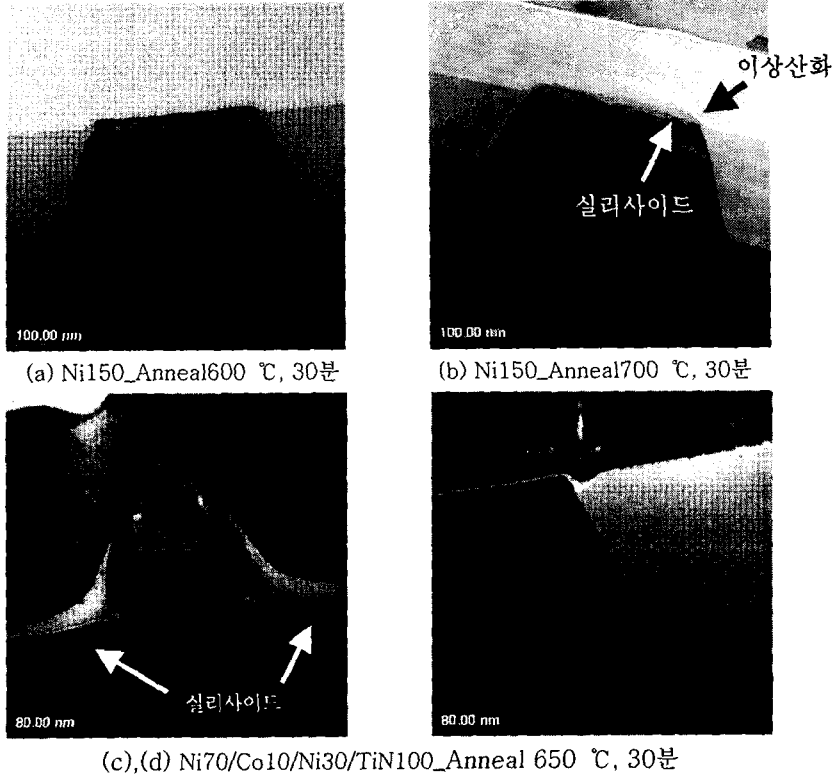


그림 6. Ni70/Co10/Ni30/TiN100에 대한 열처리 후(650 °C, 30분) 0.11 μm NMOS 단면 TEM사진

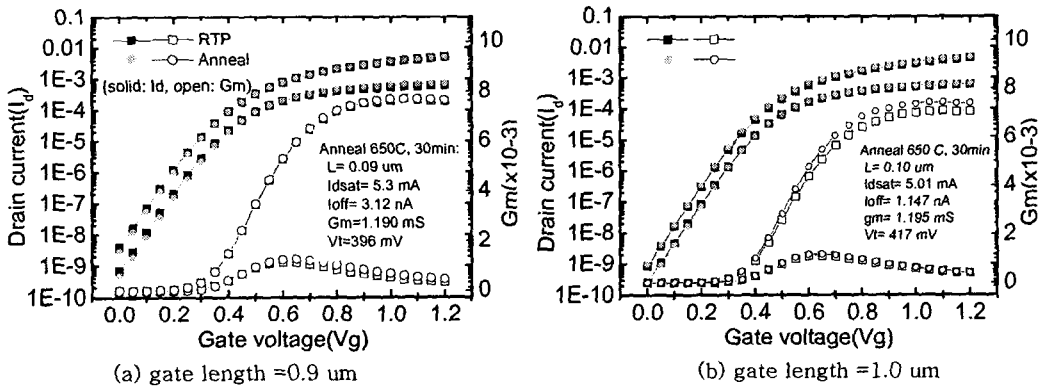


그림 7. Ni70/Co10/Ni30/TiN100에 대한 gate length= 0.9, 0.1 μm 의 NMOS(width = 10 μm) 특성 측정.
(a) gate length = 0.9 μm , (b) gate length = 1.0 μm