

Co-interlayer 와 TiN capping 을 적용한 니켈실리사이드 의 0.1um CMOS 소자 특성연구

오순영, 지희환, 배미숙, 윤장근, 김용구, 황빈봉, 박영호, 이희덕, 왕진석
충남대학교 전자공학과

Characterization of Ni SALICIDE process with Co interlayer and TiN capping layer for 0.1um CMOS device

Soon-Young Oh, Hee-Hwan Ji, Mi-Suk Bae, Jang-Gn Yun, Bin-Feng Huang, Yong-Goo
Kim, Young-Ho Park, Hi-Deok Lee, Jin-Suk Wang
Dept. of Electronics Engineering, Chung-Nam National University
E-mail : syoh29@pony.cnu.ac.kr

Abstract

본 논문에서는 Cobalt interlayer 와 Titanium Nitride(TiN) capping layer 를 Ni SALICIDE 의 단점인 열 안정성과 sheet resistance 와 series 저항을 감소시키는데 적용하여 0.1um 급 CMOS 소자의 특성을 연구하였다. 첫째로, Ni/Si 의 interface 에 Co interlayer 를 증착하여 Nickel Silicide 의 단점인 열 안정성 평가인 700℃, 30min 의 furnace annealing 후에 낮은 sheet resistance 와 누설전류를 줄일 수 있었다. 두번째로, TiN capping layer 를 적용하여 실리사이드 형성시 산소와의 반응을 막아 실리사이드의 표면특성을 향상시켜 누설전류의 특성을 개선하였다. 결과적으로 소자의 구동전류 향상, 누설전류 저하, 낮은 면저항으로 소자의 특성을 개선하였다.

I. 서론

소자의 scaling down 으로 Source/Drain 및 Gate 의 면저항과 contact 저항을 최소화 시켜야지만 RC delay 를 감소시켜 소자의 speed 를 향상 시킬 수 있게 되므로 SALICIDE(Self-Aligned Silicide)를 필수로 사용되고 있다.[1] 특히, Shallow Junction 에 적합한 실리사이드[2-3]

물질 중에 Ni Silicide 는 소스와 드레인 및 게이트의 contact 저항과 series 저항을 감소시키는데 Titanium(Ti), Cobalt(Co) 같은 금속을 이용한 실리사이드의 장점을 갖으면서 단점[4]을 보완할 수 있는 물질로 Shallow Junction 에 적합한 낮은 형성온도(400-700℃)와 낮은 Si 소모율, film stress, 낮은 Resistivity(~14uOhm·cm)를 가지며 선평에 대한 의존성이 없어 100nm 미만의 차세대 CMOS 공정에 적합하다. 하지만, 고온의 후속 열처리 공정에 높은 비저항을 갖는 NiSi₂(di-Nickel Silicide)로 Phase Transition 이 용이하고 불 균일한 Silicide/Si 계면 상태를 유발하여 결과적으로 면저항을 증가시키고 J/L Current 를 증가시키게 되는 낮은 열 안정성의 단점이 있다. 이를 해결하기 위하여 PAI(Pre-amorphization Implant), Interlayer, Capping layer, doping 등 여러가지 연구[5-7]가 진행되고 있으며 본 논문에서는 Nickel 보다 열 안정성이 좋은 금속을 이용하는 방법 즉, Co-interlayer 와 TiN capping 을 제안하였다. TiN capping 은 후속 공정시 응집현상을 촉진시키는 산소와의 반응을 막아주는 확산 방지층으로 실리사이드가 열화 되는 것을 막아 계면 특성을 개선시키고[8], Co-interlayer 는 후속 열 처리후 면저항 증가, silicide layer 의 단결 현상등을 열 안정성이 우수한 Cobalt 를 Nickel 증착 전에 얇게 증착하여 Ni Silicide 에 실리콘의 공급을 억제 시킴으로

써 Ni mono-silicide 에서 Ni di-silicide 로의 상 변환을 늦춰 실리사이드의 응집현상을 억제 시킴으로써 Ni Silicide/Si 의 계면 특성과 낮은 열 안정성을 개선하려 한다.

II. 실험 방법

2.1 시편 제작

실험을 위한 시편제작은 준비된 패터닝 웨이퍼를 회석 시킨 불산(HF:DI water=1:100)에 30sec 동안 담가 자연 산화막(native oxide)을 제거하였다. 자연 산화막을 제거한 시편은 탈 이온수로 3 회이상 세정하여 HF 기를 완전히 제거하고 또한 표면의 수분을 N₂ 가스로 건조시켰다. 준비된 시편을 RF Magnetron Sputter 를 이용하여 Co, Ni, TiN 을 순차적으로 패터닝 웨이퍼위에 아르곤 가스(99.999%)를 이용하여 증착 하였다. 이렇게 증착된 시편의 구조는 Ni/Co/Si, TiN/Ni/Co/Si 이다. 이때 실험조건으로 초기진공은 초고진공(Ultra High Vacuum) 5×10^{-7} Torr 이고 동작압력(working Pressure)은 1mTorr 를 유지하였다. Target 표면의 산화막과 불순물을 제거하기위해 pre-sputter 를 200W 에서 5 분간 실행한 후 main sputter 를 100W 에서 Ni100Å2 분, Co10Å 45 초 실행하고 TiN100Å 은 200W 에서 5 분 30 초 실행하였다. 금속 박막의 균일한 증착을 위하여 sputter 시 웨이퍼 홀더를 회전시켜 최대한 박막이 균일하게 증착 되도록 하였다. 실리사이드를 형성하기 위해 준비된 시편을 급속 열처리(RTP: Rapid Thermal Process)를 하였다. 급속열 처리시 시편을 홀더에 장착한 후 N₂ 가스로 퍼징후 30mTorr 의 저진공 상태에서 2step RTP(1st:500°C, 60 초, 2nd: 600°C, 30 초)를 실행하여 실리사이드를 형성하였다. 이렇게 형성된 실리사이드 외에 반응하지 않은 금속은 염산 혼합액(HCL : H₂O₂ : DI = 1 : 1 : 4)과 티안 혼합액(H₂SO₄ : H₂O₂ = 4 : 1)으로 제거하고, 선택적 에칭을 한 후 NiSi 의 열안정성(Thermal Stability)를 확인하기 위한 고온로 열처리(Furnace Annealing)을 실시하였다. 온도에 따른 안정성을 평가하기 위해 N₂ 분위기(고순도 질소:HP N₂ 99.99%)에서 700°C 30 분간 고온로 열처리를 하였다. 이때 열에 의한 stress 를 최소화 하기위해 시편 로딩시 예열시간을 두어 최소화 하였다.

2.2 실리사이드 특성 측정 및 분석

본 절에서는 앞 절에서 제작된 시편의 실리사이드

특성을 측정된 방법과 분석에 대해 설명한다. 금속 박막의 두께, 실리사이드의 두께와 계면 특성은 Alpha Step500(충남대 공동실험실습관)과 FESEM(Field Emission Scanning Electron Microscopy : 한국기초과학지원연구원 전주분소, 모델명:S-4700))을 이용하여 확인하였다. 급속 열처리(RTP)후, 그리고 열 안정성 확인을 위한 고온로 열처리 공정후의 실리사이드의 두께와 계면 분석도 관찰하였다. 실제 소자에 적용된 0.13um 의 MOS 에 형성된 실리사이드의 두께와 계면 특성을 위해 XTEM(Cross sectional Transmission Electron Microscopy) 으로 관찰하였다. 그리고 소자 특성 분석을 위한 Line Width 에 따른 면저항과 Junction Leakage Current 및 I_d-V_g 의 전기적 특성을 HP4156C 로 측정하였다.

III. 실험결과 및 고찰

그림 1 은 실리사이드된 n+p 접합 and p+n 접합에서 누설전류밀도 특성을 Ni/Co/Si 구조(open)와 TiN/Ni/Co/Si 구조(solid)에 대해 비교하였다.

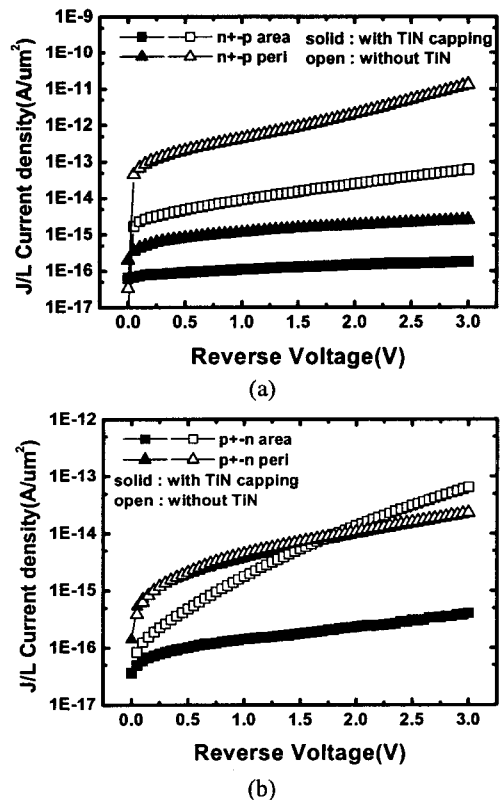


그림 1. 누설 전류 특성 곡선
(a) n+/p diod pattern (b) p+/n diod pattern

TiN capping (solid)을 적용한 니켈실리사이드의 단위 면적당 또는 단위 길이당 실리사이드가 형성된 areal 과 peripheral pattern 의 누설전류밀도는 각각 n+p 접합 (그림 1(a)에서 capping 을 적용하지 않은 구조(open)는 $7.18\text{fA}/\mu\text{m}^2$, TiN capping 적용시(solid) Areal leakage current density 는 $0.13\text{fA}/\mu\text{m}^2$ 로 대략 17%정도 감소하였다. Peripheral leakage current density 는 $0.68\text{pA}/\mu\text{m}^2$ 에서 $0.96\text{fA}/\mu\text{m}^2$ 로 감소하였다. P+n 구조(그림 1(b))를 비교해 보면 Areal leakage current density 는 $17.8\text{fA}/\mu\text{m}^2$ 에서 $0.13\text{fA}/\mu\text{m}^2$ 로 22%정도 감소하였고, Peripheral pattern 은 $4.84\text{fA}/\mu\text{m}^2$ 에서 $4.2\text{fA}/\mu\text{m}^2$ 로 감소하였다. 이로써 Co-inter layer 와 TiN capping 을 동시에 적용하였을 때가 Co-interlayer 만 적용한 경우보다 누설전류 측면에서 실리사이드의 소자특성을 향상시킴을 알 수 있다.

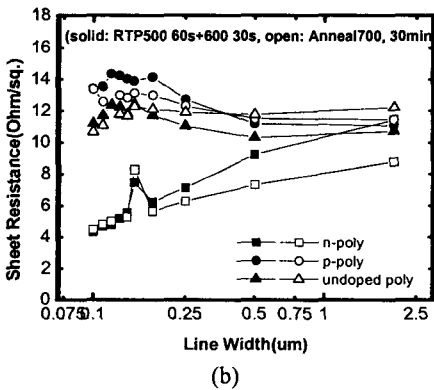
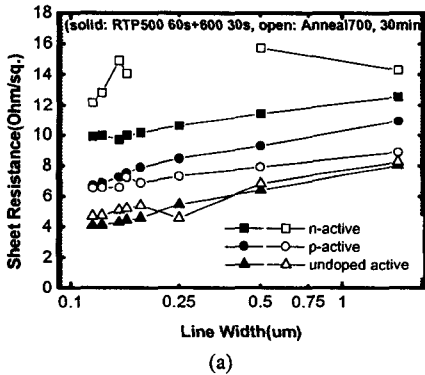


그림 2. 고온 열처리 전후의 면저항 비교 (solid : 고온 열처리 전, open : 고온 열처리 후) (a) active (b) poly

그림 2 에서는 누설전류 특성이 좋은 TiN/Ni/Co/Si 의 구조에 대한 실리사이드의 면 저항과 고온 열처리

후의 면 저항 비교 이다. 열처리 후에도 n-poly, p-poly 모두의 경우 면 저항 증가 없이 일정하거나 낮아지는 것을 알 수 있다. 대부분의 경우 thermal 의 영향을 받은 면 poly 의 저항이 증가하여 소자의 RC delay 의 원인이 되어 소자의 speed 의 저하를 초래할 수 있는데 Co-inter layer 와 TiN 을 동시에 적용함으로써 이런 문제점을 해결할 수 있다. N-active 의 경우에만 고온 열처리 후 면 저항이 급격히 증가하는 현상이 발생하였는데 이는 n-type dopant 인 As 에 의한 열처리 공정중 이상산화현상으로 실리사이드 층 위로 산화층이 생성되어 면저항이 급격히 증가한것으로 보인다.

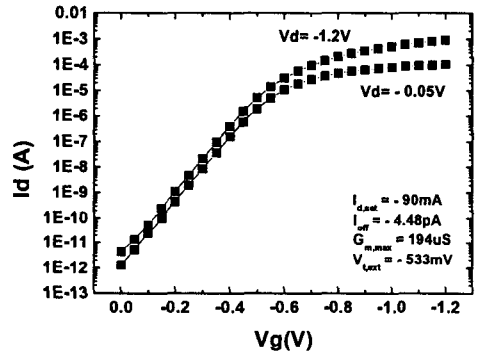


그림 3. Id - Vg 특성 곡선 (W/L = 10 / 0.13)

그림 3 은 0.13um pMOS 소자의 Id - Vg 곡선이다. Saturation current 는 90mA, off current 는 4.4pA, DIBL 은 20nA/10um 에서의 $V_{t,lin}$ 과 $V_{t,sat}$ 의 차이로 40mV 정도이다.

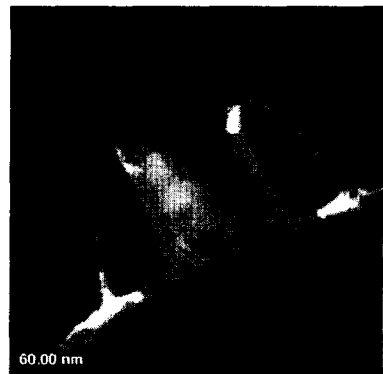


그림 4. 0.13um nMOS 소자 단면도(XTEM image)

그림 4 는 본 연구에서 Nickel Silicide 를 적용한 0.13um nMOS 소자를 XTEM 이미지로 관찰하였다.

V. 결론

본 연구에서는 니켈실리사이드에 Co-inter layer 를 적용한 경우와 Co-inter layer 와 TiN capping 을 동시에 적용한 경우에 대해 비교 연구하였다. 그 결과 동시에 적용한 경우에 첫째로, p+n pattern 의 누설전류 특성이 대략 10% 이상 향상되었다. 둘째로, 면저항 특성 또한 열 안정성 평가후에 안정함을 확인하였다. 이로써 Cobalt 의 장점인 열 안정성을 니켈실리사이드에 적용하였고, TiN capping 의 효과로 계면 특성과 누설전류 특성을 향상시켜 Nickel Silicide 의 단점을 개선하였다.

- [6] M. A. Nicolet, and S. S. Lau, "Formation and characterization of transition-metal silicides", VLSI Electronics Microstructure Science, vol.6, ch6, Academic Press, p.346,358,457, 1983
- [7] D. Z. Chi, D. Mangelinck, S. K. Lahiri, P. S. Lee and K. L. Pey, "Comparative study p+n diodes", Appl. Phys. Lett. 78, p.3256, 2001
- [8] C. detavernier, R. L. Van Me'irhaneghe, F. Cardon, R. A. Donaton, K. Maex, "The influence of Ti capping layers on CoSi₂ formation", Microelectronic Engineering 50, pp.125-132, 2000

Acknowledgments

- 본 연구는 한국과학재단 목적기초연구(R01-2001-000-00323-0)지원으로 수행 되었습.

참고문헌

- [1] S. P. Murarka, "Silicides for VLSI Applications", ACADEMIC PRESS, INC., pp.9-14, 1983
- [2] T. Morimoto, H. S. Momose, "A NiSi salicide technology for advanced logic devices", International Electron Devices Meeting Technical Digest, pp.653-656, 1991
- [3] J. S. Maa, D. J. Tweet, Y. Ono, L. Stecker, and S. T. Hsu, "Salicidation process using NiSi and its device application", Mat. Res. Soc. Symp. Proc. 670, K6.9.1, 2001
- [4] T. H. Hou, T.F.Lei and T. S. Chao, "Improvement of junction leakage of nickel silicided junction by a Ti-capping layer", IEEE Electron Device Lett. 20, p.572 , 1999
- [5] T. Ohguro, S. Nakamura, E. Morifuji, M. Ono, T. Yoshitomi, M. Saito, H. S. Momose and H. Iwai, "Nitrogen-doped nickel monosilicide technology for deep submicron CMOS salicide", IEDM Tech. Dig., p.453, 1995