

Binary CDMA 를 위한 고속 코릴레이터 설계

구군서, 정우경, 문장식*, 류승문*, 이용석

연세대학교 전기전자공학과

*㈜카서

전화 : 02-2123-2872

Design of High-Speed Correlator for a Binary CDMA

Gun-Seo Koo, Woo-Kyeong Jeong, Jang-Sik Moon*, Seung-Moon Ryu*, Yong-Surk Lee

Dept. of Electrical & Electronic Engineering, Yonsei University

*CASUH Ltd.

E-mail : thiskoo@dubiki.yonsei.ac.kr

Abstract

This paper describes a high speed correlator that can acquire synchronization quickly. The existing addition algorithm is a binary adder tree architecture that will result in extremely slow speed of operation due to many levels of logic required for computation of correlation[2][3]. This paper suggests the new various architectures, which are systolic array architecture, simple pipeline architecture and block systolic array architecture[4][5]. The acquisition performance of the proposed architectures is analyzed and compared with the existing architecture. The comparison results show that the systolic array architecture and the block systolic array architecture reduce the timing delay up to 73% and 31%, respectively. And the results show that the simple pipeline architecture reduces the timing delay up to 53%..

I. 서론

코릴레이터는 디지털 통신 시스템에서 필수적인 요소이다. 스프레드 스펙트럼 시스템에서 코릴레이터는

들어오는 데이터 스트림과 고정된 길이의 미리 정의된 골드 코드 사이의 코릴레이션 값을 계산해준다. 이 코릴레이션 값이 출력 데이터를 추정하기 위해 사용된다. 본 논문에서 기술된 코릴레이터는 특별히 Binary CDMA 방식을 위한 것이다. Multi-code CDMA 시스템은 고속의 데이터를 전송하는데 적합한 방식이지만 신호 레벨의 변화가 크므로 송수신기가 선형적으로 동작해야 하므로 회로가 복잡해진다는 단점이 있다[6]. Multi-code CDMA의 출력이 멀티레벨이 됨으로써 순간 진폭 변화가 매우 크게 나타나는 문제를 해결하기 위하여 출력신호를 항상 바이너리 형태로 만들어 줌으로써 변복조 회로가 간단하여지고, 출력단에 선형 증폭기의 사용을 배제할 수 있는 장점이 있는 Binary CDMA 방식이 제안되었고, 이를 구현하기 위한 방법으로 Pulse Width(PW)/CDMA, Multi-Phase(MP)/CDMA, Code Select(CS)/CDMA의 세 가지 방식이 있다[1]. 각각의 신호 방식은 Multi-code에 의한 전송 신호 크기를 각각 펄스 폭(PW/CDMA), 위상 값(MP/CDMA), 특정 코드 선택(CS/CDMA)으로 처리를 해주는 방식이다[7][8][9]. 본 논문의 내용은 다음과 같이 구성되어 있다. 2장에서는 코릴레이션 연산을 하는 기존 방식에 대해 설명

하고 기존 방식의 문제점을 제기한 후 문제점 해결을 위한 새로운 세 가지 방식에 대해 설명을 하고, 3 장에서는 기존 방식과 새로운 세 가지 방식의 합성 결과를 그래프를 이용하여 비교하였고, 마지막으로 4 장에서 결론을 도출하였다.

II. 코릴레이터의 설계

그림 1 은 128bit 의 확산 코드 길이를 가지는 코릴레이터의 전체 구조를 보여준다. 코릴레이터는 데이터 시프트 레지스터, 레퍼런스 패턴 레지스터, 마스크 레지스터, Correlation Summing Network, Compare Logic, Control Logic 으로 이루어져있다.

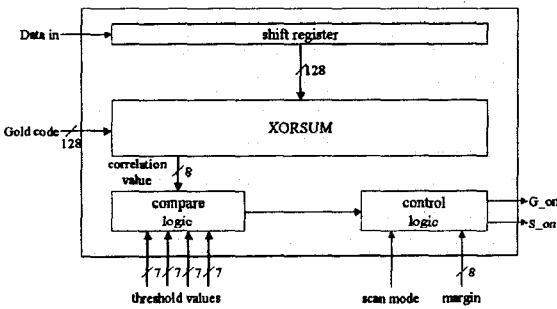


그림 1. 코릴레이터 전체 구조

코릴레이터의 동작 방식은 코릴레이터의 시프트 레지스터에 저장된 데이터 샘플들(Data in)과 레퍼런스 패턴 레지스터에 저장된 128bit의 골드 코드(Gold code)와 bitwise XOR연산을 수행한 값을 입력으로 7-step의 Adder Network을 거친 결과인 코릴레이션 값(Correlation value)을 네 가지의 Threshold 값들(Threshold values)과의 비교를 통해 동기를 검출하게 된다. Threshold 값은 Detection의 가능성과 false alarm rate를 결정해준다.

2.1 기존 구조

그림 2 는 기존의 방식인 바이너리 애더 트리 구조를 보여준다. 이 구조는 bitwise XOR 연산을 수행한 값

들을 마지막 클럭에 덧셈기 트리를 사용하여 한꺼번에 더해서 코릴레이션 값을 계산하는 방식이다.

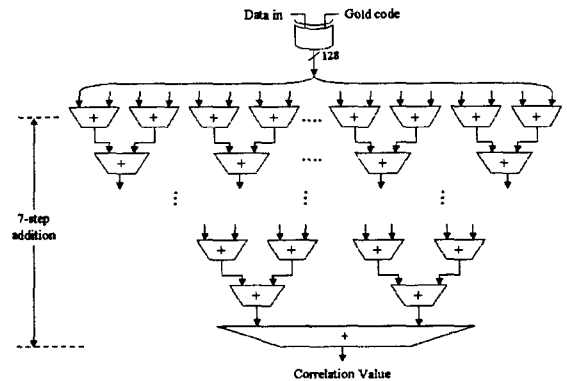


그림 2. 바이너리 애더 트리 구조

이 구조는 코릴레이션 값을 구하기 위해 여러 단의 Addition을 거쳐야 하므로 속도가 매우 느리다. 표 1 은 기존 방식의 2.7V Power Supply, Worst Case Process, 85°C의 최악 조건에서의 합성 결과를 보여준다. 기존의 방식은 코드 길이가 늘어날수록 면적이 두 배씩 증가하게 되고 지연시간도 크게 증가하는 단점을 보여주고 있다. 이러한 단점을 보완해주기 위해 본 논문은 다음과 같은 세 가지의 새로운 구조를 제안하였다.

표 1. 기존 구조의 합성 결과

코드 길이	Equivalent Gates (2-input NAND)	Delay Time(ns) (2.7V, 85°C)
64bit	2273	10.74
128bit	4058	13.25
256bit	7179	14.90
512bit	17541	18.45

2.1 기존 구조

A. Systolic Array 구조

그림 3 은 새로운 구조의 첫 번째 방식인 Systolic Array 구조를 보여준다. 이 구조는 매 클럭 입력되는

데이터를 연산하여 파이프라인을 통해 전달하는 구조이다. 이 구조는 각 스테이지에서 현재까지 누적된 중간 결과를 저장하고 매 클럭마다 한 비트의 입력에 대해 1bit 를 가산할 수 있는 애더 만으로 연산이 가능하므로 연산 속도가 매우 빠른 장점을 가지고 있다.

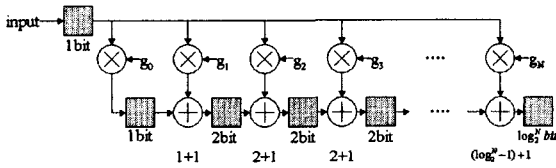


그림 3. Systolic Array 구조

B. Simple Pipeline 구조

그림 4는 새로운 구조의 두 번째 방식인 기존 모델의 중간에 파이프라인 스테이지를 추가한 구조를 보여준다. 이 구조는 최종 데이터가 샘플링 되기 이전 클럭에서 N-1 까지만의 입력으로 코릴레이션 값을 계산하여 중간 계산 결과를 레지스터에 저장하고, 그 다음 클럭에 최종 데이터가 샘플링 되던 N 번째 비트와 중간 계산 결과를 합산하여 최종 코릴레이션 값을 계산하는 구조이다.

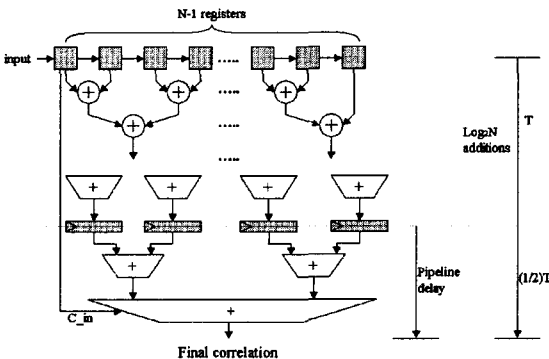


그림 4. Simple Pipeline 구조

C. Block Systolic Array 구조

그림 5는 새로운 구조의 세 번째 방식인 M bit 단위

로 한꺼번에 연산을 해서 파이프라인 시키는 구조이다. 이 구조는 매 사이클을 연산하여 파이프라인 시키는 Systolic Array 방식에서의 중간 결과 저장을 위한 레지스터가 큰 폭으로 증가하는 단점을 보완해 주기 위해, 수 사이클마다 저장된 입력을 한꺼번에 계산해서 파이프라인 시키는 구조이다.

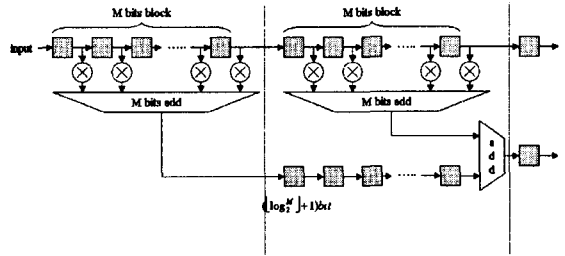
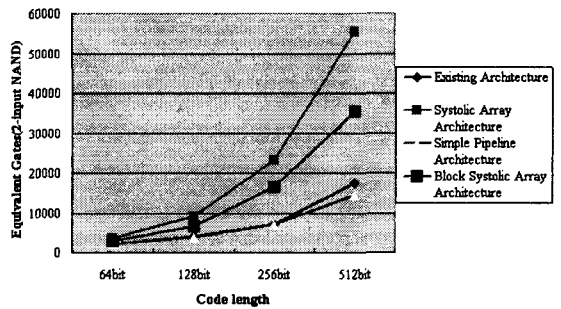


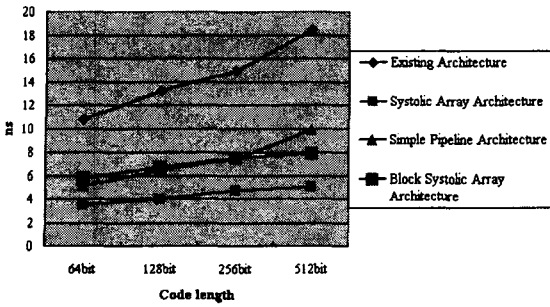
그림 5. Block Systolic Array 구조

III. 합성결과 비교

그림 6은 기존 구조와 본 논문이 제안한 세 가지 새로운 구조의 합성 결과를 비교한 그림이다. 본 논문에서의 합성은 Synopsys Design Compiler를 사용해서 0.35um, CMOS standard cell library로 2.7V Power Supply, Worst Case Process, 85°C의 최악 조건에서의 결과이다.



(a) Area 비교



(b) Timing 비교

그림 6. 기존구조와 새로운 구조의 합성결과 비교

그림 6의 합성결과 비교 그래프를 보면, Systolic Array 구조는 기존 모델에 비해 속도가 매우 빠름을 보여 주었지만 코드 길이가 늘어날수록 면적이 매우 크게 증가하는 단점도 보여주었다. 기존 모델의 중간에 파이프라인 스테이지를 추가한 구조는 기존 모델에 비해 속도도 빠름을 보여주었고 면적도 작게 나타남을 보여주었다. Block Systolic Array 구조는 기존 모델에 비해 속도가 빨랐고 Systolic Array 구조에 비해서 면적은 줄어들었지만 딜레이가 증가하는 결과를 보여주었다.

IV. 결론

본 논문에서 제안된 세 가지 구조 모두 기존 구조에 비해 딜레이를 크게 줄일 수가 있었다. 가장 빠른 회로는 Systolic Array 구조이지만, 코드 길이가 길어지면 면적이 너무 크게 증가하여 비현실적이다. 또한, Systolic Array 구조의 면적 증가를 완화시키고자 제안한 Block Systolic Array 구조는 Systolic Array 구조에 비해 면적을 줄이는 데는 성공했지만, Simple Pipeline 구조에 비해 딜레이가 길어지므로 Systolic Array 구조가 가지는 빠른 동작의 장점을 잃고 말았다. 반면, Simple Pipeline 구조는 기존 모델에 비해 50% 정도 딜레이를 줄이면서 면적도 같이 줄이는 전반적으로 우수한 결과를 보여주었다. 따라서 일반적인 경우에는 애더 트리 중간에 파이프라인을 삽입하는 Simple

Pipeline 구조가 가장 적합할 것으로 보인다. 본 실험 결과에서는 1 단의 파이프라인만 삽입하여 2 단으로 구성한 결과만을 보여주어 512bit 코드에서 Block Systolic Array 구조보다 느린 결과를 보여주고 있지만, 파이프라인 단 수를 늘림으로써 딜레이를 더 줄일 수 있을 것으로 생각된다.

References

- [1] 안호성, 류승문, 나성용, "Binary CDMA 소개", Proceedings of 12-th JCCI, Cheju
- [2] S. Sriram, K. Brown, and A. Dabak, "Low-power correlator architecture for wideband CDMA code acquisition", Signals, Systems, and Computers, 1999, Conference Record of the Thirty-Third Asilomar Conference on, Volume, 1, 1999 Page 125-129
- [3] W. Namgoong and T. Meng, "Power consumption of parallel spread spectrum correlator architectures", Proceedings of the 1998 international symposium on Low power electronics and design, 1998, Page 133-135
- [4] H. T. Kung, "Why systolic architectures?" Computer, vol. 15, pp. 37-46, Jan.1982.
- [5] D. T. Magill and G. Edwards, "Digital matched filter ASIC," Proc. IEEE MILCOM'90, pp. 235-238, Sep. 30 - Oct. 3, 1990.
- [6] S. Ramakrishna and J. M. Holtzman, "A Comparison between Single Code and Multiple Code Transmission schemes in a CDMA System", Proc. VTC98, 48th IEEE, Volume 2, 1998 Page 791-795
- [7] 류승문, 김제우, 문장식, 김효성, "PW/CDMA 와 DS/CDMA 의 성능 비교", Proceedings of 11-th JCCI, 2001
- [8] 홍인기, 안무건, 이원문, 류승문, "MP/CDMA 를 위한 신호 성상 설계", Proceedings of 12-th JCCI, 2002
- [9] CS/CDMA 방식 및 그것을 구현한 장치 (특허출원 번호 10-2001-0061738 호 : 2001.10. 8)