

A Novel 3-Level Transceiver using Multi Phase Modulation for High Bandwidth

Dae-Hee Jung, Jung -Hwan Choi*, Chan-Kyung Kim*, Chang-Hyun Kim* and Suki Kim

Department of Electronics Engineering
Korea University, Seoul, Korea.

Dram Design 3 Team, Memory Division, Device Solution Network,

Samsung Electronics*

Email: love.dh.jung@samsung.com

Abstract

The increasing computational capability of processors is driving the need for high bandwidth links to communicate and store the information that is processed. Such links are often an important part of multi processor interconnection, processor-to-memory interfaces and Serial-network interfaces. This paper describes a 0.11- μm CMOS 4 Gbps/pin 3-Level transceiver using RSL(Rambus Signaling Logic) for high bandwidth. This system which uses a high-gain windowed integrating receiver with wide common-mode range which was designed in order to improve SNR when operating with the smaller input overdrive of 3-Level. For multi-gigabit/second application, the data rate is limited by Inter-Symbol Interference (ISI) caused by low pass effects of channel, process-limited on-chip clock frequency, and serial link distance. In order to detect the transmitted 4Gbps/pin with 3-Level data successfully, the receiver is designed using 3-stage sense amplifier. The proposed transceiver employs multi-level signaling (3-Level Pulse Amplitude Modulation) using clock multi phase, double data rate and Prbs pattern generator. The transceiver shows data rate of 3.2 ~ 4.0 Gbps/pin with a 1GHz internal clock.

I. INTRODUCTION

시스템의 속도가 증가함에 따라서 반도체 칩 사이의 연결에서는 더욱더 빠른 데이터의 이동이 필요하게 된다. 따라서, 오늘날 Signaling 의 Bandwidth 를 높이려고 Multiple 레벨을 사용하는데 많은 관심을 가지고 있다. 하지만, Multi 레벨의 Signaling 를 샘플링 시 Transceiver 의 전압여유 및 잡음여유로 인하여 유효한 Data 마진을 획득하는데 어려움이 있으며, 일반적인 송수신기 System 에서는 1 개의 송수신기로 되어있어 궁극적으로 High Bandwidth 구현에 어려움을 겪고 있다. 본 논문에서는 단일 송수신기를 사용하여, 고속의 클럭 (CLK) 주파수로 편 당 데이터 율을 향상 시킨 기존의

데이터 복구방법 에서, 송수신기에 $0^\circ / 90^\circ$ 의 두개의 위상 차이를 두어 동시에 Channel 을 구동하고, 그 Channel Data 를 $0^\circ / 90^\circ$ 의 클럭(CLK)에 맞추어 동시에 입력을 받아서, Data 를 3 레벨 펄스 진폭 방식을 Rambus Signaling Logic: RSL 에 적용시키면서 더블 데이터 레이트(Double Data Rate: DDR) 방식을 이용하여, 4 배의 데이터율을 향상시킨 고성능 저 진폭 인터페이스를 위한 4 Gbps/pin 직렬 송수신기를 개발 하였다.

II. CHANNEL OPERATION

특히, 메모리용 송수신기에 있어서 High Bandwidth 로 얼마나 빠르고 정확하게 Data 를 송수신하는 것이 제일 중요하다. 따라서, 본 논문에서는 신호 전송방식 중 양방향 통신이 아닌 직렬 통신방법 중 새로운 3 레벨 Signaling 을 소개하려 한다.

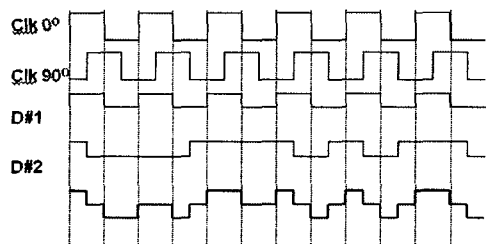


그림 1) 2 Transmitter 및 2 Receiver

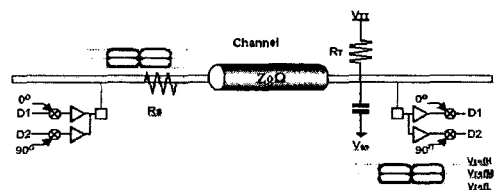


그림 2) 2 Channel Operation

그림 1은 송신기와 수신기를 2개씩 사용하며, 0° /90° 클럭(CLK)을 생성하여 Data를 전송하는 것을 나타낸다. 좀더 자세히 살펴보면, 0° 클럭(CLK)에서 Data가 전송이 되고, 90° 지연된 클럭(CLK)이 들어와서 다음 Data를 전송한다. 여기서, D1과 D2는 동일 동일 Transmitter에서, 출력되지 않아도 된다. 즉, Channel 상에서 2개의 Transmitter에서 Data를 실어서, 1개의 Receiver로 입력이 되어도 가능하다. 또한, 하나의 Transmitter에서 D1과 D2를 보내어 각기 다른 Receiver에서 수신하여도 된다. 물론 DDR이기 때문에 Even/Odd Data가 전송되는 것이다. Receiver 쪽에서 0° 클럭 (CLK)과 90° 클럭 (CLK)에 동기되어 Data를 샘플링 하게 된다. 여기서, 3레벨의 Data를 고속의 클럭(CLK)으로 샘플링 하기 때문에 Receiver의 설계시 정확한 샘플링 동작을 하기 위해서 전압 여유 및 잡음 여율을 고려한 설계가 중요하게 된다. 그림 2는 channel 상에서의 Data의 상태를 묘사한 것이다.

II 1.CHANNEL 상에서의 Signal

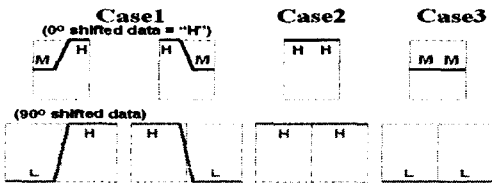


그림 3) 0° Shifted data가 "H"일 경우 (90° Shifted data) Channel에 나타난 Data

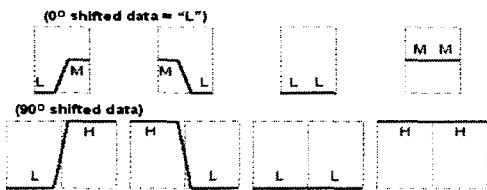


그림 4) 0° Shifted data가 "L"일 경우 (90° Shifted data) Channel에 나타난 Data

본 논문은 0° Clock 도메인에서 Data를 송수신하고 90° 지연된 Clock으로 동시에 Data를 송수신한다. 이때, Channel 상에서는 Data의 High나 Low의 상태에 따라 3레벨로 표현된다. 즉, 그림 3에서 보듯이, Case 1의 경우에는 0° Clock에서 송신한 Data가 High일 경우, 90° 만큼 지연된 Clock에서 송신한 Data가 High나 Low일 경우 Channel 상에서는 두 도메인 Data의 평균값인 High 또는 M(medium 레벨):(High+Low 레벨)로 나타난다. Case 2의 경우는 90° Clock 도메인에서 보낸 Data가 High일 경우, Channel 상에서는 High 레벨로 나타나며, Case 3의 경

우, 90° Clock 도메인에서 보낸 Data가 Low일 경우, High+Low 중간(Medium) 레벨이 나타난다. 이 경우가, 본 논문의 Input Receiver에서 제일 중요하게 처리해야 하는 부분이며, 뒤에 Input Receiver Block에서 자세하게 설명하겠다. 그림 4는 0° Clock 도메인에서 Data가 Low 레벨일 경우이며, Data가 High인 경우도 Data가 Low인 경우와 동일하게 그림 4처럼 나타난다.

Case1	0°Clock "H"	0°Clock "L"
90° H/L	H/M	M/L
Case2	0°Clock "H"	0°Clock "L"
90° H/H	H/H	M/M
Case3	0°Clock "H"	0°Clock "L"
90° L/L	M/M	L/L

그림 5) Channel Data Table
그림 5는 위의 결과를 표로 정리해 놓았다.

III. TRANSCIEVER ARCHITECTURE

III 1.TRANSITTER BLOCK

송신부는 칩 내부의 클럭 발진기를 이용하여 내부의 메모리에서의 출력 Data와 위상을 동기 시키고 송신용 클럭(CLK)을 0° /90° 클럭(CLK)을 위상분할기를 통하여 생성한다. 송신기의 구조를 설명하면, PRBS Patten Generator, 클럭(CLK) 발생기, Output Mux, Output Driver로 구성이 되어 있다. 클럭(CLK) 발생기는 외부 클럭(CLK) 500MHz를 PLL를 이용하여, X2 배하여 1GHz이 Clock를 만든다. Chip 내부에서는 1GHz 클럭으로 동작을 한다. 또한, PRBS Pattern Generator는 2¹¹ bit의 Random Data를 발생시킬 수 있다. PRBS Pattern Generator에서 온 Data를 외부클럭(CLK) 500MHz의 클럭(CLK)에 동기시켜, DDR 방식으로 Even/Odd Data를 Mux에서 선택한다. Output Driver는 Open Drain 방식의 RSL(Rambus Signal 레벨)을 채택했으며, 종단을 28Ω Termination 함으로써, Small Swing (800mv)로 High Speed Signal 전송을 할 수 있으며, 또한, Impedance Matching을 함으로써, 반사파에 의한 왜곡 현상도 해결하였다. 그림 6은 송신기의 Diagram을 나타낸다.

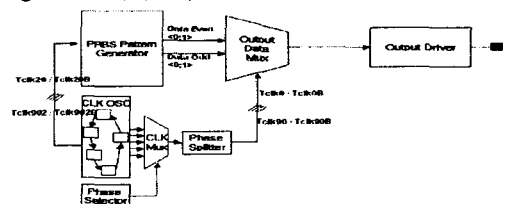


그림 6) Transmitter

III.2 RECEIVER BLOCK

수신부는 채널에서 들어온 3 개이 기준전압을 중심으로 Data 를 샘플링하게 된다. 수신부는 EVEN /ODD 로 나누어 지고 0° /90° 클럭(CLK)에 동기되어 각각의 기준전압 레벨이 채널 Data 스윙 레벨을 정확히 구별 할 수 있게 전압여유를 가지고 있어야 검출 오류를 최소화 할 수 있다.

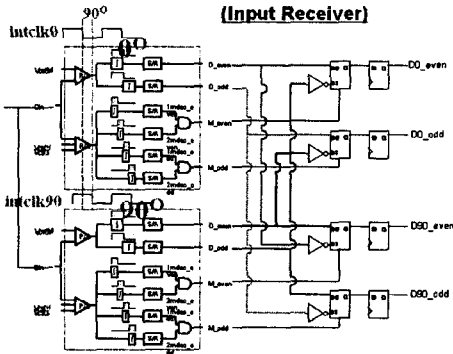


그림 7) Input Receiver

그림 7 에 Receiver Block 을 좀 더 자세히 설명 하면, Transmitter 단에서 송신한 3 레벨 신호를 Differential type 의 PreAmpM 와 Folded type 의 PreAmp 가 3 개의 기준전압 ($V_{refH}=1.6v / V_{refM}=1.4v / V_{refL}=1.2v$)과 비교하여 신호를 판별하게 된다. 일단은 0° Clock 도메인에서 Receiver 의 동작을 설명해 보기로 하자. 3 레벨의 신호 중, High 레벨($V_{refH}=1.6v$ 이상)이나 Low 레벨($V_{refL}=1.2v$ 이하) 신호가 Input Receiver 에 들어오면, Differential Type 의 PreAmpM 이 동작하여, Clock 의 반주기 동안 Integration 동작을 하며, (Precharge Clock 이 High 동안 Precharge 동작을 하며, Low 인 구간에서 Integration 동작을 수행한다.) S/A(Sense Amplifier) Block 에서 신호를 좀 더, 확실하게 구별한다. 그 다음 마지막으로 Mux 단에서 Even/Odd data 를 선택하여 Re ceiving 동작을 완료 한다. 다음에는, 본 논문에서 관심을 갖는 Medium 레벨의 신호를 처리하는 방법에 대해 논하기로 하자. 일단 Medium 레벨의 신호가 들어오면, Folded type 의 PreAmp 가 그림 9 과 같이 동작한다. Ia 노드의 전류는 $2i$, Ib 의 노드는 i 가 흘러 Output 노드인 V_n 는 High 로 V_{nb} 는 Low 로 벌어지며, 이때 Integrator 는 $1/2bit$ time ($1/4$ 주기) 동안 integration 동작을 하며, 그림 10 에 Integrator 의 동작을 설명해 놓았다. 그리고, S/A(Sense Amplifier) 단에서 Sensing 된 data 는 And Gate 를 통과하여, M_even 이나, M_Odd 인 Medium detect 신호를 발생 시킨다. Medium detect 신호가 high 가 되면, Mux 단에서 Select 신호로 사용 되고, 이때, Medium 레벨의 data 를 감지하기 위해서, 90°

Clock 도메인에서 발생한 Odd data 를 inverting 함으로써, 최종 Receiver 단에서는 Medium 레벨을 인식 할 수 있다. 이때, Medium detect 신호의 rising edge 에 따라 Inverting 된 신호가 출력되고, falling edge 에 따라 0° Clock 도메인의 Odd data 가 출력되어 최종 적으로 Data 의 3 레벨 case 를 인식하게 된다. 본 논문에서는 Test 를 위해서 Receiver 뒷단에 다시 Transmitter 를 달아서, 그 Output 파형을 확인 하므로써, Chip 이 올바르게 동작 하는지 확인 할수 있게 설계하였다.

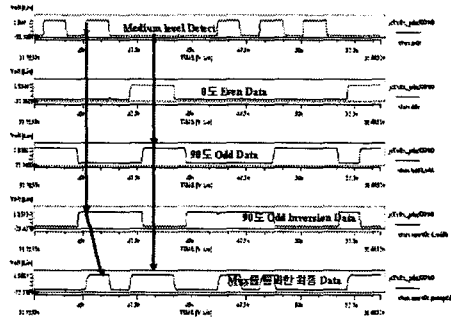


그림 8) Receiver Simulation Waves

그림 8 는 위에서 설명한 Medium 레벨 Data 를 Detect 하기 위한 Simulation 결과이다. 다음은 Receiver 제일 중요한 block 인 Pre Amplifier 와 Integrator 를 소개 하겠다

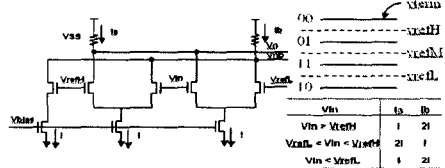


그림 9) Folded. Pre Amplifier

그림 9 은 Folded Pre Amplifier 의 회로를 나타내며, MSB 인 경우는 Differential Type 의 Pre Amplifier 써서, Data 와 V_{refM} 를 비교하며, LSB 인 경우는 Folded 방식의 Pre Amplifier 를 사용하여 Data 와 V_{refL} / V_{refH} 비교 한다. 그림 10 은 Complementary Differential 방식의 Integrator 로 Pchg A,B 노드를 Clk 이 High 일 때, Precharge 하며, Low 일 때, Pre Amplifier 로 받은 신호를 Sensing 하는 역할을 한다.

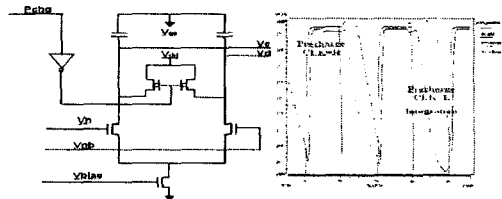


그림 10) Integrator Waves

V. SIMULATION RESULT

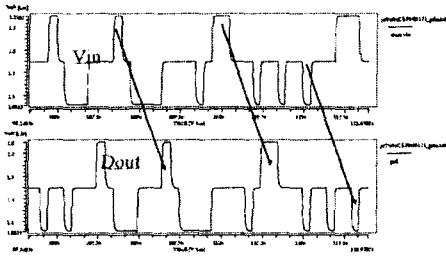


그림 11) Transceiver Input 및 Output 파형

그림 11 은 0.11- μm cmos 공정을 이용한 4G bps Tranceiver 의 3 레벨 입출력 신호파형을 나타낸 것이다. 1-1.8V 사이를 3 레벨로 나누어서 송신 하여 400mV 의 Eye Diagram 에서 여유를 유지 할 수 있으며, 입력 신호가 들어온 후, 일정한 Delay 후에 출력 신호가 정확하게 들어오는 확인 할 수 있다.

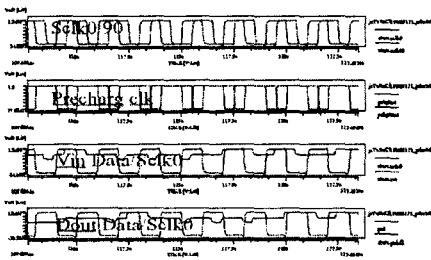


그림 12) Transceiver 에 쓰인 Clock Waves

그림 12 는 본 논문에서 사용한 Clock 를 표현 하였으며, 특히 Main 클럭(CLK) 소스인 Sclk,Sclk90 과 적분기에 사용한 Prechg Clock 등이 주요 Clock Source 들을 표현 하였다.

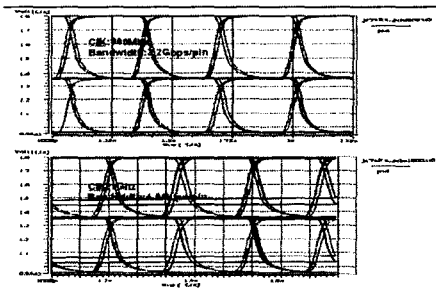


그림 13) Transceiver Eye-diagram

그림 13 는 Transceiver 의 Eye-diagram 을 나타 내며, 클럭(CLK) 주파수가 800MHz ~1GHz 에서 3.2 ~ 4Gbps/pin Bandwidth 가 나옴을 알 수 있다.

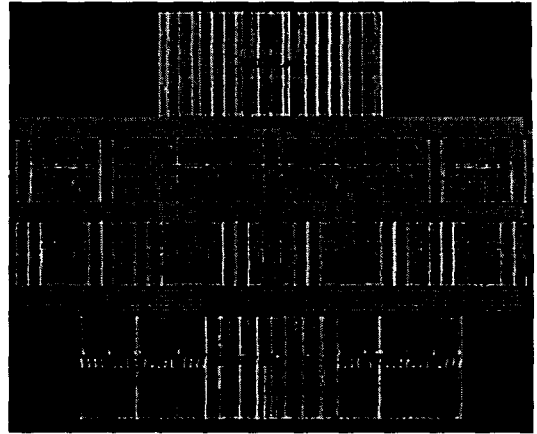


그림 14) Transceiver Layout Diagram

VI. SUMMARY

본 논문은 고속으로 동작하는 메모리를 위한 0.11- μm CMOS 공정으로 Multi Phase Clock 를 사용한 직렬 통신 3 레벨로 신호를 주고 받는 메모리용 송수신로 외부 500Mhz 의 클럭 (CLK)을 이용하여 핀 당 데이터율을 4Gbps/pin 를 얻을 수 있다. 현재는 0.11- μm CMOS 공정으로 Layout 중이며, PLL 및 Bias 회로를 제외한 Transceiver 그림 14(Size: 1200*430 μm)을 첨부 하였다. 10 말경이면, Test 결과를 얻을 수 있을 것이다.

Reference

[1] Mark Horowitz, Chin-kong Ken Yang " High-Speed Electrical Signaling Overview and Limitation" IEEE Micro January 1998 pp12~24

[2] Jhon Poulton, " Signaling in High-Performance Memory Systems" ISSCC 1999

[3] David J. Foley " A Low-Power 8-PAM Serial Transceiver in 0.5- μm Digital CMOS" IEEE JOURNAL OF SOLID-STATE CIRCUITS. VOL37. NO.3.MARCH 2002 pp310~316

[4] Zared L. zerbe " 1.6Gb/s/pin 4-PAM Signaling and Circuits for a Multi-Drop BUS" 2000 VLSI Symposium

[5] H. Yoon *et al.*, " A 2.5-V 333-Mb/s/pin 1-G bit double-data-rate synchronous DRAM," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1589D 1598, Nov. 1999