

# PCS 응용을 위한 CMOS Tx RF/IF 단일 칩 설계

문 요섭, 전 석희, 유 종근  
인천대학교 전자공학과

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: joseph@incheon.ac.kr

## Design of a CMOS Tx RF/IF Single Chip for PCS Applications

Y. S. Moon, S. H. Jeon, C. G. Yu

Department of Electronics Engineering, University of Incheon

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: joseph@incheon.ac.kr

### Abstract

In this paper, a CMOS Tx RF/IF single chip for PCS applications is designed. The chip consumes 84mA from a 3V supply and the layout area without pads is 1.6mm×3.5mm. Simulation results show that the RF block composed of a SSB RF block and a driver amplifier exhibits a gain of 14.8dB and an OIP3 of 7dBm. The image and carrier suppressions are 35dBc and 31dBc, respectively. The designed circuits are under fabrication using a 0.35 $\mu$ m CMOS process.

### I. 서론

이동통신 단말기의 구조로는 RF(Radio Frequency) 부분과 IF(Intermediate Frequency) 부분으로 구성된 슈퍼헤테로다인 방식이 많이 사용되고 있다. RF 부분은 주로 GaAs를 이용한 MMIC(Microwave Monolithic Integrated Circuits)로 구현되었으며, IF 부분은 주로 BiCMOS(Bipolar Complimentary Metal Oxide Semi-Conductor) 기술을 이용한 칩과 외부에 수동 소자를 연결하는 구조로 다수의 칩으로 구현되었다. 최근에는 송신단 구조에서 RF단과 IF단이 하나의 칩으로 집적되는 추세에 있고, 사용공정도 화합물 반도체보다 가격 면에서 유리한 실리콘 BiCMOS 공정을 주로 사용하고 있다. 현재 상용화 되어 있는 Tx RF/IF 단일 칩으로는 미국 Qualcomm사의 RFT3000과 RFT5000 시리즈의 칩[1]들과 삼성전자의 SIM8680 시리즈의 칩[2] 등이 있다. 이들 칩 모두 BiCMOS 공정을 사용하여 개발되었다.

그러나 최근에는 공정을 이용하기가 용이하고, 가격이 저렴하며, 베이스밴드와의 one-chip화가 가능하다는 CMOS 만이 가지고 있는 장점 때문에, CMOS RFIC에 대한 연구 개발이 활발히 이루어지고 있고, IF 단 뿐만 아니라 RF단 역시 앞으로는 CMOS 기술이 주로 사용될 것으로 예상된다.[3-4] 이러한 추세에 따라 본 논문에서는 PCS 대역 이동통신 단말기용 Tx RF/IF 단일 칩을 CMOS 회로로 설계하였다.

### II. 회로 구성

본 연구에서 설계한 PCS CDMA 응용을 위한 송신용 RF/IF 단일 칩의 블록다이어그램을 그림 1에 보였

본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해 일부 수행되었음.

다. 설계된 회로는 크게 IF와 RF 블록으로 구성되며, 디지털 베이스밴드와 전력증폭기 사이에 필요한 모든 신호처리를 수행한다. 디지털 베이스밴드 칩에서 출력된 기저대역 신호인 차동 I 신호와 Q 신호는 IF\_mixer 단에서 QPSK 변조되어 IF 주파수(130.38MHz)로 변환된다. 이 신호는 80dB의 이득 조절범위를 갖는 VGA에 입력되어 시스템에서 요구하는 출력 전력 레벨에 맞게 이득이 조절된 후, SSB RF mixer 단에 입력되어 RF 주파수(1750~1910MHz)로 변환된다. 변환된 신호는 최종적으로 Driver 증폭기에서 증폭된 뒤, PAM으로 전달된다.

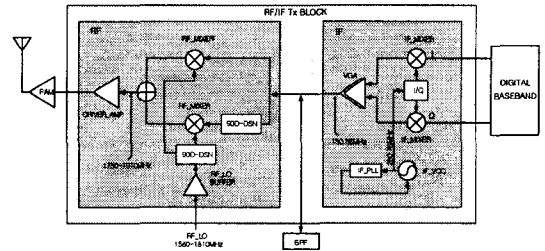


그림 1 PCS 송신단 블록 다이어그램

### III. IF단 회로 설계

IF단은 그림 1에서 보듯이 크게 3개의 블록으로 구성된다. 즉, IF\_PLL과 IF\_VCO로 구성된 IF PLL 주파수합성기, IF Mixer 블록, 그리고 VGA로 구성된다.

#### 3-1. IF PLL 주파수합성기 설계

IF\_PLL과 IF\_VCO는, 기저대역 신호를 IF 신호로 상향변환(up-conversion)할 때 필요한 LO(Local Oscillator) 신호를 발생하고 안정화시키는 역할을 한다. IF\_VCO에서 발생된 신호는 I/Q 블록에서 주파수가 반으로 분주되고 90° 위상차를 갖는 quadrature 신호로 만들어져서 IF\_mixer에 전달된다. IF\_VCO는 자동진폭조절 기능을 갖도록 설계하여, 외부의 LC 공진회로의 Q-factor에 무관하게 항상 일정한 진폭의 발진을 하도록 하였다. 또한 IF\_PLL은 3개의 직렬 포트를 내장하여, IF 주파수 및 동작 모드를 외부에서 프로그램할 수 있도록 설계하였다. IF PLL 주파수합성기 회로는 이전 연구[5]에서 IC 제작 및 성능 검증은 마친 상태이다. 측정결과 설계된 회로는 100kHz의 오프셋 주파수에서 -114dBc의 위상잡음 특성을 보이며, lock time은 300 $\mu$ s보다 작고, 3V 전원에서 약 5.3mA의 전

류를 소모한다.

### 3-2. IF Mixer 설계

그림 3에 설계된 IF Mixer 블록의 블록 다이어그램을 보였다. IF Mixer 블록은 디지털 베이스밴드 칩에서 출력된 기저대역 신호인 Tx\_I, Tx\_Q를 IF PLL 주파수합성기에서 발생된 quadrature IF\_LO 신호인 LO\_I, LO\_Q와 각각 혼합한 뒤 summing함으로써 QPSK 변조를 수행하여, IF 주파수로 끌어올리는 역할을 한다.

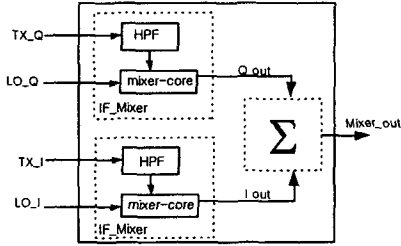


그림 2 IF Mixer 블록의 블록다이어그램

IF\_mixer는 고역통과필터(HPF: High-Pass Filter)와 double-balanced 구조의 mixer-core로 구성된다. Mixer-core 전단에 HPF를 두는 이유는 베이스밴드에서 입력되는 신호가 dc 성분을 포함하고 있기 때문에 이러한 dc 성분 제거를 최소화하기 위함이다. HPF에 입력되는 신호가 베이스밴드 신호이기 때문에 HPF의 cutoff 주파수는 작은 값이어야 하며, 따라서 사용되는 수동소자의 값은 상대적으로 커지게 된다. 큰 값의 수동소자를 집적회로로 구현하기 위해서는 넓은 칩 면적이 필요하며 비용이 증가하게 된다. 이러한 문제점을 해결하기 위해 조절 저항열을 사용하여 상대적으로 작은 소자 값으로도 낮은 cutoff 주파수를 구현할 수 있는 방법[6]을 채택하였다. 모의실험 결과 설계된 IF Mixer 블록은 3.6dB의 변환이득과 -11.3dBm의 OIP3 특성을 보이며, 3V 전원에서 약 5.3mA의 전류를 소모한다.

### 3-3. VGA 설계

VGA는 향후 디지털 베이스밴드와의 one-chip화를 고려하여 디지털 데이터에 의해 이득이 조절되도록 설계하였다. 설계된 VGA는 그림 3에서와 같이 직렬 연결된 4개의 VGA cell과 버퍼 회로 그리고 음셋제거 회로로 구성되며, 12-bit의 디지털 데이터에 의해 -40dB에서 +40dB까지 2dB step으로 이득이 조절된다.

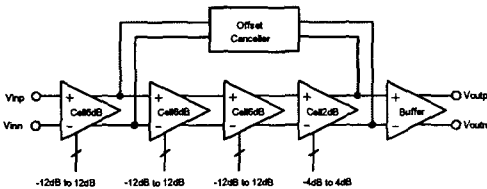


그림 3 VGA의 블록 다이어그램

VGA cell의 기본 구조로는 degenerated 차동 입력 단 구조를 사용하였으며, 이득 조절 방법으로는 소스 degeneration 저항을 조절하는 방법을 채택하였다. 또한, gm-boosting 기법[7]을 사용하여 이득 조절 범위

와 이득의 정확도를 향상시켰다. 이득 조절을 위해 사용되었던 기존의 degeneration 저항이 가지고 있는 문제점인 degeneration 저항에서의 dc 전압 강하를 최소화한 새로운 가변 degeneration 저항[8]을 사용하여 고속의 VGA를 설계하였다. 설계된 회로를 HSPICE 모의실험한 결과 모든 이득 설정시 3dB 주파수는 250MHz 보다 크며, 약 10mA의 전류를 소모한다.

## IV. RF단 회로 설계

RF 단 회로는 그림 4에서와 같이 SSB RF\_mixer 단과 Driver 증폭기로 구성된다. 본 설계에서는 RF mixer와 Driver 증폭기 사이에 필요한 image-rejection filter를 제거하기 위해 SSB 변조 방식을 채택하였다. 외부에서 입력되는 RF\_LO 신호(1580~1810MHz)는 LO\_buffer에서 차동신호로 변환되고, 2단 polyphase filter 구조를 갖는 Phase\_shifter\_LO 블록에서 90° 위상차를 갖는 quadrature 신호로 만들어진 후, LO\_limiter에서 이득이 보상되어 RF\_mixer에 입력된다. IF 단에서 출력된 차동 IF 신호도 Phase\_shifter\_IF에서 quadrature 신호로 변환되어 RF\_mixer에 입력된다. RF Mixer 단에서 출력된 신호는 PA(Power Amplifier)에서 충분히 증폭될 수 있도록 Driver Amp 단에서 최적의 신호로 만들어진다.

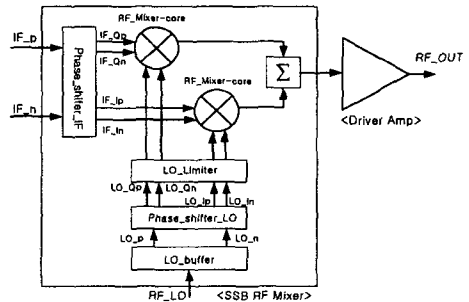


그림 4 RF 단 블록다이어그램

### 4-1. LO\_buffer

LO\_buffer 회로는 단일신호의 입력을 차동신호의 형태로 출력하는 회로이며 Mixer core에 공급되어지는 LO 전압신호의 대칭적인 공급이 주 목표이다. LO\_buffer회로는 그림 5와 같이 3단의 차동증폭기로 구성하였다. 첫 째에서는 단일신호를 차동의 신호로 바꾸어 주는 역할을 하며, 두 번째 단과 세 번째 단에서 보다는 대칭적인 신호 발생 및 전압이득을 향상시키기 위해 사용하였다.

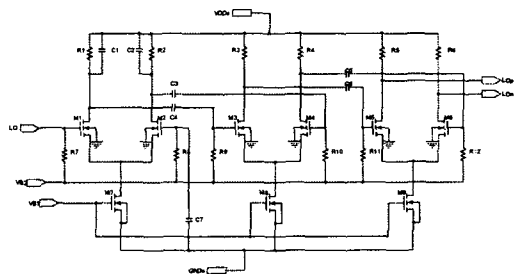


그림 5 LO\_buffer 회로도

4-2. Phase\_Shifter\_LO & Phase\_Shifter\_IF

Phase Shifter는 image-rejection mixer에 필요한 quadrature 신호를 발생시키는 회로로서 각각의 신호의 위상 오차를 줄이기 위해 그림 6과 같이 수동소자인 저항과 커패시터로 polyphase filter를 설계하였다. 원하는 주파수에서 quadrature 신호를 얻기 위한 식은 다음과 같다.

$$\omega_0 = \frac{1}{RC}$$

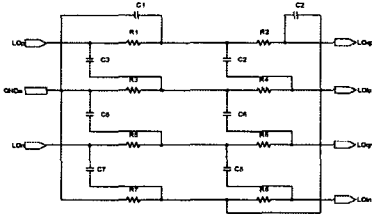


그림 6 Phase\_shifter의 회로도

4-4. LO\_Limiter

LO\_Limiter는 수동소자로 구성된 Phase\_Shifter\_LO의 출력을 입력으로 받아 Mixer core에 직접 공급하는 역할을 하며, 수동소자에 의한 이득의 감소를 보상하여 주파수 대역폭의 방지 그리고 일정한 신호의 출력을 얻기 위한 목적으로 설계되었다.

4-5. RF\_Mixer-core

RF\_Mixer-core는 IF신호와 LO신호를 입력으로 받아 주파수 변환을 수행하는 역할을 한다. 그림 7과 같이 mixer core는 기본 Gilbert cell구조에 mixer의 성능을 향상시키기 위하여 current reuse bleeding 기법[9]을 사용하였다. 따라서 트랜지스터 MB1, MB2는 bleeding 역할뿐만 아니라 bleeding 전류를 다시 사용하여 입력 트랜스컨덕턴스단의 일부분으로도 동작한다. Current-reuse bleeding 기법을 사용하면 bleeding 전류의 재사용으로 인한 입력 단 바이어스 전류의 증가 효과가 있기 때문에 변환이득과 선형성이 향상된다. 그리고 트랜지스터 MC1, MC2는 cascode 구조로서 이러한 cascode 구조를 사용하면 트랜스컨덕턴스단의 출력 임피던스가 증가하기 때문에, mixer 출력에서의 2LO 성분이 감소하게 된다. 최종적으로 두개의 출력 RFp, RFn이 summing 회로로 연결이 되어 image rejection의 결과를 얻게 된다.

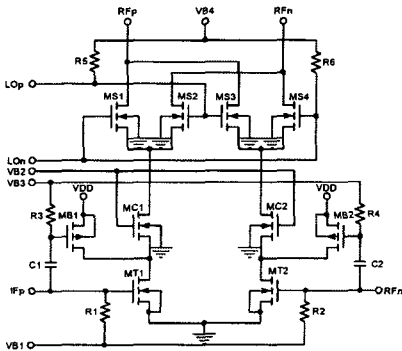


그림 7 RF\_mixer-core

4-6. Driver Amp 설계

RF Mixer에서 up-conversion 된 신호는 칩 외부의 PA가 충분히 증폭할 수 있도록 Driver Amp단에서 사전 증폭된다. Driver Amp는 그림 8과 같이 크게 차동 증폭부분과 CDCS (Common-Drain Common-Source) 구조의 버퍼로 구성하였다. 입력 신호는 트랜지스터 M1, M2를 통해 전류 신호로 변환되고 되고 cascode 트랜지스터 M3, M4를 거쳐 부하 인덕터 L1, L2에 전달된다. CDCS 버퍼는 차동의 신호를 단일신호로 바꾸어 주는 역할을 한다.

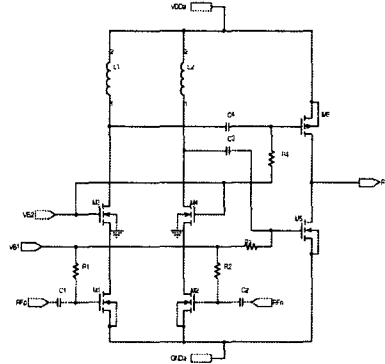


그림 8 Driver Amp 회로도

4-7. RF 블록 모의실험 결과

설계된 RF 단의 성능을 검증하기 위하여 0.35µm n-well CMOS 공정변수를 사용하여 Cadence spectre 로 모의실험을 하였다. 그림 9에서 IF 입력이 -15.8dBm일 때 RF출력은 -0.94dBm이다. 그림 10은 OIP3와 P1dB 성능을 모의실험한 결과이다. 모의실험 결과 설계된 RF 단 회로는 14.8dB의 이득, 7.0dBm의 OIP3, 35dBc의 image 억압, 31dBc의 carrier 억압 등의 특성을 보이며, 약 63mA의 전류를 소모한다.

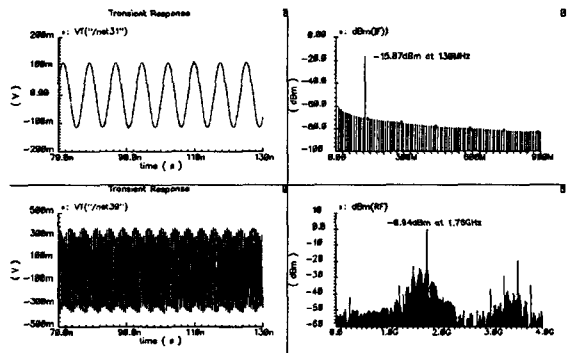


그림 9 RF단 전체회로의 transient 모의실험 결과

V. Layout & 성능요약

그림 11은 설계된 PCS 대역 Tx RF/IF 단일 칩의 전체 layout 도면이다. 그림에서의 왼쪽부분은 IF PLL 주파수합성기이고, 오른쪽은 RF단 회로이다. 가운데 위 부분은 IF Mixer 블록이고 아래 부분은 VGA이다. Tx RF/IF 단일 칩의 pad를 제외한 전체 면적은 1.6mm×3.5mm이다. 설계된 회로의 각 블록별 성능을 표 1에 요약하였다.

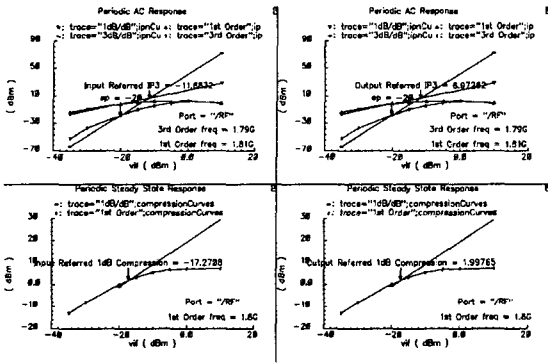


그림 10 RF단의 OIP3 및 P1dB 모의실험 결과

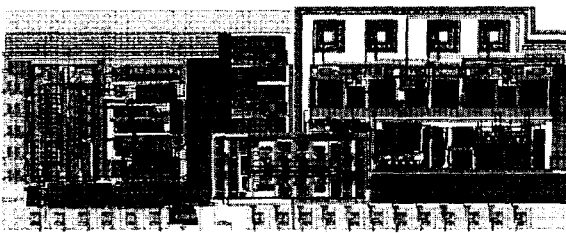


그림 11 Tx RF/IF 단일 칩의 전체 layout

VI. 결론

본 논문에서는 PCS 대역 CMOS Tx RF/IF 단일 칩을 설계하였다. 0.35 $\mu$ m CMOS 공정으로 설계된 회로는 3V 전원에서 84mA의 전류를 소모하며, pad를 제외한 전체 칩 면적은 1.6mm $\times$ 3.5mm이다. SSB RF mixer 블록과 구동 증폭기로 구성된 RF 단 회로는 모의실험 결과 14.9dB의 이득, 7.0dBm의 OIP3, 35dBc의 image 억압, 31dBc의 carrier 억압 등의 특성을 보였다. 설계된 칩의 IC 제작 및 성능 검증이 완료되면 기존의 값비싼 BiCMOS 칩들을 대체할 수 있으며, 이동 통신 단말기의 저가격화에 기여할 수 있을 것으로 기대된다.

참고문헌

[1] Qualcomm CDMA Technologies, [www.qualcomm.com](http://www.qualcomm.com).  
 [2] SAMSUNG Semiconductor, ICs for Mobile Phone, Data Book.  
 [3] B. Razavi, *RF Microelectronics*, Prentice Hall, 1998.  
 [4] W. S. T. Yan and H. C. Luong, "A 2-V 900MHz Monolithic CMOS Dual-Loop Frequency Synthesizer for GSM Receivers", *IEEE J. Solid-State Circuit*, vol.36, no.2, pp.204-216, Feb. 2001.  
 [5] Y. H. Kim, et al., "Design of a CMOS IF PLL Frequency Synthesizer," 제10회 한국반도체학술대회 논문집, pp.859-860, 2003.

표 1 설계된 RF/IF 단일 칩의 성능 요약

Circuits	Characteristic	Typical Value
Tx RF/IF	Supply voltage	3V
	Process	0.35 $\mu$ m CMOS
	Chip area	1.6mm $\times$ 3.5mm
IF PLL block (meas.)	Current	84mA
	Phase noise	-114dBc/Hz@100kHz
	In-band phase noise	-89dBc/Hz
	Reference spur	<-70dBc@1.23MHz
	Lock time	< 300 $\mu$ s
	Current	5.3mA
IF Mixer block (simul.)	OIP3	-11.3dBm
	P1dB	-22.2dBm
	Output power	-26.34dBm
	Gain	3.6dB
	Image suppression	44.0dBc
	carrier suppression	30.4dBc
VGA (simul.)	Current	5.3mA
	Gain range	-40dB ~ 40dB
	step	2dB
	3dB Bandwidth	>250MHz
RF block (simul.)	Current	10mA
	OIP3	6.97dBm
	P1dB	1.99dBm
	Output RF power	-0.94dBm
	Gain	14.93dB
	Image suppression	35dBc
	Carrier suppression	31dBc
	RF_LO leakage @ RF	-31.1dBm
	RF leakage @ RF_LO	-61.7dBm
RF output impedance	50 $\Omega$	
RF_LO impedance	50 $\Omega$	
Current	63.4mA	