

# MRAM을 위한 새로운 데이터 감지 기법과 writing 기법

고 주 현, 조 충 현, 김 대 정, 민 경 식, 김 동 명  
국민대학교 전자정보통신공학부  
전화 : 02-910-4704 / 핸드폰 : 011-278-9518

## A New Sensing and Writing Scheme for MRAM

Ju Hyun Ko, Chung-Hyun Cho, Daejeong Kim, Kyeong-Sik Min, and Dong Myong Kim  
Kookmin University  
E-mail : dougold@hanmail.net

### Abstract

New sensing and writing schemes for a magneto-resistive random access memory (MRAM) with a twin cell structure are proposed. In order to enhance the cell reliability, a scheme of the low voltage precharge is employed to keep the magneto resistance (MR) ratio constant. Moreover, a common gate amplifier is utilized to provide sufficient voltage signal to the bit line sense amplifiers under the small MR ratio structures. To enhance the writing reliability, a current mode technique with tri-state current drivers is adopted. During write operations, the bit and /bit lines are connected. And 'HIGH' or 'LOW' data is determined in terms of the current direction flowing through the MTJ cell. With the viewpoint of the improved reliability of the cell behavior and sensing margin, HSPICE simulations proved the validity of the proposed schemes.

### I. 서론

MRAM은 비 휘발성, 고속, 저전력 그리고 반영구적인 수명등의 장점으로 인해 지금까지 개발된 DRAM 제품의 대체 가능성이 매우 크므로 이에 대한 관심이 커지고 있다.

하지만 대표적인 셀 형태인 MTJ 셀을 사용할 때의 문제점은 낮은 magneto resistance (MR) ratio 와 MTJ 양단의 전압 제한이다. 현재의 기술로서는 MTJ 양단에 400mV 이상이 걸리게 되면 MR ratio가 감소하기 때문에 셀 데이터에 해당하는 낮은 전압과 낮은 MR ratio 에서도 데이터를 감지해 낼 수 있는 구조가 필요하다[1].

본 논문은 위와 같은 문제점을 개선하기 위하여 2-transistors 2-MTJ (2T2MTJ)의 twin 셀 구조에 증폭기를 사용하여 sensing margin을 크게 하는 sensing scheme 및 write 동작 시, 데이터를 저장하는 MTJ 셀의 신뢰성 증가를 위한 tri-state current-mode write driver를 사용한 전류 모드 writing scheme을 제안한다.

### II. Sensing Scheme

본 논문에서 제안하는 sensing scheme은 그림 1과 같이 전류원, 비트라인 감지증폭기, 게이트 공통 증폭기 (common-gate amplifier), 및 equalizer로써 구성된다.

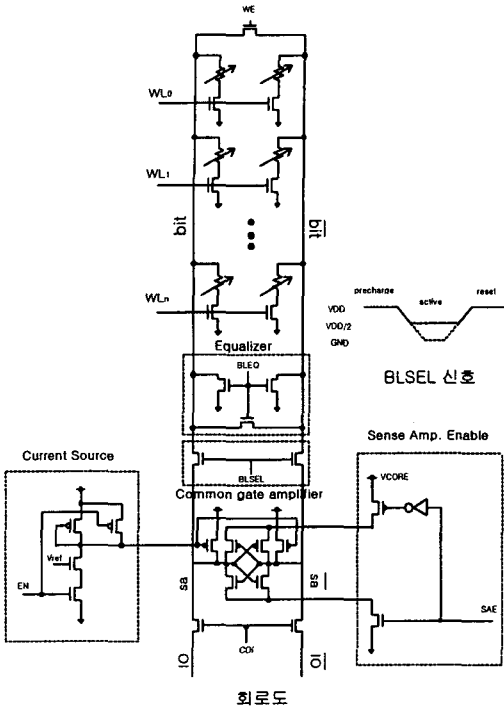


그림 1. Sensing scheme

MTJ양단에 수백 mV이상의 큰 전압이 걸리면 MTJ 셀이 파괴되기 때문에 사전충전 상태에서 bit 라인과 /bit 라인은 셀의 신뢰성을 높이기 위하여 equalizer에서 0V로써 사전충전하고 비트라인 감지증폭기는 꺼져 있다. ACTIVE 명령에 의해 전류원의 EN에 의해 감지전류가 흐르면 word line이 선택된 셀에 전류의 경로가 형성된다. Twin 셀에는 반대의 데이터가 저장되어 있으므로 MTJ 저항 값 차이에 의해 bit 라인과 /bit 라인에 수십 mV의 전압차이가 발생하며, 이때의 전압차이는 식 (1)과 같다,

$$\Delta V_{bit./bit} = I_{cell} (R_{HIGH} - R_{LOW}) \quad (1)$$

그러나 수십 mV의 전압차이는 bit-line 감지증폭기를 동작시키기에 충분하지 않다. 하지만 MTJ의 MR ratio가 낮고 MTJ 양단에 걸리는 전압이 제한되기 때문에 이 전압차이를 더 크게 하는 데는 많은 어려움이 따른다. 이러한 문제를 해결하기 위하여 비트라인 감지증폭기 앞단에 증폭단을 추가하였다. Sensing 시에는 게이트 공통 증폭기의 게이트전압 신호인 BLSEL을 VDD에서 VDD/2로 낮추어, 게이트 공통 증폭기를 증폭모드에서 동작시켰다. 그림 2는 이때의 등가회로이다.

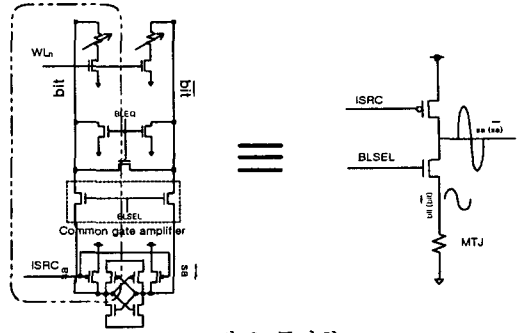


그림 2. 등가회로

바이어스 된 ISRC와 BLSEL신호에 의해 bit 라인과 /bit 라인의 MTJ 저항 값에 의한 작은 전압이 게이트 공통 증폭기의 입력이 되고 증폭기의 이득만큼 증폭된 값이 비트라인 감지증폭기의 양단인 sa와 /sa에 나타난다. 그러므로 bit-line 감지증폭기에 입력되는 최종 전압은 식 (2)와 같다. A는 게이트 공통 증폭기의 이득이다.

$$\Delta V_{sa./sa} = A I_{cell} (R_{HIGH} - R_{LOW}) \quad (2)$$

그림 3은 sensing시의 타이밍도를 나타낸 것이다.

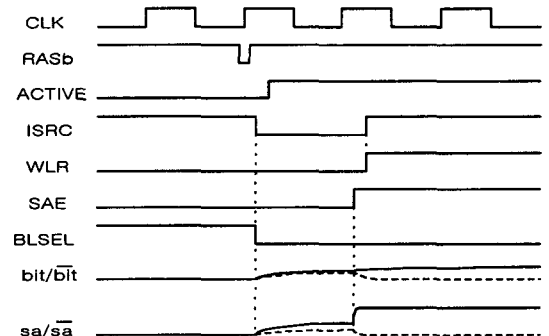


그림 3. 데이터 감지를 위한 타이밍도

시스템 클럭에 동기되어 ACTIVE 신호가 인가되면 전류원의 동작 신호인 ISRC가 켜져 감지전류가 흐르고 BLSEL이 VDD/2가 되어 게이트 공통 증폭기가 증폭모드에서 동작한다. 그러므로 bit 라인과 /bit 라인 사이의 수십 mV의 전압이 sa와 /sa에서 수백 mV로 증폭되어 충분히 비트라인 감지증폭기를 동작시킬 수 있다. 그 후 비트라인 감지증폭기 동작 신호인 SAE가 인가되어 비트라인 감지증폭기를 동작시키면 비트라인 감지증폭기 양단 전압은 각각 VCORE와 VSS로 증폭된다.

### III. Writing scheme

그림 4와 그림 5는 각각 제안하는 전류모드 writing scheme과 burst length 4인 경우의 write 동작에 대한 타이밍도이다. 두 개의 tri-state write driver는 write 시에만 전류원이 동작하고, 입력 데이터에 따라 'HIGH' 데이터를 쓸 때는 시계방향으로, 'LOW' 데이터를 쓸 때는 반 시계 방향으로 전류가 흐른다. Column decoder에 의해 선택된 column line (CDi) 스위치와 write enable (WE) 스위치가 열리고 row decoder에 의해 digit line (DGL)이 선택되어 셀 write 동작을 수행한다. Bit 라인과 /bit 라인에는 반대방향으로 전류가 흐르기 때문에 2T2MTJ 셀에는 항상 반대 값을 저장한다.

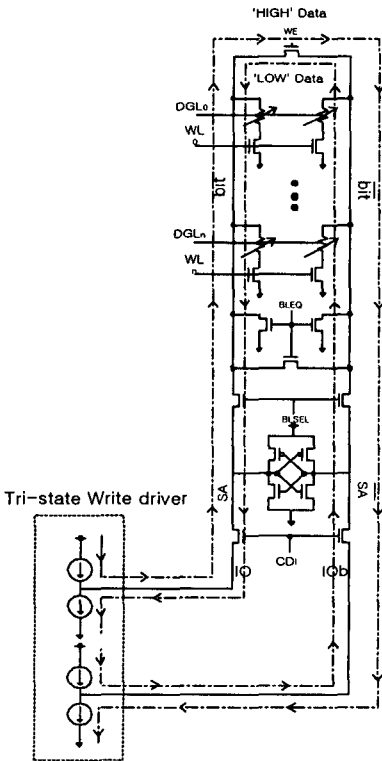


그림 4. Writing scheme

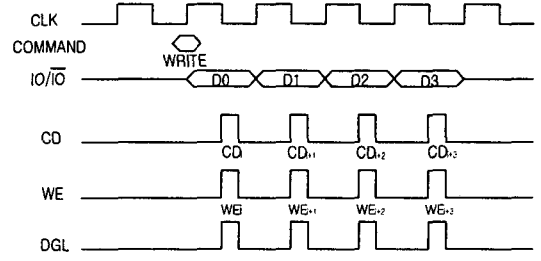


그림 5. 전류모드 writing scheme의 타이밍도

### IV. 시뮬레이션 결과 및 해석

설계된 회로의 동작을 검증하기 위한 시뮬레이션은 0.35 $\mu$ m 표준 CMOS 공정에서 HSPICE를 사용하였고 셀의 sensing 동작과 writing 동작을 CMOS 공정에서 확인하고 제작하기 위하여 2T2MTJ 셀의 CMOS macro model을 설계하여 사용하였다.

그림 6은 sensing 동작의 시뮬레이션 결과이다.

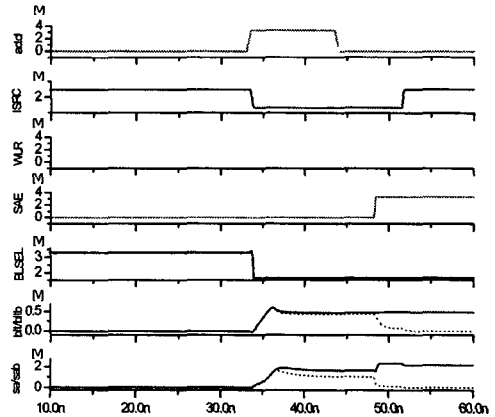


그림 6. Sensing 동작 시뮬레이션 결과

시뮬레이션에 사용한 MTJ의 저항값은 각각 3.95k $\Omega$ 과 3k $\Omega$ 이고 감지전류는 약 100 $\mu$ A이다. Sensing시 MTJ 양단에 걸리는 최고 전압은 380mV로 MR ratio가 작아지는 400mV보다 낮은 전압에서 동작한다. 이 때, bit 라인과 /bit 라인의 전압차이는 약 50mV이고, (약 40ns~50ns 지점) 게이트 공통 증폭기에서 증폭되어 비트라인 감지증폭기 양단에 걸리는 전압은 약 600mV이다.

그림 7은 write 동작의 시뮬레이션 결과이다. 'HIGH'

데이터를 기록할 때는 WE 스위치로 사용되는 트랜지스터에  $+500\mu\text{A}$ 가 “LOW” 데이터를 기록할 때는  $-500\mu\text{A}$ 가 일정하게 출력되는 것으로부터 write 전류가 데이터에 따라 각각 시계방향과 반 시계방향으로 일정하게 흐르고 이때 셀에 각각 ‘HIGH’와 ‘LOW’ 데이터가 기록되는 것을 확인할 수 있다.

참고문헌(또는 Reference)

[1] Yamada, K., Sakai, N., Ishizuka, Y., and Mameno, K. : ‘A Novel Sensing Scheme for a MRAM with a 5% MR Ratio’, Digest of Technical Papers, IEEE Symposium on VLSI Technology, 2001, pp. 123-124

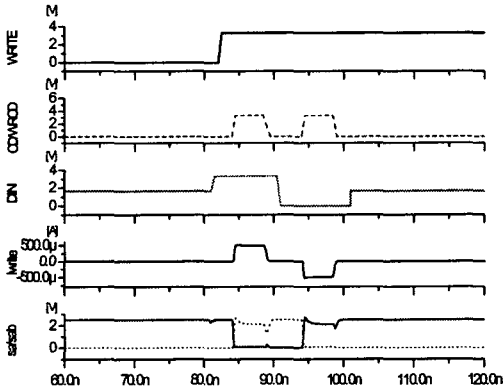


그림 7. Write 동작 시뮬레이션 결과

V. 결론

본 논문에서 제안하는 sensing scheme에서는 bit 라인과 /bit 라인을 ‘LOW’로 사전충전하고 sensing시 전류원에 의해 MTJ를 낮은 전압으로 sensing하여 셀의 신뢰성을 높였다. 그리고 게이트 공통 증폭기를 사용하여 작은 전압 차이를 증폭함으로써 낮은 MR ratio에서도 동작할 수 있다. Writing scheme은 MTJ가 magnetic field의 방향에 의한 저항의 변화로 데이터를 구분하기 때문에 전류로 조절하는 것이 효과적이므로, current source driver를 이용한 전류 모드 write 방식을 제안하였다

Acknowledgment

본 논문은 IDEC (IC design education center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊은 감사 드립니다.