2003년도 대한전자공학회 하계종합학술대회 논문집 제26권 제1호

OpenCable 용 POD 모듈의 DVS167 OOB Processor 개발

박부식, 위정욱, 임기택
전자부품연구원 SoC 연구센터

Development of DVS167 OOB Processor in POD Module for OpenCable

Pusik Park, JungWook Wee, KiTaeg Lim
SoC Research Center
Korea Electronics Technology Institute
E-mail: parksik@keti.re.kr

Abstract

In this paper, we have analyzed algorithm of physical layer, data link layer and MAC layer of Out-Of-Band (OOB) specified in the OpenCable™ SCTE- 55-2 2002[3] and designed architecture of the OOB processor. The OOB processor performs fundamental multiple access control for the OOB channel and extracts session key information from a EMM packet for descrambling MPEG-2 streams. In this paper, we have implemented a prototype board for the DVS167 OOB processor and verified it.

I. Introduction

지상파, 위성 및 케이블 방송이 디지털화 되면서 컨텐트 보호와 방송을 통한 인터넷 통신이 적극적으로 시도되고 있다. 하지만 방송 방식 및 컨텐트 보호 방법이 서로 다른 방송 장비를 사용할 경우, 방송 사업자, 수신기 제조업체 및 일반 사용자 모두 불편할 수 밖에 없다.

이런 불편을 해소하기 위하여 방송 수신기인 셋탑박스와 컨텐트 보호를 위한 제한 수신 시스템을 분리시킬 수 있는 Common Interface (CI) 형 제한 수신 시스템의 채용이 국제적으로 표준화되었다. 특히 북미 및 국내에서는 OpenCable™ 이라는 개방형 인터페이스 방식의 디지털 CATV 방식이 표준으로 채택되었고, 국내에서는 올해 안에 디지털 CATV 방송이 시작될 예정이다.

CI 형 제한 수신 시스템은 셋탑박스에 탈착이 가능한 시스템에서 제어 신호와 암호 키 전송, 디스크램블(Descramble), 암호화 처리 및 스마트 카드 제어 등의 모든 제한 수신 시스템의 기능을 처리한다. 그리고 셋탑박스와 제한 수신 시스템간의 인터페이스를 표준화하여, 셋탑박스 제조업체가 이 인터페이스 규격에 맞추어 제조하면 어떠한 제한 수신 시스템에도 적용이 가능해진다.

특히, Point of deployment (POD) 모듈은 OpenCable™ 의 CI 형 제한 수신 모듈로서, Out-Of-Band (OOB) 채널을 통해 전달되는 데이터를 처리하는 OOB 프로세서와 In-Band (IB) 채널을 통해 전달되는 비디오 스트림 처리를 수행하는 conditional access system (CAS) 프로세서로 구성된다.

본 논문에서는 OpenCable 규격인 SCTE 55-2 2002 에서 정의하는 POD 모듈의 OOB 프로세서 구조와 physical 계층, data link 계층 그리고 MAC 계층에 대한 프로토콜을 분석하였고, 분석한 결과를 바탕으로 OOB 프로세서를 설계하고 FPGA 와 ARM 프로세서를 실장한 프로토타입 보드에 구현하였다.

II. Overview of the DVS167

OOB 프로세서는 기본적으로 셋탑박스가 OOB 채널을 접근할 수 있는 방법을 제공하고, 스크램블링 되어 있는 IB 채널 상의 MPEG-2 TS 패킷을 디스크램블 하기 위해 필요한 session key 정보를 OOB 채널에서

Entitlement Management Message (EMM) 메시지로부터 추출하는 동작을 수행하며, 천재지변이나 국가 재난 사태가 발생하였을 경우 긴급 경보 정보를 Emergency Alert Service (EAS) 메시지에 실어 알린다. 또한 Program Specific Information (PSI) 패킷으로부터 서비스 제어 정보를 추출하고, MAC 처리를 통해 전용 연결 혹은 예약 연결을 제공하여 효과적인 대역 관리를 제공한다[1].

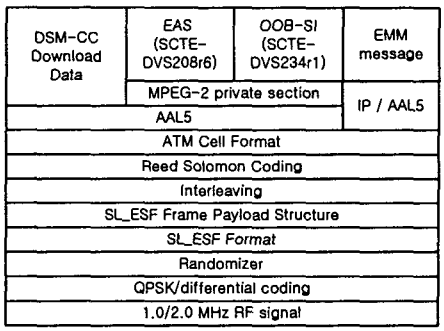

그림 1. DVS167 의 FDC 의 프로토콜 스택[3].

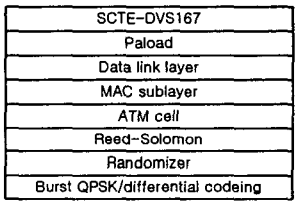

그림 2. DVS167 의 RDC 의 프로토콜 스택[3].

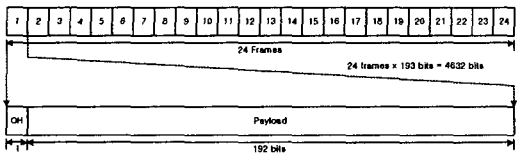

그림 3. SL-ESF Frame 구조.

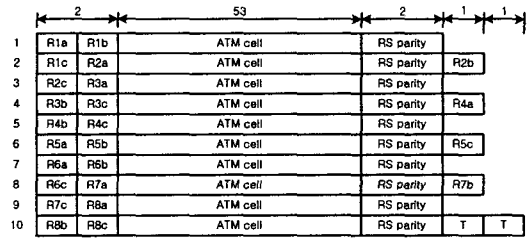

그림 4. SL-ESF Payload 구조.

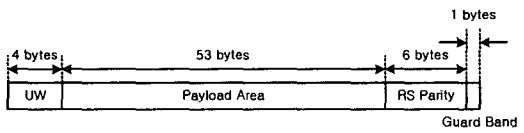

그림 5. Upstream Slot 구조.

그림 1 과 그림 2 는 SCTE-DVS 167 에서 정의하는 OOB Forward Data Channel (FDC)과 Reverse Data Channel (RDC)의 프로토콜 스택이다[2]. OOB 프로세서의 FDC 처리부는 Randomizer, 프레임 동기 검출기, SL-ESF 프레임 처리기, De-Interleaver, RS Decoder 및 ATM 셀 처리기 등으로 구성되며, RD 는 Randomizer, RS Encoder 및 ATM 셀 처리기 등으로 구성된다.

OOB FDC 에서 수신되는 프레임은 T1 에서 사용되고 있는 SL-ESF 프레임과 매우 유사하다. 그림 3 과 같이 전체 4632 비트가 하나의 슈퍼 프레임을 구성하고 24 개의 오버헤드 비트가 193 번째 비트마다 위치한다. 이 24 개의 오버헤드 비트를 통해 FDC 프레임 동기를 검출하고 RDC 에서 사용할 슬롯 카운터를 제공한다.

오버헤드 비트를 제외한 payload 는 그림 4 와 같이 수신측 채널 정보를 담은 8 개의 slot configuration field 와 10 개의 ATM 셀 그리고 각 ATM 셀에서 계산된 RS parity 로 구성된다.

R1a, R1b 그리고 R1c 와 같이 한 채널 당 3 바이트의 정보를 갖는 slot configuration field 는 RDC 채널 상의 슬롯 영역 정의와 RDC 로 송신한 데이터의 수신 확인 정보가 실린다.

RDC 는 FDC 에서 수신한 slot configuration field 정보를 통해 ranging, contention, contentionless, reservation 영역으로 구분된다. 모든 DHCT 는 동일한 슬롯 동기에 맞춰 헤드엔드로 그림 5 와 같은 패킷을 전송한다. 53 바이트의 payload 에는 ATM 셀이 실린다. RDC 의 슬롯 동기는 Ranging & Provisioning MAC 처리 과정에서 맞춘다.

III. Implementation

본 장에서는 OOB 프로세서의 물리 계층과 MAC 프로토콜을 구현한 내용을 설명한다. 물리계층은 HDL 로 코딩하여 FPGA 를 사용하여 하드웨어로 구현하였고, MAC 프로토콜은 ARM 플랫폼에서 프로그래밍 하였다.

헤드엔드에서는 Generating polynomial $G(x) = x^6 + x^5 + 1$ 로 비트 스트림을 랜덤 하게하여 DHCT 로 보낸다. 본 논문에서는 그림 6 와 같은 derandomizer 를 구현하였다.

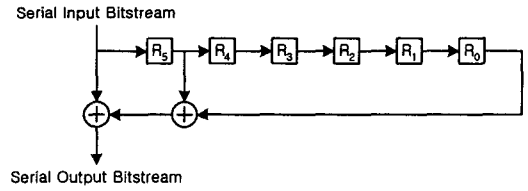

그림 6. Self-synchronizing derandomizer 구조.

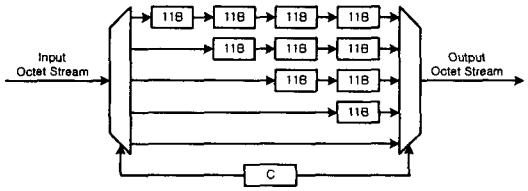

그림 7. Convolutional deinterleaver 구조.

DeRandomizer 를 통해 나온 비트 스트림을 이용하여 Framing&Sync 블록에서 SL-ESF 프레임 동기를 검출한다. SL-ESF 프레임 동기를 찾게 되면 OH 비트를 제외한 SL-ESF payload 옥텟 스트림(Octet stream)이 Deinterleaver 로 입력된다. 그림 7 과 같은 convolutional deinterleaver 를 통해 ATM 셀과 RS parity 의 옥텟 스트림의 순서가 올바르게 복원된다.

Deinterleaver 를 통해 나온 옥텟 스트림은 slot configuration field 를 제외한 ATM 셀과 RS parity 이다. 이 출력은 RS Decoder 로 입력되어 ATM 셀의 오류를 검출 및 복원한다. RS decoder 에서 에러가 없는 ATM 셀은 ATM 헤더 에러를 확인 한 후, VPI/VCI 필터링을 거쳐 링 형태의 수신용 메모리에 저장된다.

수신된 ATM 셀은 ARM 에 의해 상위 소프트웨어 계층으로 전달되어, AAL5 처리를 거친 후 MAC SDU 를 처리하고, MAC 프로세스나 EMM, EAS, PSI, 및 IP 처리 프로세스에서 처리된다.

DVS167 을 처리하는 MAC 프로세스나 상위 응용 계층에서 전송할 데이터가 있을 경우, RDC 용 송신 데이터 버퍼에 데이터를 저장한다. 그리고 이 데이터에 ATM 헤더를 붙이고 그림 5 와 같이 RS parity 를 추가한 후 randomizer 처리를 수행한다. 마지막으로 Unique word "CCCCCC0Dh" 를 붙여 전송한다.

그림 8 은 본 논문에서 구현한 OOB 프로세서의 블록도이다. 그리고 그림 9 과 그림 10 은 FDC 와 RDC 에서의 메시지 처리되는 과정을 도시화하였다.

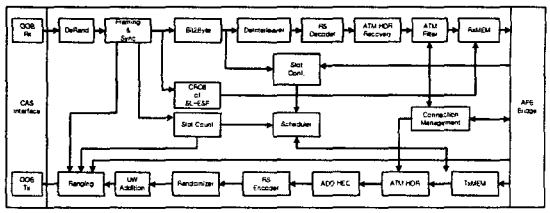

그림 8. DVS 167 OOB Processor Block Diagram.

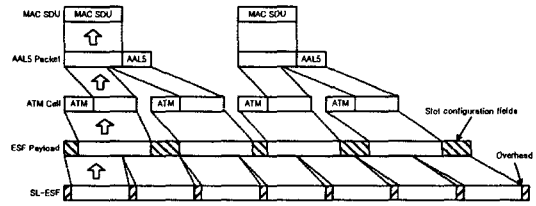

그림 9. FDC 의 메시지 Decapsulation.

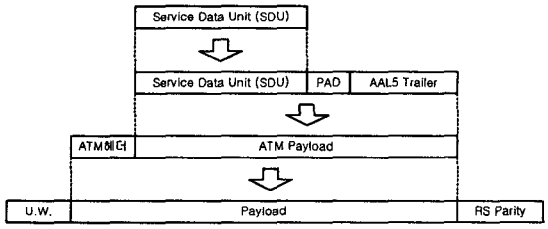

그림 10. RDC 의 메시지 Encapsulation.

IV. Verification

본 논문에서 구현한 OpenCable DVS167 OOB 프로세서의 시뮬레이션 결과는 그림 11 과 그림 12 와 같다. 그림 11 은 FDC 처리 결과이고, 그림 12 는 RDC 처리 결과이다.

시뮬레이션과 더불어 OpenCable™ OOB 프로세서의 FPGA 를 이용한 프로토타입을 검증하였다. PC 상에서 헤드엔드 에뮬레이터를 작성하고, OOB 프로세스 프로토타입 보드에 UART 로 연결하였다. 이 에뮬레이터는 MAC 메시지를 AAL5, ATM 그리고 SL-ESF 프레임 형식으로 만들어 UART 로 전달한다. 프로토타입 보드에는 헤드엔드 에뮬레이터와 연결된 UART 에서 수신된 데이터를 OOB 프로세서에 비트 스트림 형식으로 전달하는 추가 모듈이 필요하다.

이 추가 모듈에서 나온 비트 스트림은 FPGA 로 구현된 DVS167 OOB 프로세스의 수신부로 입력되고, 물리 계층에서 복조하여 수신 버퍼에 저장하고 ARM core 에서 읽어 상위 MAC 프로세스로 전달하여 처리한다.

수신된 MAC 메시지에 대한 응답은 ARM 을 통해 헤드엔드 에뮬레이터로 전달된다. 그림 13 은 위에서 설명한 테스트 방법을 도시화하였다.

그림 14 는 헤드엔드 에뮬레이터의 송신부에서 발생시킨 메시지를 나타내며, 그 응답은 그림 15 과 같이 헤드엔드 에뮬레이터 수신부에 표시된다.

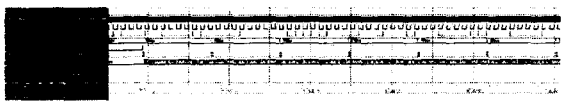

그림 11. FDC 처리 Waveform.

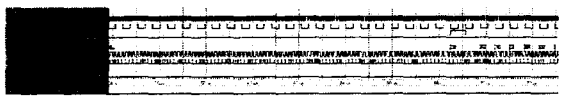

그림 12. RDC 처리 Waveform.

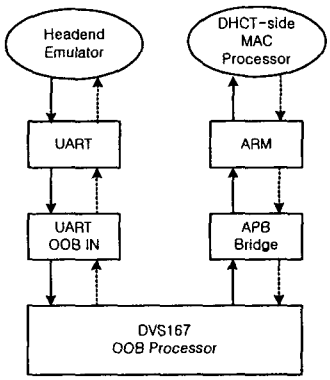

그림 13. OOB 동작 검증을 위한 Verification 방법.

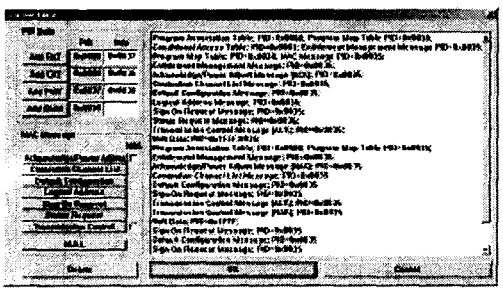

그림 14. 헤드엔드 에뮬레이터 송신부.

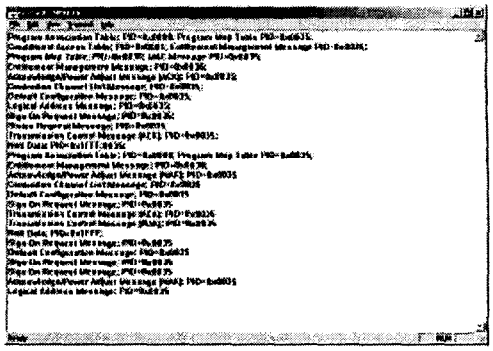

그림 15. 헤드엔드 에뮬레이터 수신부.

V. Conclusion

본 논문에서는 OpenCable OOB 규격 중 하나인 SCTE 55-2 2002 에서 정의하는 OOB 프로세서의 구조와 알고리즘을 분석하였고, OOB 프로세서를 설계하고 그 동작을 검증하였다. 북미 및 국내에서 OpenCable 이 디지털 CATV 의 표준으로 결정되었기 때문에, 본 논문에서 구현한 OOB 프로세서를 사용하여 OpenCable 용 POD 모듈을 개발할 경우 국내 기술력을 확보함으로써 외국 선진 기술에 종속되지 않고, 많은 수입대체 효과를 올릴 수 있을 것으로 예상된다.

참고문헌

[1] M. Adams, OpenCable™ Architecture, Cysco Systems, 2000.

[2] IS-N-INT02-000314, "OCI-N Cable Network Interface Specification," Mar. 2000.

[3] SCTE 55-2 2002, "Digital Broadband Delivery System: Out Of Band Transport - Mode B," 2002.