대면적, 고해상도 TFT-LCD 구동용 저소비전력, High Slew Rate OP-AMP

최 진 철, 김 성 중, 성 유 창, 권 오 경
한양대학교 전자통신전파공학과

Low Power and High Slew-Rate OP-AMP for Large Size and High Resolution TFT-LCD Applications

Jin-Chul Choi, Seong-Jung Kim, Yoo-Chang Sung and Oh-Kyong Kwon
Division of Electrical and Computer Engineering
Hanyang University
E-mail : okwon7@chol.com

Abstract

In this paper, we proposed high slew-rate and low-power OP-AMP of the data driver for TFT-LCDs. Proposed OP-AMP contains newly developed rail-to-rail class-AB input circuit which enables the low-quiescent current and high slew-rate OP-AMP. The slew-rate and the quiescent current of the proposed OP-AMP are 31.2V/μsec and 5μA, respectively.

I. 서론

일반적으로 TFT-LCD 구동용 OP-AMP는 단일 이득 구조로서 DAC의 출력 전압을 데이터 라인에 전달하는 아날로그 버퍼로 사용된다. 따라서, OP-AMP의 open-loop gain 과 slew-rate이 높아야 하는데, open-loop gain이 작을 경우 gain error 가 커지게 되어 DAC의 출력 전압과 OP-AMP의 출력전압 사이의 오차가 커지게 되며, slew-rate이 낮을 경우에는 데이터 라인을 원하는 전압으로 충전 및 방전하는데 걸리는 시간이 오래 걸리게 된다. 일반적으로 TFT-LCD 구동용 OP-AMP는 80dB 이상의 open-loop gain을 필요로 한다. 하지만 1-stage 구조의 OP-AMP는 open-loop gain이 약 60dB 정도로 낮고, slew-rate은 정상 상태 전류(quiescent current)의 크기에 비례하게 되므로 높은 slew-rate을 갖기 위해서는 소비전력이 커져야 한다[1]. 따라서, 100dB 이상의 높은 open-loop gain과 낮은 정상 상태 전류에서 높은 slew-rate을 가지며, 비교적 간단한 2-stage 구조가 TFT-LCD 구동용 OP-AMP로서 널리 사용되고 있다.

2-stage OP-AMP의 slew-rate은 그림 1에서와 같이 입력단으로 흐르는 전류의 크기에 비례하고 주파수 보상을 위한 커패시터의 크기에 반비례하게 된다. C_C의 경우 60^0 이상의 phase margin을 얻기 위한 크기가 정해지므로, OP-AMP가 높은 slew-rate을 갖는 OP-AMP를 설계하기 위해서는 입력단으로 흐르는 전류를 증가시켜야하며, 이 경우 소비전력이 증가하게 된다.

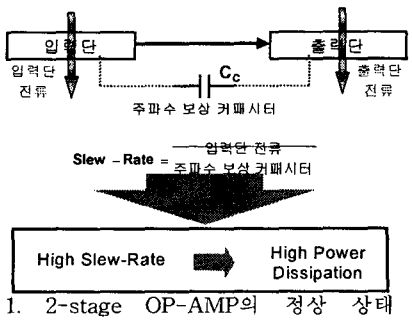

그림 1. 2-stage OP-AMP의 정상 상태 전류와 slew-rate.

따라서 본 논문에서는 전력소비가 적으면서도 높은

slew-rate을 갖는 OP-AMP을 설계하기 위해 정상 상태에서 낮은 전류를 유지하나 slew시에서는 큰 전류 구동 능력을 갖는 rail-to-rail folded cascode class-AB 차동 입력 증폭단을 제안하여 저소비전력과 높은 slew-rate 특성을 가지는 OP-AMP를 설계하였으며, Hspice[3]시뮬레이션을 통해 성능을 검증하였다.

II. 제안한 차동 입력단

그림 2에 제안한 rail-to-rail folded cascode class-AB 차동 입력 증폭단의 회로도를 나타내었다. 제안한 차동 입력 증폭단은 rail-to-rail class-AB 차동 입력부와 차동 입력부를 포함하는 folded-cascode 구조로 이루어져 있다.

그림 3에 일반적인 차동 입력부의 회로와 그 특성을 나타내었다. 그림 3 (a)에서 입력 신호 전압의 차이(V_{in}+-V_{in}-)가 생기면 I_1 과 I_2의 전류 크기가 변하게 되는데, 이를 그림 3 (b)에 나타내었다. 그림 3 (b)에서 알 수 있듯이, 일반적인 차동 입력부는 입력 신호 전압의 차이가 커져도 I_1 과 I_2의 전류 크기는 전류원의 전류 크기에 의해 제한됨을 알 수 있다. 그림 4에 class-AB 차동 입력부의 회로와 그 특성을 나타내었다. 일반적인 차동 입력부와 마찬가지로, 그림 4 (a)에서 입력 신호 전압의 차이(V_{in}+-V_{in}-)가 생기면 일반적인 차동 입력부와 마찬가지로 I_1 과 I_2 의 전류 크기가 변하게 되는데, 이를 그림 4 (b)에 나타내었다. 하지만 그림 4 (b)에서 알 수 있듯이 일반적인 차동 입력부와는 달리 입력 신호 전압의 차이가 커지면 I_1 과 I_2의 전류 크기는 입력 신호 전압의 차이에 비례하여 증가함을 알 수 있다. 따라서, 일반적인 차동 입력부[2]를

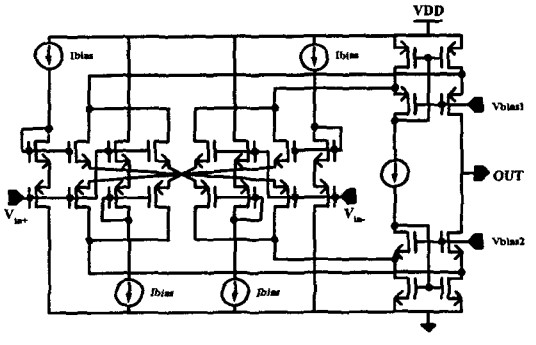

그림 2. 제안한 rail-to-rail 폴디드-케스코드 class-AB 차동 입력 증폭단

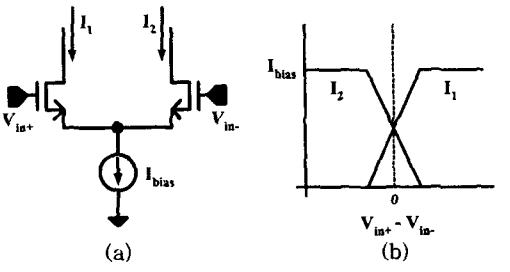

그림 3. (a) 일반적인 차동 입력부의 회로와 (b) 전류 특성

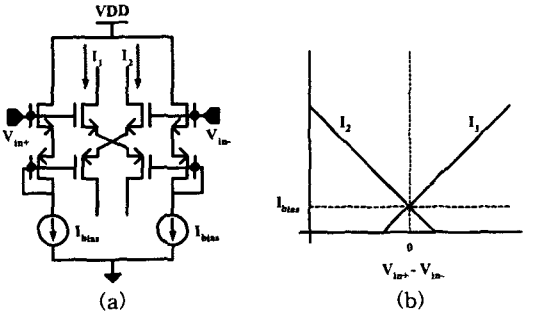

그림 4. (a) Class-AB 차동 입력부의 회로와 (b) 전류 특성

사용한 2-stage 연산 증폭기의 경우 I_1 과 I_2 전류 크기가 전류원의 전류 크기에 제한되기 때문에, slew-rate을 높이기 위해서는 전류원의 전류 크기가 증가하여야 하며, 따라서 소비전력이 증가하게 되나, class-AB 차동 입력부를 사용한 2-stage 연산 증폭기의 경우는 그림 4에서와 같이 I_1 과 I_2 전류의 크기가 입력 신호 전압의 차이(V_{in}+-V_{in}-)에 비례하여 증가 하므로, 낮은 정상 상태 전류에서 높은 slew-rate을 얻을 수 있다. TFT-LCD 구동용 데이터 드라이버의 OP-AMP는 넓은 입력 신호 전압의 범위를 요구하는데, Class-AB 차동 입력부의 단점은 입력 신호 전압의 범위가 작다는 것이며, 이를 그림 5에 나타내었다. Class-AB 차동 입력부의 입력 신호의 전압 범위는 그림 5에서 알 수 있듯이, $2V_{GS}$만큼 제한을 받는데, 일반적인 TFT-LCD 데이터 라인 구동 전압 범위인 9V에 가까운 범위를 포함하기 위해서는 VDD가 매우 높아져야 되고 이에 따라서 소비전력이 증가하게 된다.

본 논문에서는 이와 같은 문제를 해결하기 위해서 그림 6에서처럼 2개의 class-AB 차동 입력부를 병렬로 연결하여 입력 신호의 전압 범위를 rail-to-rail로 만든 class-AB 차동 입력부를 제안하였으며, 제안한 rail-to

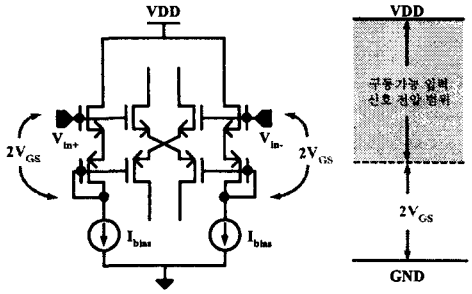

그림 5. Class-AB 차동 입력부의 입력 신호 전압 범위.

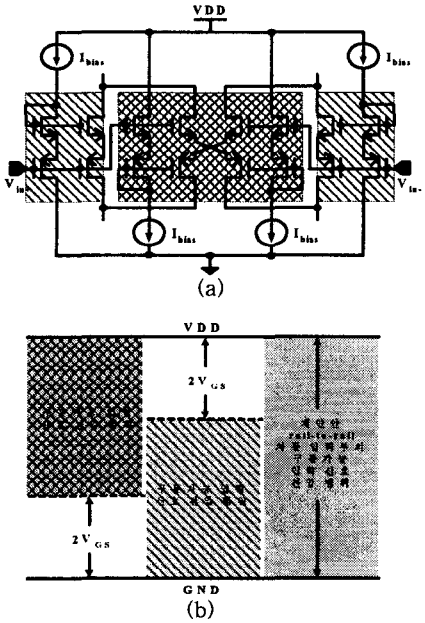

그림 6. (a)제안한 rail-to-rail class-AB 차동 입력부 및 (b)입력 신호 전압 범위.

-rail class-AB 차동 입력부를 포함하는 rail-to-rail folded cascode class-AB 차동 입력 증폭단을 제안하여 open-loop gain을 증가 시켰다.

그림 7에 제안한 rail-to-rail folded cascode class-AB 차동 입력 증폭단과 class-AB 출력단을 결합하여 설계한 OP-AMP의 회로도를 나타내었다. 설계한 OP-AMP는 제안한 rail-to-rail folded cascode class-AB 차동 입력 증폭단을 사용하여 낮은 정상상태 전류에서 높은 slew-rate을 보여주며, 동시에 rail-to-rail 구동 전압 범위와 높은 open-loop gain을 갖는다.

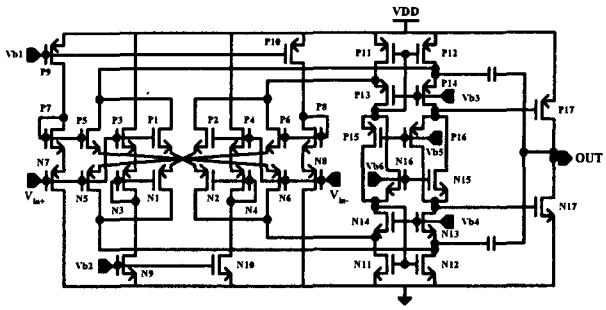

그림 7. 제안한 rail-to-rail folded cascode class-AB 차동 입력 증폭단을 사용하여 설계한 2-stage OP-AMP

III. Hspice 시뮬레이션 결과

그림 8은 OP-AMP의 step response를 시뮬레이션하기 위한 모델을 나타낸 것으로서, RC-분포 회로는 30인치, UXGA급 직시형 TFT-LCD 패널의 데이터 라인 로드를 가정하여 모델링 한 것이다.

그림 9에 1V에서 9V로 변하는 구형파 인가시의 step response를 시뮬레이션 한 결과 파형을 나타내었다. 표 1에 제안한 OP-AMP의 성능을 요약하여 나타내었다. 제안한 OP-AMP는 약 5μA의 정상 상태 전류에서 31.2V/μsec의 slew-rate을 보여 준다. 참고로 Hspice parameter는 0.6μm을 사용하여 시뮬레이션하였다.

IV. 결론

본 논문에서는 대면적 고해상도 TFT-LCD 패널을 구동하기 위한 연산증폭기 회로에 있어 소비전력을 줄이면서도 높은 slew-rate을 얻기 위해 rail-to-rail folded cascode class-AB 차동 입력 증폭단을 제안하였다. 본 논문에서 제안한 연산증폭기는 5μA의 정상상태전류에서 31.2V/μsec의 slew-rate을 보여주데 이는 같은 정상상태 전류에서 기존 구조의 slew-rate인 3V/μsec에 비해 10배 이상의 성능이다. 또한 제안한 연산증폭기는 rail-to-rail 구동 전압 범위와 100dB 이상의 높은 open-loop gain을 갖는다.

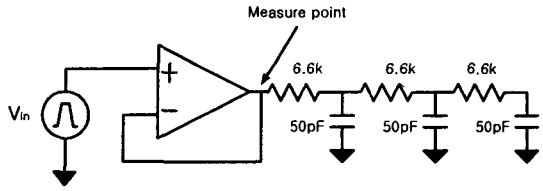

그림 8. 제안한 OP-AMP의 step response를 시뮬레이션하기 위한 모델.

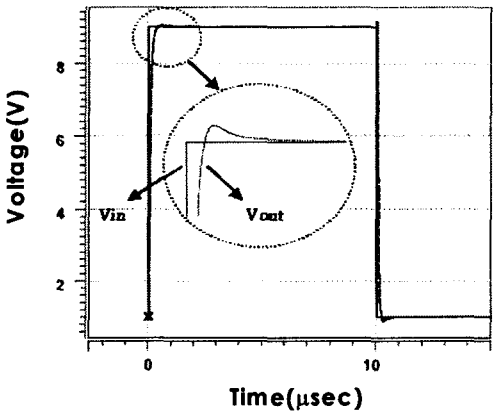

그림 9. 제안한 OP-AMP의 step response에 대한 시뮬레이션 결과 파형.

표 1. 제안한 high slew-rate OP-AMP 성능 요약.

항 목	단 위	성 능
전원 전압 범위	V	10 ~ 13
구동 전압 범위	V	VSS+0.3 ~ VDD-0.3
Open-loop gain	dB	100
정상상태 전류	μA	5
Slew-rate	V/μsec	31.2
Phase margin	°	60
단일 이득 주파수	MHz	1.5

참고문헌

[1] P. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits," 3rd Ed. New York, John Wiley & Sons Inc. 1993, pp. 642-646.

[2] R. Hogervorst, *et. al.*, "A Compact Power-Efficient Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries," IEEE J. of Solid-State Circuits, SC-29, Dec 1994, pp.1505-15.

[3] Avant! Corp., "Star-Hspice manual," 2000.