

# 중앙 브릿지 칩셋을 갖춘 Xilinx FPGA, ALTERA CPLD 겸용 Digital Logic Design Training kit

진 상 현, 정 완 영\*  
동서대학교 정보시스템학부, \*인터넷 공학부  
전화 : 055-325-1368 / 핸드폰 : 019-380-1368

## Taining Kit for Xilinx FPGA or ALTERA CPLD Digital Logic Design with Center Bridge Chipset Architecture

Sang Hyon Jun, Wan-Young Chung Ph.D.\*  
School of Electronics and Electrical Engineering DongSeo University  
E-mail : jun1368@chol.com

### I. 서론

#### Abstract

We have developed Logic Design Training Kit for studying, actual training, designing of FPGA(Xilinx) or CPLD(ALTERA CPLD), the Digital Logic Device. This training kit has 12 matrix keys, RS232 port for serial communication and uses LED array, six FND(Dynamic), LCD as display part. That is standard specification for digital logic training kit.

Special point of this kit is that we make two logic device trainig kit. This two logic device kit have more smaller and simple architecture because only uses one chip. That chip already includes a lot of functions that need for training kit, such as : complex logic circuit needed the two kind of logic devices, 16 way of system clock deviding function, serial communication interrupt....etc. We called that one chip is Center Bridge Chipset : Xilinx FPGA Spartan2.

User can select between using one device of FPGA or CPLD, or uses both them. Because of, Center Bridge Chipset has profitable architecture. it can work as Logic Device's networking with Master-Slave connection When using both logic devices.

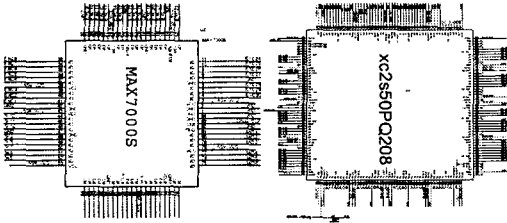
최근 반도체 기술의 발전과 더불어 반도체 설계를 위한 로직 디자인이 중요시 되고 있다. 로직 디자인을 하기 위해선 기존의 이론적인 교육 또는 검증 환경보다 로직 디바이스, 하드웨어 설계 언어인 HDL, 다양한 실습장비들을 사용하여 이론에서 얻은 결과를 직접 눈으로 확인 할 수 있는 환경이 제공 되어야 한다.

본 교육용 키트는 현대의 전자, 정보통신 산업현장에서 필요로 하는 디지털 논리 회로 설계 즉 로직 디자인을 하기 위해서 기존의 이론적인 교육 및 검증 환경에서 벗어나 결과를 직접 눈으로 확인하고 수정하며 실습 할 수 있는 환경을 제공하는 디지털 논리 회로 설계 실습장비이다. 복잡한 회로의 집적화, one chip회로 설계, DSP(Filter)나 Processor Contoller와 같은 디지털 논리 회로를 VHDL이나 VERILOG로 설계한 후 교육용 키트를 통해 설계한 논리 회로의 정상동작 여부를 검증 할 수 있다. 기존의 키트가 특정 회사의 PLD칩만을 전용으로 사용하는 문제점을 해결하기 위해 각각 제조회사가 다른 2개의 칩을 사용하게 했을 뿐만 아니라 듀얼 디바이스 교육용 키트에서의 복잡한 PLD칩 선택회로를 브릿지칩셋에 직접화하여 회로를 단순화하고 쉽게 활용 할 수 있게 하였다.

## II. Training Kit의 구조와 기능

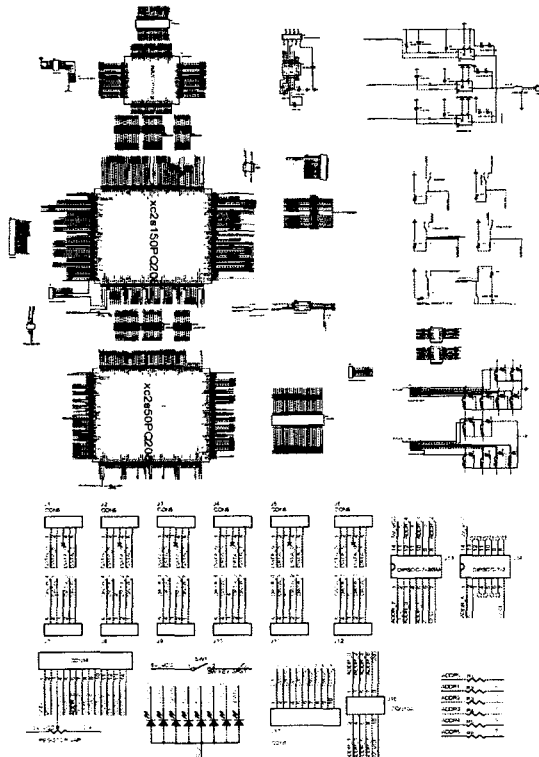
### 2.1 전체 구조 및 동작개념

본 문에서는 실제 제작한 Kit를 중심으로 설명한다. CPLD 구성은 ALTERA MAX7000S [EPM7128SLC84-15] 이고 FPGA 구성은 Xilinx Spartan2 [XC2S150-PQ208]로 되어 있다. [그림 1]은 CPLD와 FPGA를 나타내고 있다.



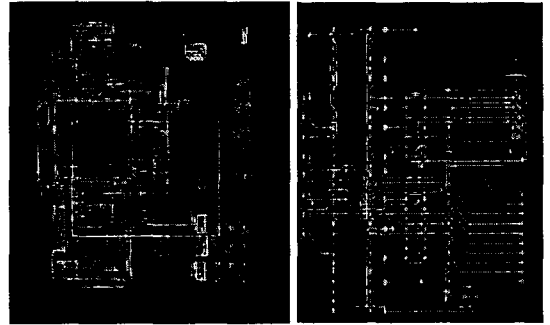
[그림 1] CPLD 와 FPGA

입력장치로는 12개의 키매트릭스, OSCILLATOR(40Mhz 입력시 40MHz 부터 1Hz 까지 16가지 클럭으로 중앙 브릿지 칩에서 분주 가능), 시리얼 통신 포트 1EA로 구성되고, 출력장치로는 FND 6EA(다이내믹 방식), LED 8EA, TEXT LCD 2EA로 구성 되어 있다. Configuration은 BYTE BLASTER [CPLD] 와 Parallel-III [FPGA]을 사용하는 방식이다. 기본적인 입출력 핀 외에 CPLD에는 32핀, FPGA 100핀의 확장소켓을 가지고 있다. [그림2]는 키트의 전체회로도이다.

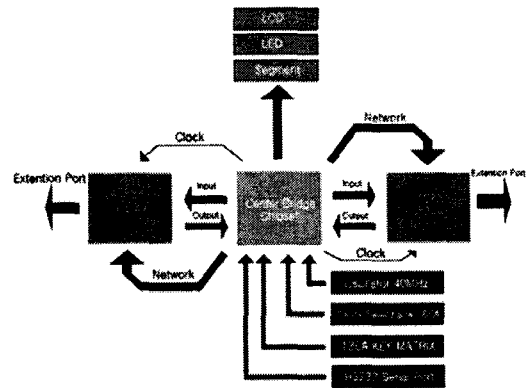


[그림 2] Trainig Kit의 전체 회로도

본 회로도의 Schematic 파일을 Annotate Schematic, Check Electrical Rules(DRC 체크), Creat Netlist 과정을 순서대로 실행하면 mml파일이 생성된다. 생성된 mml파일을 LAYOUT Tool에서 불러 FootPrint작업을 통해 max파일을 만들고 모든 소자들을 배치한다. [그림 3]은 배치를 끝낸 후 Routing 작업을 완료한 레이아웃이다.



[그림 3] 완성 된 Trainig Kit LAYOUT

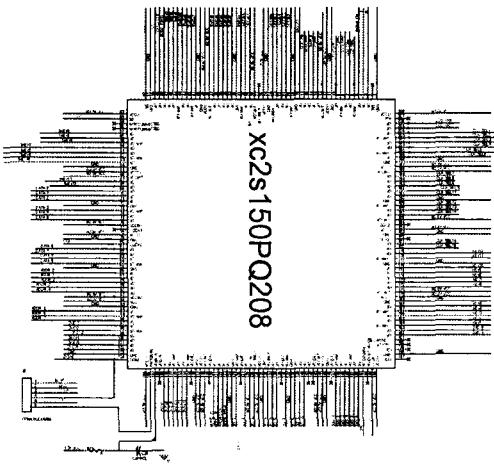


[그림 4] Trainig Kit의 동작개념도

[그림4]는 Trainig Kit의 동작개념을 설명하기 위한 개념도이다. 그림과 같이 40Mhz의 시스템클럭과 각종 입출력 모듈이 중앙 브릿지 칩에 집중되어 있으며 사용자가 사용할 두 로직 디바이스는 중앙 브릿지 칩과 연결되어 있다. 즉, 사용할 로직 디바이스는 중앙 브릿지 칩을 통해 입력을 제공받고 출력 역시 이 칩을 거치게 되는 것이다. 이러한 회로적 특성으로 두 가지로직 디바이스를 선택하거나 동시에 사용하게 될 때 회로의 변경없이 단지 중앙 브릿지 칩의 시그널 제어만으로 실습 및 실험이 가능하게 되었다.

본 Kit는 LED와 LCD, FND 출력 모듈에 한해서 각각의 출력 모듈에 어드레스를 지정하여 데이터 시그널과 어드레스 시그널을 통해 제어하는 독특한 구동형태로 되어 있다. 프로그램시에 약간의 이해가 필요하나 덤스위치로 원하는 출력 모듈을 On/Off하여 작동시켰던 기존의 방식보다 오히려 간편하고 총 18개의 시그널출력핀 즉, 10Bit DATA OUTPUT과 8Bit ADDRESS OUTPUT만으로 LCD와 8개의 LED, 6개의 Segment를 모두 제어 할 수 있다.

### 2.2 Center Bridge Chipset Architecture



[그림 5] 중앙 브릿지 칩(Center Bridge Chip)

[그림 5]은 본 Kit의 가장 핵심적인 역할을 하는 중앙 브릿지 칩을 보여주고 있다. 본 Kit가 많은 부품을 사용하지 않고 비교적 간단한 구성으로 로직 디바이스를 2개 사용할 수 있고 실습장비로서 기본적인 기능을 수행 할 수 있는 것은 기능적으로 필요한 논리회로가 모두 이 중앙 브릿지 칩에 집적되어 있기 때문이다.

이 중앙 브릿지 칩은 두 로직 디바이스간의 시그널 입출력을 통제하고 사용자가 선택한 시스템 클럭을 오실레이터 클럭에서 분주하여 각 디바이스에게 공급해 준다. 두 디바이스간의 Master-Slave관계로 네트워킹이 가능한 것도 이 칩이 내부적으로 시그널버스의 흐름을 제어 할 수 있기 때문이다.

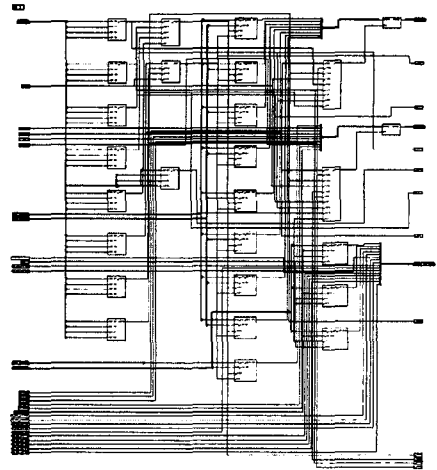
이 외에도 시리얼통신 인터럽트 모듈과 LCD로 현재 Kit의 상태를 디스플레이할 수 있도록 LCD 인터럽트 모듈도 내장되어 있다.

### 2.3 In/Out Signal Bus Control Module

본 Kit는 두 로직 디바이스로 향하는 각종 입출력 시그널을 중앙 브릿지 칩을 통하여 흐르도록 구성되어 있다.

CPLD 또는 FPGA중 한 가지만 사용할 경우 어느 쪽에 전원이 들어가 있는지 감지하여 전원이 켜진 디바이스쪽에서만 입출력 시그널이 흐르도록 되어 있으며 두 전원이 다 켜져 있을 경우 Master-Slave 점퍼 스위치를 통해 Master-Slave 관계를 설정하고 이 관계 설정에 의해 입출력 시그널이 두 로직 디바이스에 네트워킹되어 전체적으로 두 디바이스를 동시에 사용할 경우에도 원활한 작동을 하도록 되어 있다.

중앙 브릿지 칩에는 이러한 기능을 하는 In/Out Signal Bus Control Module을 내장하였으며 Xilinx Verilog HDL Tool에서 모듈 Schematic을 보면 [그림 6]과 같이 구성되어 있다.



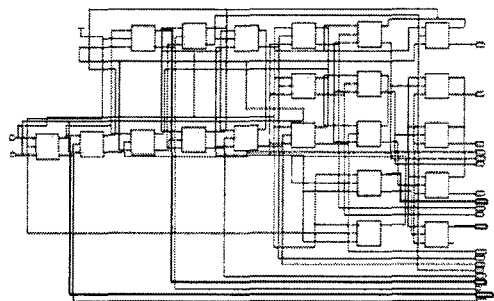
[그림 6] In/Out Signal Bus Control Module

### 2.4 System Clock Devide Module (클럭분주모듈)

본 Kit는 오실레이터가 공급하는 클럭을 중앙 브릿지 칩이 입력받고 클럭 분주를 하여 사용자가 선택한 클럭으로 CPLD 와 FPGA에 시스템 클럭을 공급해 준다.

16개의 뒀스위치로 클럭분주를 통해 총 16가지 시스템클럭을 제공해 줄 수 있다. 본 Kit에서 40MHz 클럭의 오실레이터를 사용하는데 중앙 브릿지의 시스템 클럭 분주 모듈을 통해서 두 로직 디바이스에 다음표와 같은 시스템 클럭을 제공해 주게 된다.

오실레이터	40MHz			
1	20MHz		9	50KHz
2	10MHz		10	10KHz
3	4MHz		11	1KHz
4	2MHz		12	800Hz
5	1MHz		13	400Hz
6	800KHz		14	200Hz
7	400KHz		15	100Hz
8	100KHz		16	1Hz

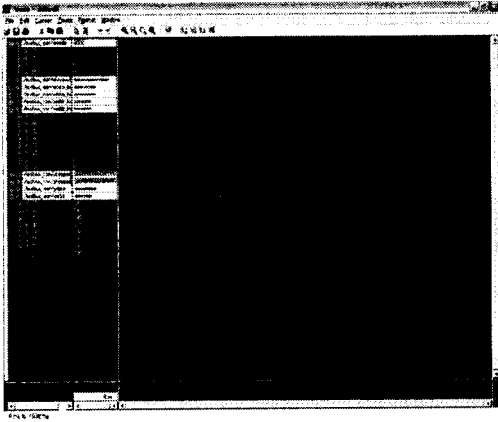


[그림 7] System Clock Devide Module

시스템 클럭 분주모듈을 Xilinx Verilog HDL Tool에서 모듈 Schematic을 보면 [그림 7]과 같이 구성되어 있다.

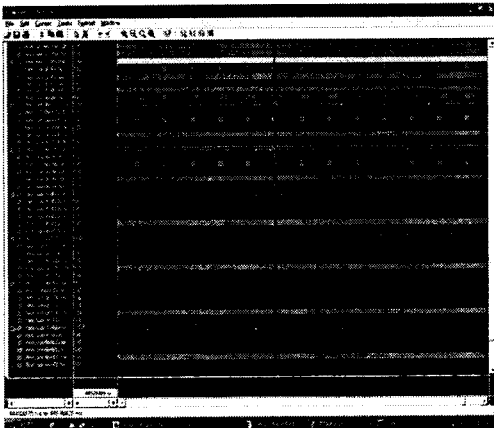
### III. 시뮬레이션 결과 및 관련사진 자료

#### 3.1 In/Out Signal Bus Control Module Simulation

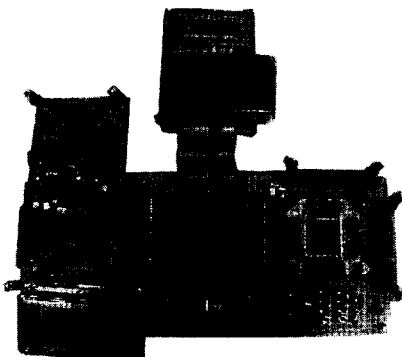


[그림 8] In/Out Signal Bus Control Module Simulation

#### 3.2 System Clock Devide Module Simulation



[그림 9] System Clock Devide Module Simulation



[그림 9] Trainig Kit 전체 사진

### IV. 결론

지금 까지 본 논문에 쓰인 Trainig Kit에 대해 각 기능과 중앙 브릿지 칩 구조 그리고 내부모듈까지 알아보았다. 현대사회에서 고부과가치 사업인 반도체 사업은 하루가 다르게 성장하고 있다. 하지만 학교 교육은 이론에만 그치는 실정이다. 또 개인이 고가의 실습장비를 구입하기는 어려울 것이다.

본 Kit는 이를 감안해 최대한 단가를 줄였고 이론이 아닌 눈으로 보고 실습 할 수 있게 설계구현 해보았을 뿐만 아니라 성능 또한 우수하다고 판단한다. 더욱이 PLD 디바이스의 대표적인 두 종류의 로직 디바이스 CPLD와 FPGA 칩은 각기 다른회사의 제품이므로 로직 디자인 실습 및 설계에 대해서 한층 폭넓은 경험을 할 수 있을 것이다.

앞으로 하드웨어 적인 오류부분을 조금 더 확실히 해결할것이며 기본적으로 CLK분주 부분의 상태만 표시하였는데, 이를 좀더 발전시켜 Kit의 현재 상태도 완전히 알수 있게 표시할 것이다.

끝으로 많은 학생들이 반도체 설계 분야에 관심을 가지고 나아가서 우리나라 반도체 설계 분야에 큰 발전을 가져오길 바라며 이상으로 본 논문을 마치고자 한다.

#### - 감사의 글 -

이 논문은 반도체 설계 교육 센터(IDECE)의 일부지원으로 이루어졌습니다. 논문이 완성하기 까지 지원을 아끼지 않는 IDECE 관계자 여러분께 깊은 감사를 드립니다.

#### 참고문헌(또는 Reference)

- [1]. 박상철, 이승무, 강우성 (공저) [Easy Up ORCAD] 도서출판 성인당 1999.01.11
- [2]. 정완영, 이영욱 (공저) [ VHDL을 이용한 디지털 회로 설계 및 응용] 도서출판 VISION 21 2000.08.26
- [3]. 박세현 (저) [디지털 시스템 설계를 위한 VHDL 기본과 활용] 도서출판 그린 1998.10.28
- [4]. 차영배 (편저) 기초부터 응용까지 Verilog HDL 도서출판 다다미디어 2002년 4월 1일