

개방루프를 이용한 저전력 2 단 8-비트 500Msamples/s ADC

박선재¹, 구자현¹, 김효창¹, 윤재운¹, 임신일², 강성모³, 김석기¹

¹고려대학교 전자공학과 ULSI 연구실

²서경대학교 컴퓨터공학과 집적회로 연구실

³Dept. of Electrical Eng., UCSC

An Open-Loop Low Power 8-bit 500Msamples/s 2-Step ADC

Sunjae Park¹, Jahyun Koo¹, Hyochang Kim¹, Jaeyoun Youn¹, Shin-Il Lim², Sung-Mo Kang³, Suki Kim¹

¹Dept. of Electronics Eng. , Korea University, ULSI Lab

²Dept. of Computer Eng. , SeoKyeong University

³Dept. of Electrical Eng., UCSC

E-mail : sjpark@ulsi.korea.ac.kr

Abstract

본 논문에서는 고속, 저전력에 적합한 개방 구조를 갖는 8-비트 500Msamples/s 2-Step ADC 를 제안하였다. 500Msamples/s 의 고속 동작을 위해서 기존의 M-DAC 을 이용한 폐쇄 구조 대신 개방형 구조를 사용하였다. 이와 더불어 저전력을 구현하기 위해서 analog-latch 를 제안하여 동적 동작을 수행시킴으로써 전력 소모를 줄였으며, mux 의 구현 시 reset switch 를 이용하여 로딩 시간을 개선함으로써 high-speed 에 적합하도록 설계하였다. 제안된 ADC 는 1-poly 6-metal 0.18um CMOS 공정을 이용하였으며 1.8V 전원 전압을 이용하여 250mW 의 전력을 소모하며 500M 샘플링 주파수에서 120MHz 신호 입력 시 7.6 비트의 ENOB 를 얻을 수 있었다.

I. 서론

최근 System-On-Chip 의 경향에 따라 집적회로 상에서 아날로그-디지털 인터페이스의 내장 설계 기술의 발전이 날로 증대되고 있다. 특히 아날로그 디지털 인터페이스 기술 중에서 고속, 고해상도, 저전력

이 논문은 2002 년도 학술진흥재단의 지원에 의하여 연구되었음. (KRF-2002-042-D00103)

ADC 는 의료장비 및 디지털 오디오, 디지털 TV 등의 분야에서 광범위하게 이용되고 있다. 이에 따라 고속, 고해상도의 저전력, 저전압의 ADC 설계가 더욱 중요해지고 있는 것이다. 이러한 시대적 요구에 부응하기 위해서 본 논문에서는 디스플레이 시스템에 적합한 고속, 고해상도의 저전력 8-비트 ADC 를 설계하였다. 기존의 2-Step ADC 는 M-DAC(multiplying digital-to-analog converter)을 이용한 폐쇄 구조를 이용하고 있는데 이러한 폐쇄 구조는 settling 등 고속 동작에 많은 문제를 가지고 있다. 본 논문에서는 고속동작을 위해 개방 구조를 사용하였다. 제안된 2-Step ADC 는 4-비트의 MSB 를 결정하는 coarse-ADC 와 4-비트 LSB 를 결정하는 fine-ADC 로 구성되어 있으며, 2-Step 구조를 이용함으로써 필요한 비교기의 수를 255 개에서 30 개로 줄일 수 있었다. 전체적인 동작은 첫 단에서 MSB 를 결정하고, 결정된 MSB 에 의해 1/N code 를 발생시켜 analogue-latch array 의 output 을 선택적으로 muxing 해서 LSB 를 결정하는 방식을 취하고 있다. Analog-latch 는 2 단의 프리 엠프로 구성되어 있는데, 첫 번째 프리 엠프는 모두 동작하고 두 번째 프리 엠프는 결정된 MSB 에 의해 결정된 1/N 코드에 의해 17 개의 Analog-latch array 중 2 개만 선택적으로 동작 시킴으로써 전력소모를 줄였다. 또한 high speed 구현을 위해 coarse-ADC 에서 MSB 를 결정하는 동안 mux 의 output 들을 reset-switch 를 이용하여 pre-

charge 시킴으로써 그 동안 high-speed 구현시 문제가 되었던 mux의 로딩 시간 문제를 해결하였다.

II. 제안된 개방형 2-Step ADC

2.1 개방형 2-Step ADC의 기본구조

그림 1은 본 논문에서 제안한 ADC의 Block diagram을 나타내었다. 그림에서 알 수 있듯이 coarse와 fine의 2-step 개방 구조를 가지고 있는데 2-Step의 coarse-ADC와 fine-ADC는 각각 고전적인 4-bit flash ADC 개념을 사용하였다.

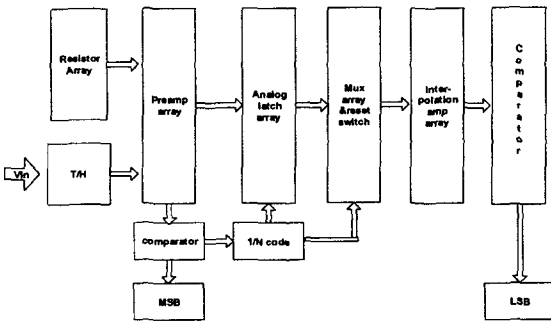


그림 1 제안된 2-Step ADC의 Block diagram

두 단으로 구성된 ADC는 CLK이 High일 때 Coarse-ADC에 의해 MSB가 결정되고, 결정된 MSB에 의해 analog-latch의 output 중 실제 정보가 있는 부분을 선택하기 위한 1/N code가 발생되게 된다. 이 때 comparator의 meta-stability로 인한 bubble-error는 첫 단의 온도계 코드가 1/N code로 변환되면서 correction되게 된다. 또한 mux output들을 reset-switch를 통하여 동일한 값으로 pre-charge 시킴으로써 CLK이 Low일 때 analog-latch가 필요로 하는 mux의 로딩 시간을 줄여 high speed를 구현하였다. 반면 CLK이 Low일 때는 MSB에 의해 발생된 1/N code에 의해 2 단으로 구성된 analog-latch의 두 번째 프리 앰프가 동작함으로써 LSB를 결정하게 된다. 이 때 analog-latch의 두 번째 프리 앰프를 모두 동작시키는 대신 1/N code에 의해 실제 정보가 있는 프리 앰프만 선택적으로 동작 시킴으로써 전력소모를 줄일 수 있었다. 본 논문에서는 위와 같은 기법을 이용하여 저전력 8-비트 500Msample/s ADC를 구현하였다.

2.2 Analog-latch

Analog-latch는 아래 그림 2와 같이 2단의 프리 앰프와 capacitor로 구성되어 있다. 실제적인 개방 구조의 2-step ADC를 구성하기 위해서는 coarse ADC와 fine ADC 사이에 T/H가 필요로 하게 되는데 본 논문에서는 프리 앰프 출력 사이에 MOS-capacitor를 연결함으로써 T/H를 대신하였다. Analog-latch의 동작은 다음과 같다.

CLK이 High일 때는 첫 단의 모든 프리 앰프가 동작하면서 출력 사이에 연결된 MOS-capacitor에 값을 hold하게 된다. 반면 CLK이 Low일 때는 1/N code에 의해 analog-latch array 두 번째 프리 앰프 중 정보를 가지고 있는 두 개만 동작하게 된다. 따라서 두 번째

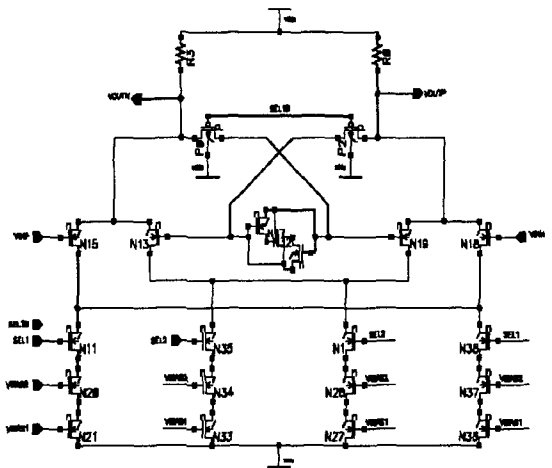


그림 2 제안된 Analog-latch

프리 앰프를 모두 동작시키는 대신 1/N code에 의해 선택적으로 동작시킴으로써 전력소모를 줄였다. 또한 두 프리 앰프의 저항을 공유함으로써 저항에 필요한 면적을 줄일 수 있었다.

2.3 MUX 리셋 스위치

실제적인 mux를 이용한 개방 구조 ADC를 설계할 경우 mux의 parasitic cap를 고려한 로딩 시간이 high-speed 구현에 걸림돌로 작용한다. 이러한 문제점을 해결하기 위해서 논문에서는 reset-switch(그림 3)를 제안하여 사용하였다. 제안한 리셋 스위치 동작을 보면 mux-array는 CLK이 Low일 때만 analog-latch의

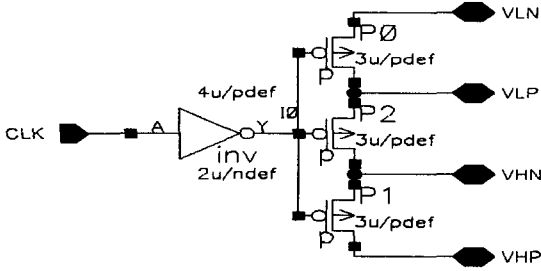


그림 3 Reset switch

출력을 interpolation-amp 에 전달하는 역할을 한다. 따라서 실제적인 동작을 하지 않는 CLK 이 High 인 구간에서 mux 의 parasitic capacitance 를 동일한 값으로 pre-charge 시킴으로써 mux 의 로딩 시간을 줄여 high-speed 를 구현 하였다. 그림 4 는 simulation 상에서 실제 mux 출력을 pre-charge 시켜서 최대 swing 폭에 도달하는 시간을 줄임으로써 loading time 문제를 해결 한 것을 보여주고 있다.

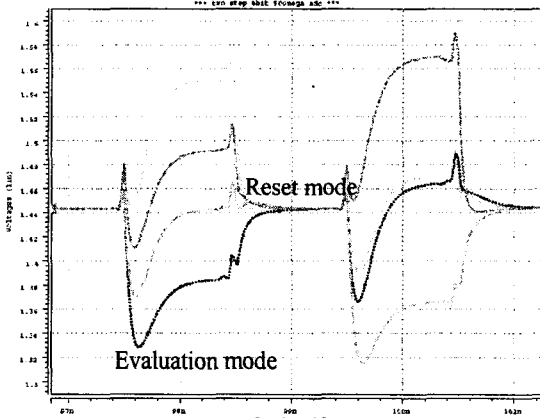


그림 4 Reset 을 통한 mux 출력 파형

2.4 Bubble error correction

본 논문에서는 1/N code 에 의한 선택적 muxing 기법을 사용하고 있다. 따라서 bubble-error 가 발생하게 되면 원치 않는 multi-selection 이 발생하게 되는데 이는 2-step 개방구조 ADC 에서는 원치 않는 현상이다. 이를 방지하기 위해 제안된 ADC 는 별도의 bubble-error correction logic 없이 온도계 코드에서 1/N code 로 변환시 bubble error 를 correction 하고 있다. 실제적인 comparator 는 ideal comparator 와는 달리 meta-stability 로 인해 온도계 코드에서 그림

5 와 같은 bubble -error 가 나타나게 된다. 이러한 bubble-error correction 을 위해서 제안한 논문에서는 온도계 코드를 밑에서부터 순차적으로 4 코드씩 선택하게 된다. 그리고 그 선택된 4 코드의 순서가 1000 일 때만 1 의 값을 유지하고 그렇지 않을 경우는 1 을 0 으로 변환 시킴으로써 온도계 코드에서 1/N code

0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	1	0	0	0	1	0
1	1	1	1	1	0	1
0	0	0	0	0	0	0
1	0	1	0	0	0	0
1	1	0	0	0	0	0
1	1	1	1	0	0	0
1	1	1	1	0	0	0

그림 5 Bubble- error correction

로의 변환시킴과 동시에 bubble-error correction 을 수행하였다.

III Simulation 결과

본 논문에서 제안한 analog-latch 와 reset-switch 를 이 용한 고속 저전력의 8-비트 500msamples/s ADC 의 simulation 결과는 다음과 같다.

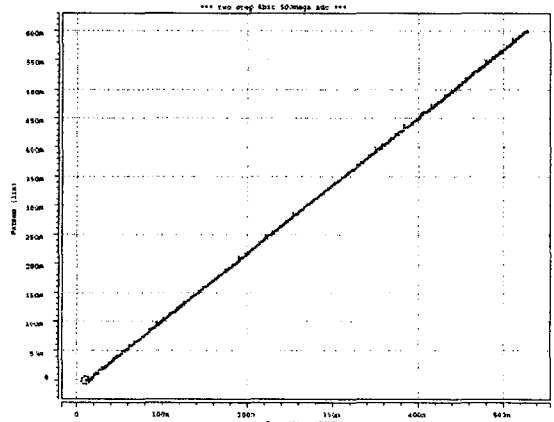


그림 6 Full code generation

그림 6 은 제안한 ADC 가 missing code 없이 단조

증가하며 full-code 를 발생시키는 것을 보여주고 있다. 그림 7 은 구현한 ADC 의 FFT 결과이다. 위 그림에서 보듯이 120MHz 의 신호 입력을 500M 로 샘플링 했을 때 7.6 비트의 ENOB 와 58.9dB 의 SFDR 을 얻을 수 있었다. 표 1 은 제안한 ADC 특성을 나타내고

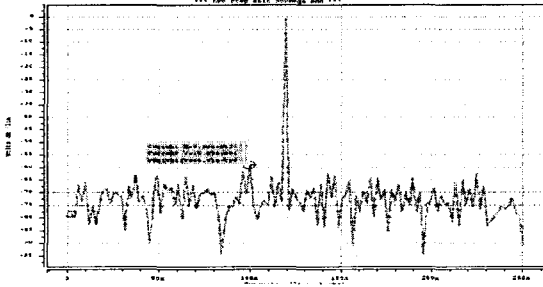


그림 6 FFT 결과

표 2, 표 3 은 각각 주파수에 따른 ENOB 변화와 주파수에 따른 SFDR, SNDR 값을 나타내고 있다.

표 1 . 설계된 ADC 특성

Resolution	8 bits
Sampling Freq.	500Msamples
Input Range	1.2Vpp Differential
Process	0.18μ m CMOS
Supply Voltage	1.8V
SNDR@Fin=4MHz	48.9dB
120MHz	48.3dB
INL/DNL	1LSB / 1LSB
Power	250mW

표 2 입력주파수에 따른 SFDR & SNDR

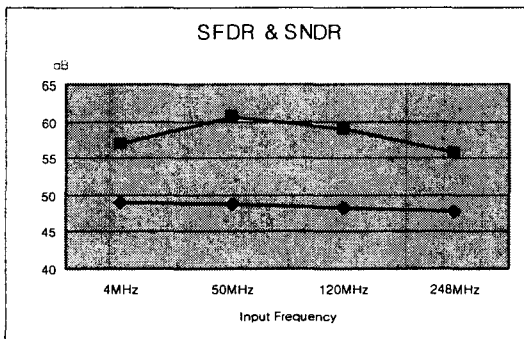
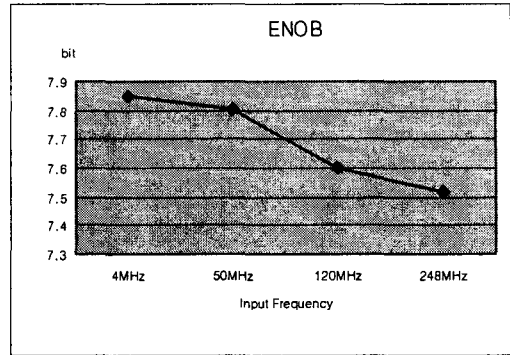


표 3 입력주파수에 따른 ENOB



IV. 결론

본 논문에서는 디스플레이에 적합한 고속의 저전력 8-비트 ADC 를 설계하였다. 고속 동작을 위해서 기존의 M-DAC 을 이용한 폐쇄 구조 대신 2-Step 개방 구조를 사용하였으며 mux 의 출력 단에 reset switch 를 이용하여 mux 로딩에 필요한 시간을 줄임으로써 high-speed 를 구현하였다. 전력 소모를 줄이기 위해서 analog-latch 를 이용, 모든 프리 엠플를 동작시키는 대신 선택적인 동작 기법을 사용하여 저전력 ADC 를 구현하였다. 최종적인 500M 샘플링 주파수에서 120MHz 신호입력 시 7.6 비트의 ENOB 와 250mW 의 전력을 소모한다.

참고문헌

- [1] Choi. M., Abidi A.A. "A 6-b 1.3Gsamples/s A/D converter in 0.35um CMOS ", *IEEE J. Solid-State Circuits*
- [2] C. Lane, "A 10-Bit, 60-MS/s flash ADC," in *Proc. BCTM*, Sept. 1989,pp. 44-47.
- [3] H. Kimura *et al.*, "A10-b 300-MHz interpolated parallel A/D converter," *IEEE J. Solid-State Circuits*, vol. 28, pp. 438-446, Apr. 1993.
- [4] A. G. W. Venes and R. J. van de Plassche, "An 80-MHz, 80-mW, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1846-1853, Dec.1996.