개방형 파이프라인 구조의 저전력 8-비트 500Msps ADC

김신후[1], 김윤정[1], 김효창[1], 윤재윤[1], 임신일[2], 강성모[3], 김석기[1]
[1]고려대학교 전자공학과 ULSI 연구실,
[2]서경대학교 컴퓨터공학과 집적회로 연구실
[3]Dept. of Electrical Eng., UCSC

A Low Power 8-bit 500Msps Pipeline ADC with Open Loop Architecture

Shinhoo Kim[1], Yunjeong Kim[1], Hyochang Kim[1], Jaeyoun Youn[1], Shin-Il Lim[2], Sung-Mo Kang[3], Suki Kim[1]
[1]Dept. of Electronics Eng., Korea University, ULSI Lab
[2]Dept. of Computer Eng., SeoKyeong University
[3]Dept. of Electrical Eng., UCSC
E-mail : sinukim@ulsi.korea.ac.kr

Abstract

본 논문에서는 개방형 파이프라인 구조를 이용한 8 비트 500Msamples/s ADC 를 제안하였다. 8-비트의 해상도에 적합하면서 전력 소모가 적은 5 단 파이프라인 구조로 설계하였으며, 고속 동작에 적합하게 MUX 스위치에서 선택한 신호를 인터폴레이션하는 개방형 구조를 채택하였다. 전력 소모와 전체 칩 면적을 줄이기 위해서, 각 단에서 필요한 신호의 수를 줄이도록 설계하였다. 설계된 ADC 는 3 개의 신호를 이용하여 구현 함으로서 각 단에서의 증폭기 수를 줄일 수 있었다. 또한 1.8V 의 낮은 전원 전압에 의한 작은 입력 범위에서 8-비트의 해상도를 만족하기 위해서 Offset Cancellation 기법을 사용하였다. 제안된 ADC 는 0.18μ m 일반 CMOS 공정을 이용하여 설계되었으며 시뮬레이션 결과 500 Msamples/s 에서 220mW 의 전력 소모를 가지며, 1.2 Vp-p (Differential) 입력 범위에 대해서 약 48 dB 의 SNDR 을 (8-비트의 해상도) 가짐을 확인할 수 있었다.

이 논문은 2002 년도 학술진흥재단의 지원에 의하여 연구되었음. (KRF-2002-042-D00103)

I. 서론

신호처리의 속도가 점점 증가하고 고해상도의 신호를 요구함에 따라서 그 핵심 회로 중 하나인 ADC (Analog to Digital Converter) 역시 고해상도를 가지면서 고속 동작이 요구된다. 또한 고속 동작을 하면서도 전력 소모가 작은 ADC 역시 큰 화제가 되고 있다. 고속 ADC 에는 Flash Type 과 2-Step Flash Type 이 있으나 8-비트의 해상도와 500Msps 를 만족하기 위해서는 부하와 전력 소모 면에서 구현에 어려움이 많다. 따라서 파이프라인 구조가 가장 적절한데 폐쇄 루프 형태의 MDAC (Multiplying Digital to Analog Converter)를 이용한 구조는 고속 동작에 용이하지 않고 전력 소모가 크다[1],[3]. 본 논문에서는 고속 동작을 위해 MUX 스위치에서 몇 개의 선택한 신호를 인터폴레이션하는 파이프라인 구조로 설계하였다. 이러한 개방형 구조는 MUX 스위치와 간단한 차동 증폭기만으로 구현할 수 있기 때문에 설계가 간단할 뿐 아니라 고속 동작에 적합하다[1],[3]. 또한 증

폭기의 전압 이득이 정확하지 않아도 되므로 증폭기의 이득 에러에 대한 특성을 고려할 필요가 없다. 설계된 ADC 에서는 1.8V 의 낮은 전원 전압에서는 입력 범위가 작기 때문에 8-비트의 해상도를 확보하기 위해서 Offset Cancellation 기법을 사용하였다. 그리고 3 개의 신호만 이용하여 신호 처리가 가능하도록 구현 함으로서 전체 증폭기의 수를 줄여 전력 소모를 낮추면서 고속 동작을 가능하게 하였다. 또한 각 단은 고속 동작을 가능하게 하기 위해서 증폭기의 배열을 두 단으로 하여 부하를 줄였다. 결국 총 35 개의 차동 증폭기와 19 개의 비교기를 이용하여 220mW 의 전력 소모를 가지는 ADC 를 구현하였다.

II. 설계된 ADC 의 구조

2.1 전체 ADC 의 설계

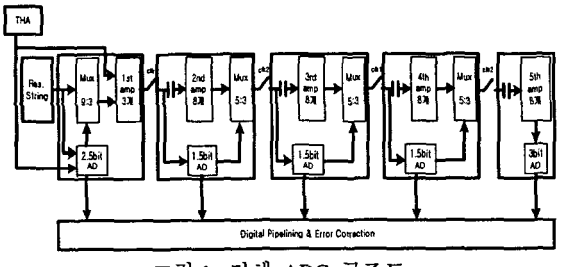

그림 1. 전체 ADC 구조도

그림 1 은 ADC 의 전체 구조도이다. 총 5 단으로 구성되어 있으며 각 단은 Redundancy 를 포함하고 마지막에 덧셈기를 이용하여 에러 보정을 하였다[3]. 따라서 마지막 단을 제외한 각 단은 최상위 코드(111,11)이 나오지 않는 N.5-비트로 설계되었다. 첫 단 2.5-비트 ADC 는 Flash Type 으로 설계되었으며, 나머지 2, 3, 4 단 Sub-ADC 는 앞 단에서 전달된 신호의 2 개의 Crossing 정보 가지고 1.5-비트 디지털 출력을 낼 수 있도록 설계되었다. 마지막 3-비트 단은 Redundancy 를 포함할 필요가 없기 때문에 5 개의 신호를 인터폴레이션하여 3-비트 전체 코드(111 포함)를 출력할 수 있도록 하였다.

그림 2-1 은 첫째 단의 구조도이다. 8 개의 저항열에서 나온 9 개의 Reference 전압들은 2.5-비트 ADC 의 미리 나온 1-of-N 코드에 의해 9:3 MUX 를 통해 3 개만 선택된다. 그리고 그 3 개의 Reference 전압이 증폭기의 입력에 전달되면서 아날로그 입력과의 차이를 증폭하여 다음 단에 전달한다. 이때 3 개의 증폭기는 Offset Cancellation 기법을 사용하였으며[2],[3], 아날로그 입력과 선택된 Reference 전압은 Non-overlapping Clock 의 반대 위상에 의해서 각각 스위치를 통해 Capacitor 에 전달된다.

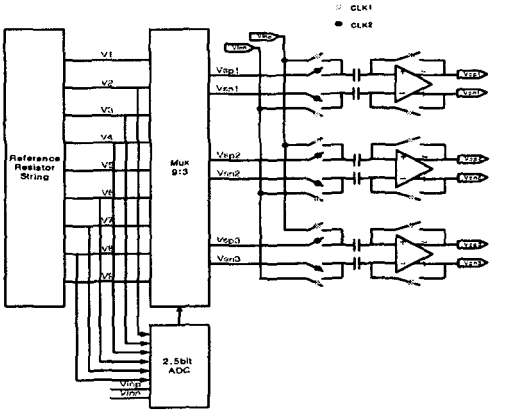

그림 2-1. 첫째 단의 구조도

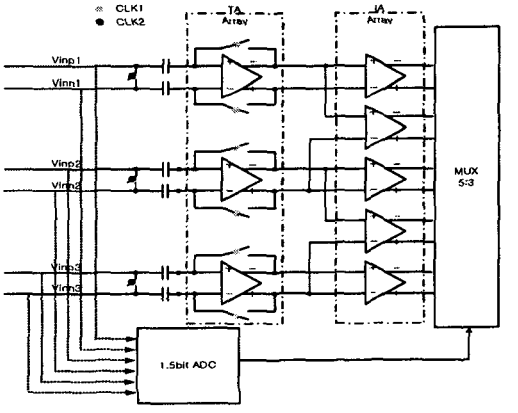

그림 2-2. 중간 단의 구조도

그림 2-2 에는 중간 단(2,3,4 번째 단)의 구조도를 나타내었다. 첫째 단과 마찬가지로 각 단의 1.5-비트 Sub-ADC 에서 미리 생성된 온도계 코드는 MUX 스위치를 제어하는 1-of-N 코 드를 발생시킨다. 이 코드에 의해 MUX 는 5 개의 입력 중 그 입력이 들어온 부분에 해당하는 3 개의 신호만 선택하여 다음 단에 전달하게 된다. 그 신호는 각 단의 3 개의 TA(Track and hold Amplifier)에 의해 반 주기 동안 저장되고, MUX 스위치가 OFF 되면서 증폭되어 5 개의 IA(Interpolating Amplifier)들을 통해 인터폴레이션 된다. 여기에서 TA 5 개를 이용하여 인터

폴레이션을 같이 하게 되면 부하가 많이 걸려 고속 동작에 부적절 하기 때문에, 이렇게 각 단에서 3 개의 TA 를 이용하여 증폭기를 두 단으로 구성하였다.

전체적으로 구성된 ADC 의 신호 흐름과 그에 의한 코딩 값을 을 그림 3 에 나타내었다. 그림에서 볼 수 있듯이 마지막 에러 보정 단에서 각 단의 LSB 는 다음단의 MSB 와 더해져서 결국 8-비트의 코드 출력하게 된다.

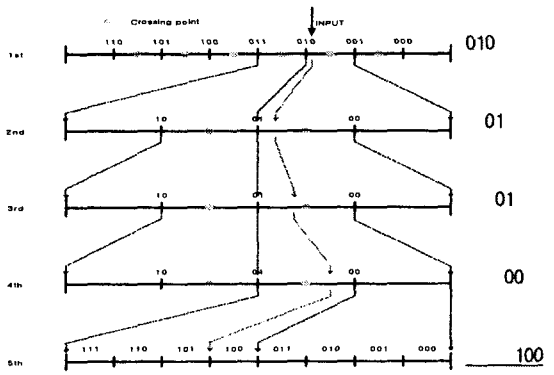

그림 3. 코딩 과정

각 증폭기들은 선형성을 위해 1~2 V/V 의 전압 이득을 갖도록 설계하면서 TA 에는 Offset cancellation 기법을 적용하여 8-bit 해상도를 확보할 수 있었다. 또한 증폭기의 출력 신호들을 1.1V 이상에서 움직이게 함으로서 모든 스위치들은 PMOS 만을 사용해서 구현하였다. 그리고 첫째 단 증폭기의 아날로그 입력 스위치는 Dummy 스위치를 연결하여 선형성을 보장하였다.

2.2 1.5 비트 단의 선행 증폭기

앞에서 언급한 바와 같이 설계된 ADC 의 1.5 비트 단은 3 개의 신호를 이용하여 디지털 정보를 출력하게 된다. 각 단의 3 개의 신호는 입력에 따라서 그림 4 와 같이 움직인다. 이는 3 개의 Differential 신호가 입력에 따라서 양 가장자리에서는 증폭기의 출력들이 겹치는 부분이 없고 가운데에서는 증폭기의 출력들이 겹치면서 이동하는 것을 보여준다. 이 때 Crossing 포인트는 그림에서 본 바와 같이 2 개가 존재한다. 기존의 개방형 파이프라인 구조에서 이를 구별하기 위해서는 각 단에서 5 개의 신호가 필요했다[3]. 그러나 5 개의 신호를 이용하게 되면 각 단에서 인터폴레이션 하기위해 최소 9 개의 증폭기가 필요하고 그에 따라 부하와 전력 소모 면에서 손해를 보게 된다. 따라서 본 논문에서는 그러한 Crossing 포인트를 3 개의 신호를 가지고 구별하는 방식을 제안하였다. 그림 4 에 나타난 바와 같이 두개의 Crossing 포인트는 **Vip1(Vip2)**과 **Vin2(Vin1)** 의 차이가 **Vip2(Vip3)**와 **Vin3(Vin1)**의 차이와 같을 때 생기는 것을 알 수 있다. 따라서 이를 Sub-ADC 의 비교기 앞에 선행 증폭기를 가지고 구별하도록 하였다. 그림 5 는 설계된 Sub-ADC 에 설계된 비교기의 선행 증폭기를 나타낸다. 이 증폭기는 Difference Differential 증폭기를 이용해서 위와 같은 Crossing 정보를 구별할 수 있도록 한 것이다. 결국 이렇게 3 개의 신호로 1.5 비트 단을 구성할 수 있게 함으로서 전체적인 증폭기의 개수를 줄일 수 있었고 그로 인해 전력 소모를 줄이고 고속 동작을 가능하게 할 수 있었다.

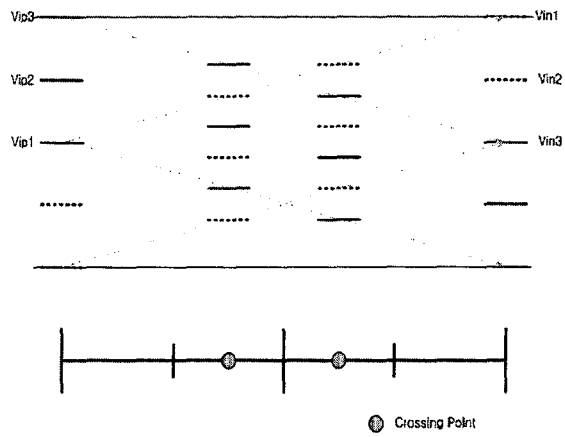

그림 4. 1.5 비트 단에서 Crossing 포인트

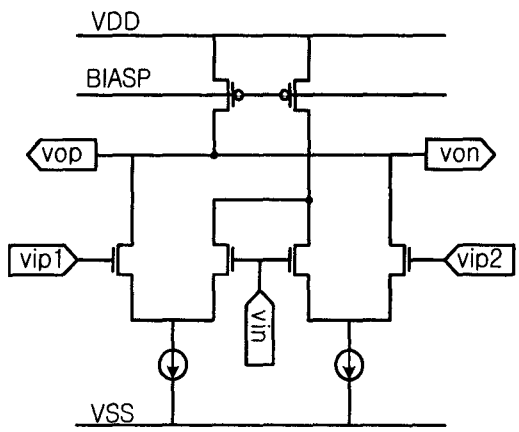

그림 5. 1.5 비트 단의 선행 증폭기

III. 시뮬레이션 결과

그림 6 은 500Msps 에서 설계된 ADC 가 Missing Code 가 있는 지 알아볼 수 있도록 전체 8 비트의 코드를 보여준다.

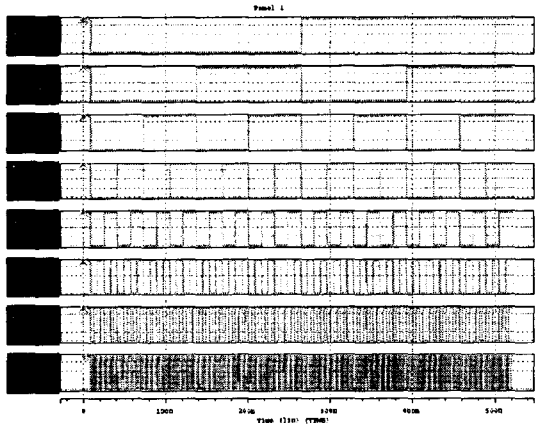

그림 6. 설계된 ADC 의 8 비트 전체 코드

그림 7 은 설계된 ADC 의 FFT(Fast Fourier Transform) 시뮬레이션 결과이다. 입력 주파수는 각각 4MHz 와 103Mhz 에서 시뮬레이션 하였다. 이 결과를 가지고 SNDR 을 측정한 결과 각각 49,7dB 와 47.5dB 를 얻을 수 있었다. 본 연구는 0.18μ m CMOS 공정을 이용하여 설계 되었다.

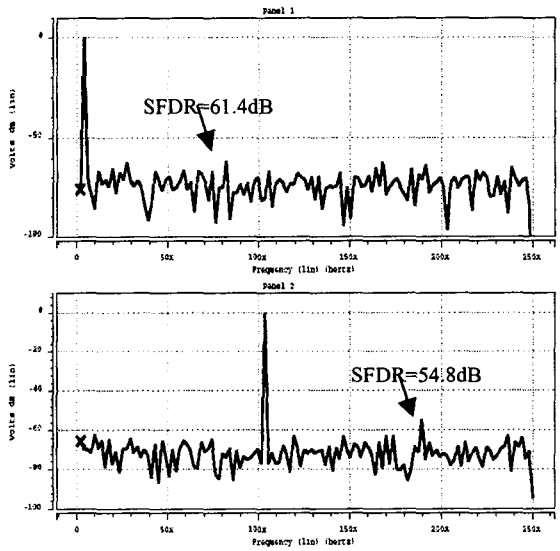

그림 7. FFT Simulation 결과
(256pt, Fin=4MHz, 103MHz)

IV. 결론

본 논문에서는 0.18μ m CMOS 공정을 이용하여 8 비트의 해상도와 500Msamples/s 의 속도를 가지는 ADC 의 구현 방법과 시뮬레이션 결과에 대하여 논하였다. 설계된 ADC 는 파이프라인 구조를 이용하였으며 개방형 증폭기들만 사용하여 고속 동작을 가능하게 하였다. 그리고 3 개의 신호를 가지고 1.5 비트 단을 구현함으로서 증폭기의 개수를 줄일 수 있게 하여 전체적으로 전력과 속도 면에서 이득을 볼 수 있었다. 전체적으로 1.8V 전원 전압에서 500Msps 의 속도로 8 비트의 해상도를 가짐을 시뮬레이션 결과 알 수 있었다. 표 2 에 설계된 ADC 의 전체 사양을 요약하였다.

표 2. 설계된 ADC 의 특성

Resolution Sampling Freq.	8bit 500Msamples
Input Range	1.2Vp-p Differential
Process Supply	0.18μ m CMOS 1.8V
SNDR @Fin=4MHz 103MHz	49.7dB 47.5dB
INL DNL	|1LSB| |1LSB|
Power Dissipation	220mW

참고문헌

[1] Yun-Ti Wang & Behzad Razavi "An 8bit 150MHz CMOS A/D Converter" JSSC Vol 35, No 3, March 2000

[2] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc, 1997, pp305~306

[3] 주 웅, et al "A 10bit 100Msps Analog to Digital Converter" 한국 반도체 학술대회, 2002