

비디오 신호 인터페이스를 위한 CMOS ADC 의 설계

안 승 현, 권 오 준, 임 진 업, 최 중 호
서울시립대학교 전자전기컴퓨터공학부

A Design of CMOS ADC for Video Interface

Seunghun Ahn , Ohjun Kwon, Jinup Lim, Joongho Choi
Department of Electrical and Computer Engineering
University of Seoul

E-mail : ash76@iclab01.uos.ac.kr

Abstract

본 논문에서는 비디오 신호 인터페이스를 위해 10 비트 50MHz ADC 를 설계하였으며 DCL(digital-error correction logic)을 갖는 3-3-3-4 구조의 파이프라인 방식을 사용하였다. SHA(sample and hold amplifier)와 MDAC (multiplying digital-to-analog converter)에 쓰이는 증폭기는 높은 이득을 갖도록 gain-boosting 기법을 적용하였으며, 전력소모와 면적을 줄이기 위해 capacitor scaling 기법을 적용하였다. 본 ADC 는 0.35 μm double-poly four-metal n-well CMOS 공정으로 설계 및 제작하였으며, 전체 회로는 3.3V 단일 전원 전압에서 동작하도록 설계하였다. 측정 결과 5MHz 의 입력을 인가하였을 때 SNDR 은 56.7dB, 전체 전력 소모는 112mW 이며, 입출력 단의 패드를 포함한 전체 칩 면적은 2.6 mm \times 2.6 mm 이다.

I. 서론

최근 이동 통신 단말기, 의료용 영상 진단기, 디지털 캠코더, IMT-2000, HDTV 등의 수요가 크게 증가됨에 따라 10 비트 이상의 높은 해상도와 50 MHz 이상의 높은 샘플링 주파수, 그리고 적은 전력소모와 작은 면적을 갖는 고성능의 ADC 를 요구하고 있다. ADC 에는 flash ADC, SAR(successive approximation register) ADC, two-step ADC, over-sampling ADC, 파이프라인

(pipeline) ADC 등 많은 종류가 있으나 이에 적합한 파이프라인 ADC 가 많이 선호되는 추세이다. 파이프라인 ADC 는 two-step ADC 에 파이프라인 기법을 적용하여 확장시킨 것으로 이전의 입력이 완전히 디지털 출력으로 변환되기까지 기다릴 필요 없이 연속적으로 입력을 받아들이며, 여러 단이 다른 입력에 대하여 동시에 동작하며 연속적인 디지털 값을 출력하므로 빠른 동작 속도를 얻으면서 전체 시스템의 면적 및 전력소모를 최소화 하는 구조이다. 또한, DCL 을 사용할 경우, 아날로그 블록 설계에서의 어려움을 경감시킬 수 있다.

II. 전체 시스템 구조

본 논문에서 설계한 ADC 의 전체구조는 그림 1 과 같이 크게 SHA, 3 개의 단, flash ADC, DCL 로 구성되어 있다. 간단히 전체 동작을 살펴보면, 먼저 입력은 SHA 가 홀딩한 입력에 대해 낮은 해상도의 디지털 신호를 출력하고 출력된 디지털 신호는 다시 DAC 에 의해 양자화 된 아날로그 신호로 바뀐다. MDAC 은 SHA 에 의해 홀딩된 신호와 DAC 출력의 차이인 잔류 전압을 증폭하여 다음 단으로 보낸다. 다음 단은 앞단의 증폭된 잔류 전압을 받아서 디지털 신호를 출력하고, 동시에 앞단은 새로운 입력을 받아들여 위와 같은 동작을 반복한다. 그리고 마지막으로 DCL 은 각 단의 디지털 출력을 받아서 에러를 보상한다. 결국, 첫 단은 새로운 입력

을 연속적으로 받아들이고, 각 단에서 생성된 잔류 전압은 계속 다음 단으로 전달되기 때문에 일정한 시간이 지나간 뒤에는 모든 단에서 각각 다른 입력에 대하여 동시에 디지털 신호를 출력하게 된다.

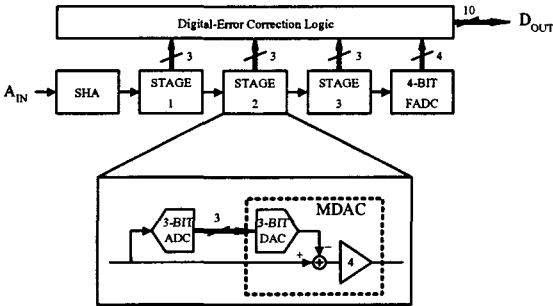


그림 1. 10 비트 파이프라인 ADC의 전체 블록도

2.1 구조 결정

보통 파이프라인 구조에서 담당 비트수를 2 비트에서 4 비트정도로 구현하는데 담당 비트수를 2 비트로 정할 경우 각 단 MDAC의 이득이 작고 앞단 증폭기의 부하로 보이는 단위 캐패시터의 개수가 줄어들어 증폭기의 설계가 용이하고 증폭기의 전력소모를 줄일 수 있으며 비교기의 개수가 줄어들고 허용되는 오프셋 전압이 크기 때문에 비교기의 전력소모를 줄일 수 있다. 그러나 필요한 단의 개수가 9 개이므로 전체 시스템의 복잡도와 면적이 증가하는 단점이 있다[1]. 반면, 담당 비트수를 4 비트로 정할 경우 필요한 단의 수가 3 개로 복잡도와 면적을 감소시킬 수 있지만 MDAC의 이득이 커야하고 단위 캐패시터의 개수와 비교기의 개수가 늘어나 증폭기의 설계가 어렵고 전력소모가 커지는 단점이 있다. 따라서 본 논문에서는 이러한 장단점을 절충하여 담당 비트수를 그림 1과 같이 2 비트와 4 비트의 중간인 3 비트로 결정하였다. 필요한 단의 수는 4 개이고 MDAC의 이득은 4, 그리고 비교기의 개수는 33 개(6+6+6+15)이다.

전체 ADC의 해상도를 좌우하는 첫단 SHA의 샘플링 캐패시터는 kT/C 잡음을 고려하여 2pF로 정하였고 첫번째 단 MDAC의 단위 캐패시터는 0.2pF로 정하였다. 뒷단으로 갈수록 필요로 하는 MDAC의 해상도가 줄어들기 때문에 캐패시터를 차례로 1/2씩 줄였다. 이것을 capacitor scaling 기법이라 하고 이를 통해 면적과 전력소모를 줄일 수 있다[2].

2.2 DCL(Digital-error Correction Logic)

DCL을 사용하지 않는 경우 flash ADC의 오프셋 에러, MDAC의 이득 에러, DAC의 에러등으로 인하여 MDAC 및 flash ADC의 설계가 매우 정확해야하고 어려워지기 때문에 DCL을 사용한다. 이것은 MDAC 증폭기의 이득을 반으로 줄여서 그 만큼의 여유(redundancy)를 갖는 방법으로 본 논문에서는 그림 2와 같은 RSD(redundant signal digit)방식을 사용하였다.

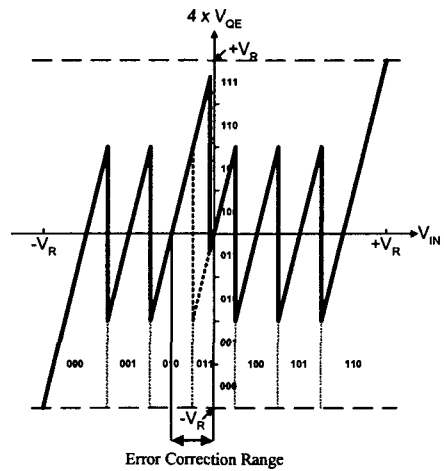


그림 2. DCL(RSD 방식)을 사용하였을 때 flash ADC의 입출력 곡선

III. 회로 설계

본 절에서는 주요 블록인 SHA와 MDAC에 대한 설계 사양 및 그 구현에 대해 설명하도록 하겠다.

3.1 SHA의 설계 사양 및 구현

전체 ADC의 에러를 1/2 LSB 미만이 되도록 하기 위해선 SHA가 11 비트의 정확도를 가져야 한다. 따라서 증폭기의 open-loop 이득은 2^{11} (66dB)이어야 하지만 실제 회로 구현시 증폭기의 입력 커패시터스와 harmonic distortion을 고려하면 더 큰 open-loop 이득을 필요로 한다[3][4]. 그리고, 샘플링 주파수를 f_s 라고 하였을 때, 홀드 동작을 하는 반주기 동안 출력력이 정착되어야 하므로, 정착시간은 $1/(2f_s)$ 보다 작아야 한다. 시정수를 τ 라하고, 에러율을 ϵ 이라 하면 증폭기의 정착시간은

$\tau \times \ln(1/\epsilon)$ 이고 $1/(2f_s) > \tau \ln(1/\epsilon)$ 이어야 한다. 증폭기의 단위 이득 주파수를 f_0 라 하면 τ 는 $1/(2f_s)$ 이다. 이를 정리하면, $f_0 > (1/\pi) \times f_s \times \ln(1/\epsilon)$ 이고 f_0 는 121MHz 이상이어야 한다. 하지만 슬루율을 고려하면, 이보다 더 좋은 성능의 증폭기가 필요하다[4]. 그림 3.(a)가 SHA의 회로도이고 그림 3.(b)가 증폭기의 회로도이다. 그림 3.(b)는 gain-boosting 된 rail-to-rail fully differential folded-cascode 증폭기이고 CMFB(common-mode feedback)회로는 생략하였다.

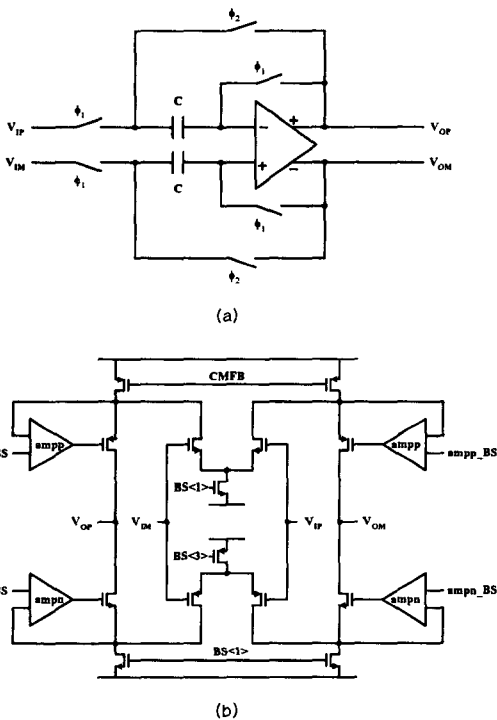


그림 3. (a) SHA의 회로도 (b) 증폭기의 회로도

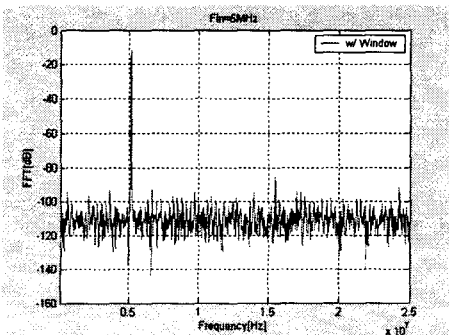


그림 4. FFT 시뮬레이션 결과

SHA는 서로 겹치지 않는 클럭 ϕ_1 과 ϕ_2 에 의해 동작하며 ϕ_1 때 샘플하고 ϕ_2 때 홀드한다. 이 구조는 옵션 전압을 제거할 수 있는 구조로 입력과 출력의 관계는

$$V_{OP} - V_{OM} = V_{IP} - V_{IM}$$

이고 그림 4는 5MHz의 정현파를 인가하였을 때 SHA의 FFT 시뮬레이션 결과로 67.3dB의 SNDR을 갖음을 알 수 있다.

3.2 MDAC의 설계 사양 및 구현

첫 번째 MDAC의 해상도는 8비트를 가져야 하고 유한한 이득과 증폭기 입력단의 기생 캐패시터를 고려하였을 때 이득 에러가 8비트의 1/2 LSB 미만이 되도록 하는 open-loop 이득은 70.4dB이다. 필요로 하는 단위이득 주파수는 SHA에서와 같은 방법으로 구하되 MDAC의 이득이 4이므로 12dB에서의 주파수가 121MHz 이상이어야 한다.

그림 5는 MDAC의 회로도이고 증폭기는 3.(b)와 같은 구조의 증폭기를 사용하였다. MDAC은 ϕ_1 때 샘플하고 ϕ_2 때 증폭하며 입력과 출력의 관계는 다음과 같다.

$$V_{OP} - V_{OM} = 4 \left[(V_{IP} - V_{IM}) + \frac{1}{4} \sum_{i=1}^6 (-1)^{Ti} V_{DR} \right]$$

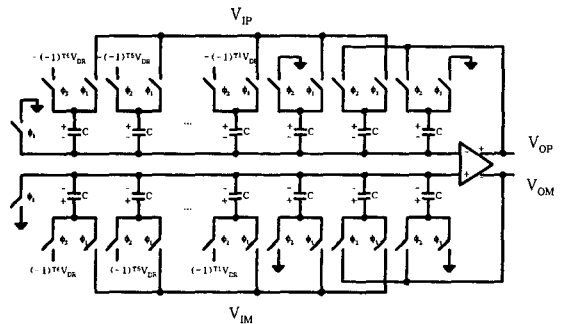


그림 5. MDAC의 회로도

IV. 측정 결과

ADC는 0.35 μm double-poly four-metal n-well CMOS 공정으로 제작되었으며 칩 사진은 그림 6에 나타나 있다. SNDR은 5MHz 2V_{pp,diff} 입력에 대해 56.7dB이 이에 대

한 FFT 결과가 그림 7에 나타나 있다. 전체 전력소모는 112mW 이고 전체 칩 면적은 2.6 mm×2.6 mm 이다.

V. 결론

본 논문에서는 비디오신호 인터페이스를 위한 10 비트 파이프라인 CMOS ADC를 제안하였으며, 10 비트 해상도, 50MHz의 동작속도 및 112mW의 전력소모특성을 얻을 수 있다. 휴대용 기기를 목적으로 한 ADC가 아니기 때문에 전력소모와 면적간의 적당한 trade-off를 갖는 3-3-3-4의 구조를 사용하였으며 향후 단당 비트수를 줄여 저 전력소모특성을 갖는 ADC로 구현될 수 있다.

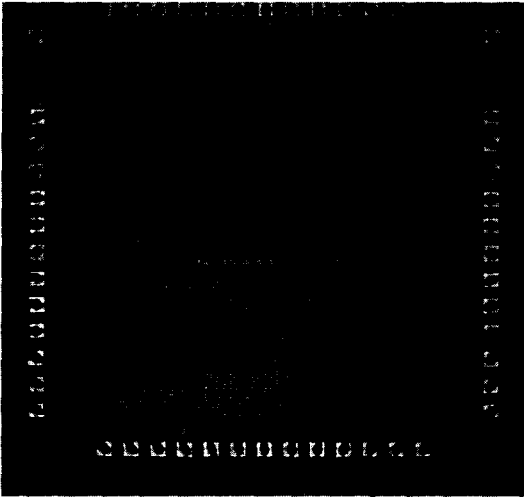


그림 6. 칩 사진

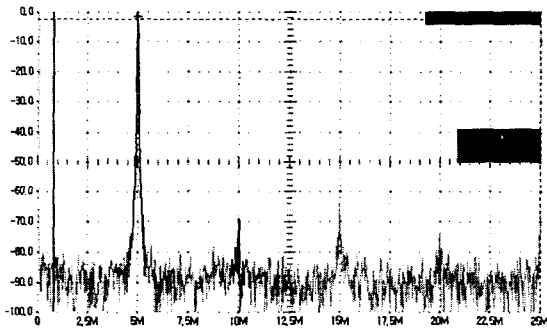


그림 7. FFT 측정 결과

표 1. ADC의 측정 결과(25 °C)

Specification		Value
전원 전압		3.3 [V]
동작 속도		50 [MHz]
해상도		10 [bit]
SNDR		56.7 [dB]
ENOB		9.1 [bit]
전력 소모	아날로그	86 [mW]
	디지털	26 [mW]
	계	112 [mW]
면적		6.76 [mm ²]

참고 문헌

- [1] Thomas B. Cho and Paul R. Gray, "Design Considerations for Low-Power, High-Speed CMOS Analog/Digital Converters," *IEEE Symposium on Low Power Electronics*, pp.70-73,1994
- [2] David W. Cline and Paul R. Gray, "A power optimized 13-b 5Msamples/s pipelined analog-to-digital converter in 1.2um CMOS," *IEEE J. Solid-State Circuits*, vol.31, pp. 294-303, Mar. 1996
- [3] B. S. Song, M. F. Tompsett, and K. R. Lakshmi Kumar, "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter", *IEEE J. Solid-State Circuits*, vol.23, no. 6, December 1988, pp. 1324-1333
- [4] R. Jacob Baker, "Mixed-Signal Circuit Design, volumeII," John Wiley & Winston, 2002