

# Sense amplifier를 이용한 1.5Gb/s 저전력 LVDS I/O 설계

변영용, 이승학, 김성하, 김동규, 김삼동, 황인석  
동국대학교 전자공학과  
전화 : 02-2260-8698 / 핸드폰 : 016-703-8602

## 1.5Gb/s Low Power LVDS I/O with Sense Amplifier

Young-Yong Byun, Seung-Hak Lee, Sung-Ha Kim, Dong-Kyu Kim, Sam-Dong kim,  
In-Seok Hwang  
Dept. of Electronics, Dongguk University  
E-mail : king@dgu.edu

### Abstract

Due to the differential transmission technique and low voltage swing, LVDS has been widely used for high speed transmission with low power consumption. This paper presents the design and implementation of interface circuits for 1.5Gb/s operation in 0.35um CMOS technology. The interface circuit are fully compatible with the low-voltage differential signaling(LVDS) standard. The LVDS proposed in this paper utilizes a sense amplifiers instead of the conventional differential pre-amplifier, which provides a 1.5Gb/s transmission speed with further reduced driver output voltage. Furthermore, the reduced driver output voltage results in reducing the power consumption.

가 프로세서의 속도를 쫓아가지 못하기 때문에 인터커넥션 부분에서는 병목 현상(bottle-neck)이 일어나고 있으며 이 문제점이 해결되어야 시스템 전체의 속도가 개선될 것이다. 이러한 문제점을 개선하기 위한 인터커넥션기술 중 근래에 가장 각광받고 있는 기술이 바로 LVDS(Low Voltage Differential Signaling)이다. LVDS는 저전력, 고속, 저잡음의 전송을 실현시켜 왔으며 앞으로도 요구되는 고속 동작의 데이터 전송에 발맞추어 LVDS의 속도의 개선과 저전력 전송은 계속 하여 연구되어야 할 과제이다.

본 논문은 LVDS의 고속, 저전력 동작을 향상시키기 위하여 기존의 LVDS 수신단(receiver)의 pre-amplifier 대신 sense amplifier를 사용한 형태의 LVDS 기술을 연구하였다. 따라서 이로 인해 야기되는 LVDS의 전송 속도, 소비전력 감소 등의 향상된 성능을 연구하여 설계 및 검증해 보고자 한다.

### I. 서론

컴퓨터의 폭발적인 보급과 더불어 급속하게 발전하고 있는 마이크로프로세서의 성능은 컴퓨터, 정보통신, 멀티미디어 등 여러 부분의 발전을 같이 가져오고 있으며, 그에 따라 방대한 양의 데이터를 처리함에 있어 기존에는 생각할 수 없었던 일들을 처리할 수 있게 되었다. 하지만 기존에 사용되어 온 인터커넥션의 속도

### II. LVDS의 동작 특성

LVDS는 현재 사용되고 있는 고속, 저전력, 저잡음 데이터 전송의 핵심기술이다. 이는 350mV 정도의 작은 전압을 전송선로에 차동 모드로 시그널링 하는 원리로서 근래에 들어 고속전송에 요구되는 회로의 전 분야에 걸쳐 사용되고 있다. 그림 1은 LVDS 인터페이

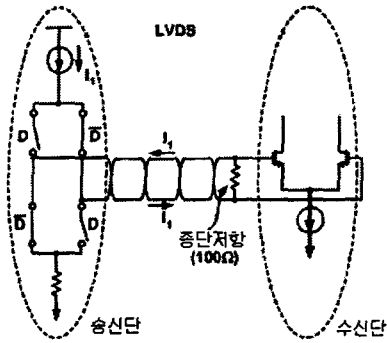


그림 1. LVDS의 등가회로

스의 동작 원리를 설명하기 위한 개념도이다. 좌측에 있는 LVDS 송신단(driver)에서 3.5mA의 전류신호가 전류원에서 출력되면 우측에 있는 LVDS 수신단 앞의 종단저항(termination resistor)에서 350mV의 전압신호로 변환되고, 수신단에서는 전압 신호의 극성 및 크기를 복원하게 되는 원리이다. LVDS는 이러한 차동 신호 전송을 하기 때문에 EMI/EMC 특성을 향상시키는 이점도 갖고 있다[1].

### III. 제안하는 LVDS 회로

#### 3.1 LVDS의 구조

LVDS의 속도 및 전력소모 특성을 개선하기 위해서는 송신단에서는 신호의 왜곡을 최소화하여 수신단의 입력에 잘 전달하는 것이며, 수신단에서는 작은 Vod(output differential voltage)의 왜곡이 있는 신호를 pre-amp와 main amp를 거치면서 rail-to-rail 신호로 복원할 수 있어야 한다. 근래에 사용되는 LVDS의 송신단과 수신단의 최대 전송 속도를 보면 송신단보다 수신단의 최대 전송속도가 떨어지는 특성이 있다[2][3]. 따라서 본 논문에서는 LVDS의 전송 속도와 전력소모의 특성을 향상시키기 위하여 수신단의 성능을 개선하고자 새로운 구조의 수신단을 제안하였다.

그림 2의 블록도를 보면 기존에 수신단[3]과 달리 차동 증폭기 형태의 pre-amp를 대신하여 sense amp를 사용하였다. sense amp는 고감도, 고속동작, 간단한 구

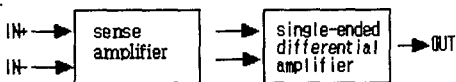


그림 2. 제안한 수신단의 블록도  
조, 저전력 소비의 특징을 갖는 회로로서 LVDS의

receiver에 사용할 경우 고속 동작과 고감도 동작으로 LVDS가 요구하는 동작 특성을 향상시킬 수 있다.

#### 3.2 LVDS의 송신단 회로

그림 3은 LVDS의 송신단의 회로도이다. M2 - M5는 스위치 역할을 하는 회로이고 M7, M8은 common-mode voltage를 1.2V로 맞추어주는 동작을 한다. 그리고 M1은 전류원으로서  $V_{ra}$ 를 조절하여 2~2.5mA의 전류를 흐르게 한다. 기존에 LVDS는 2~2.5mA 대신 일반적으로 3.5mA의 전류원을 사용하는데 그 이유는 송신단과 수신단의  $V_{gpd}$ (ground potential difference voltage)가 생길 수 있기 때문이다. 이  $V_{gpd}$ 는 종단저항 양단의 전압을 떨어뜨릴 수 있기 때문에 3.5mA보다 작은 전류원을 사용할 수 없게 되는 것이다. 하지만 수신단의 pre-amp로 sense amp를 사용함으로써 수신단에 입력신호를 받아들일 수 있을 만큼 충분히 크게 증폭시키기 때문에 2.5mA보다 작게 전류를 줄일 수 있다. 전류원에서 작은 전류를 보내면 종단저항 양단에 소비되는 전력을 최소 1.2mW( $3.5mA \times 350mV$ )로부터 0.6mW( $2.5mA \times 250mV$ )로 줄일 수 있다.

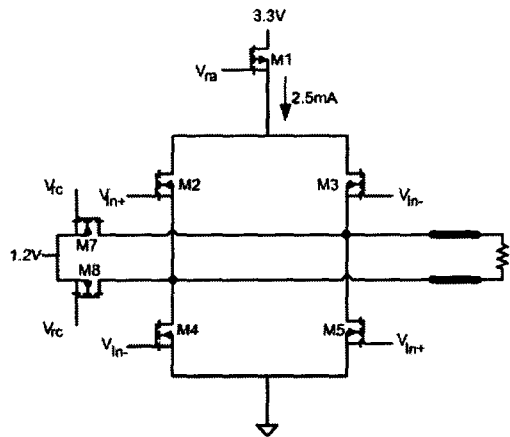


그림 3. 송신단 회로도

#### 3.3 sense amp를 이용한 수신단 회로

송신단으로부터 작은 크기의 입력신호가 들어오기 때문에 수신단에서는 빠르게 동작을 하며 큰 증폭도를 갖는 pre-amp가 필요하게 된다.

그림 4는 위의 필요조건에 알맞게 설계된 LVDS 수신단의 sense amp형 pre-amp의 형태들이다. 이 세 가

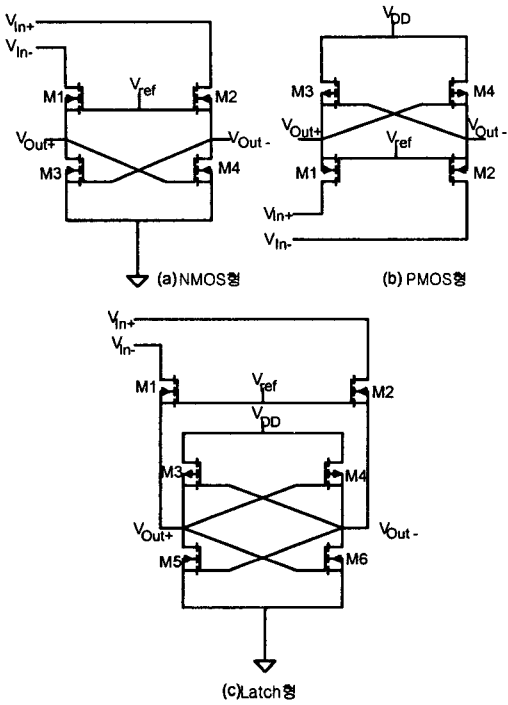


그림 4. 수신단의 sense amp를 이용한 pre-amp의 회로도

지 형태는 각각 다른 특성을 나타낸다. 그림 4의 (a)는 NMOS형 sense amp를 이용한 형태로서  $V_{DD}$ 를 쓰지 않으며 가장 간단한 형태로서 NMOS만을 이용하였기 때문에 delay가 가장 짧은 장점을 갖고 있다. 반면 증폭도가 작으며 1.2V의  $V_{cm}$ (common-mode voltage)가 1.05V로 level shifting이 일어나 차동 main amp의 margin을 떨어뜨려 고속 동작에 불리한 단점이 있다. (b)는 PMOS sense amp를 사용한 pre-amp로 NMOS sense amp와 같은 증폭도를 갖지만 NMOS sense amp에 비해  $V_{DD}$ 를 사용하여  $V_{cm}$ 이 상승하기 때문에 간단한 회로 구성에 비해 고속 동작에 적절한 형태이다. 하지만 PMOS를 사용함으로써 delay가 길고  $V_{cm}$ 의 상승으로 인해서 차동 main amp의 input range가 줄어드는 단점이 있다. (c)의 latch 형 sense amp를 이용한 pre-amp는 가장 큰 증폭도를 갖기 때문에 가장 고속 동작에 적절하며  $V_{cm}$ 이 1.2V를 유지하여 안정적인 시스템 구현에 유리하다. 단점은 더 많은 트랜지스터가 필요하고 delay도 NMOS sense amp를 이용한 pre-amp에 비해 약 100ps 정도 느려지므로 제안한 수신단의 형태 중에 delay가 가장 크게 일어난다.

그림 4의 (a), (b) 및 (c)에서 M1, M2는 sense amp를 current mode에서 안정적으로 동작할 수 있도록 연결한 트랜지스터이다.  $V_{ref}$ 를 조절하여 증폭의 크기를

조절할 수 있다.  $V_{ref}$ 를 조절하여 증폭도가 커지면 delay가 커지는 trade-off관계를 갖고 있다.

sense amp를 LVDS의 pre-amp로 사용하기 위해서는 트랜지스터의 size에 대한 mismatch가 sense amp의 sensitivity를 결정하는 가장 큰 요소이다[6]. 그림 4에서 사용된 sense amp에서 NMOS, PMOS 모두 3%의 mismatch가 일어났을 때 25mV의  $V_{os}$ (offset voltage)가 나타났다. 25mV의  $V_{os}$ 는 LVDS의 허용오차로서 3%미만의 mismatch가 일어나면 안정한 동작을 한다. 이는 sense amp의 sensing 속도를 위해 width를 크게 하였으므로 3%의 mismatch는 충분한 허용오차이다.

#### IV. 시뮬레이션 결과

##### 4.1 sense amp를 이용한 pre-amp의 시뮬레이션 결과

그림 5는 200mV의 크기를 갖는 송신단의  $V_{od}$ 가 각각의 sense amp형 pre-amp를 거쳐 나온 differential voltage 신호를 HSPICE로 시뮬레이션 한 결과이다. 그림 5는 송신단에서 작은 전류원을 사용하여도 수신단에서 충분히 증폭할 수 있음으로 저전력으로 설계할 수 있음을 보여주는 파형으로서 (a)파형은 NMOS형 sense amp를 이용한 pre-amp의 출력 differential voltage swing의 파형이고 (b)는 PMOS형 sense amp를 이용한 pre-amp의 출력 파형, (c)는 latch형 sense

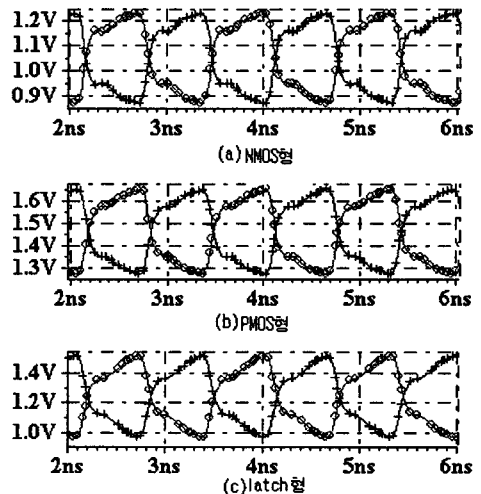


그림 5. 각각의 pre-amp의 출력 파형

amp를 이용한 pre-amp의 출력 파형을 나타내었다. 여

기서 전류원은 2.5mA이고  $V_{gpd}$ 는 0V로 설정하였고 전송라인은 무 손실 전송라인이며 특성임피던스는 각각 50 $\Omega$ 씩 100 $\Omega$ 으로 모델링 하였고 0.35 $\mu$ m CMOS 공정parameter를 사용하였다. (a), (b)파형은 약 2배의  $V_{od}$ 의 증가를 나타내므로 송신단의 전류원이 4mA를 발생시키는 것과 같은 효과를 낼 수 있다. (c)는 약 2.5배의  $V_{od}$ 의 증폭률을 나타내었다. 그림 5는 작은 송신단의 전류원을 사용하여도 수신단에서 충분히 증폭할 수 있으므로 저전력으로 설계할 수 있음을 보여 준다.

#### 4.2 제안한 LVDS의 시뮬레이션 결과

그림 6은 sense amp를 pre-amp로 이용하여 수신단을 설계하였을 경우 수신단의 성능이 향상되어 전송속도의 증가가 있음을 나타내는 시뮬레이션 결과로서 3가지 다른 pre-amp를 사용한 LVDS의 수신단 출력 파형이다. 이때 900mV인  $V_{gpd}$ 를 worst case로 설정하여 각각의 최대 rail-to-rail output swing을 할 수 있는 전송속도를 나타내었다. 그림 (a)는 NMOS sense amp를 사용한 수신단의 출력 파형으로 최대 전송속도는 1.5Gb/s를 갖는다. (b)의 파형은 PMOS형 sense amp를 이용한 LVDS의 출력 파형으로 1.8Gb/s의 최대 전송속도를 나타낸다. 마지막으로 (c)의 파형은 latch형 sense amp를 사용한 수신단의 출력 파형으로 2Gb/s의 최대 전송속도를 갖는다. 차동 pre-amp 및 차동 main amp를 사용한 일반적인 형태의 LVDS를 사용할 경우 최대 전송속도가 1.2Gb/s[4]를 갖으므로 이는 제안된 기존의 LVDS 보다 빠른 전송속도를 갖는 특성을 보여 준다.

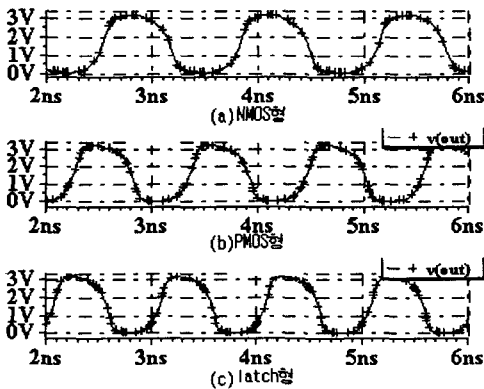


그림 6. 제안한 각각의 LVDS의 출력 파형

## V. 결론

본 논문은 LVDS가 기존에 갖고 있던 특징인 고속, 저전력 동작의 기능을 향상시킴으로서 현재 사용되는 컴퓨터 시스템, LCD 모듈 및 네트워크의 data 전송회로에 필요한 과제이다. 따라서 이에 필요한 기존의 LVDS의 회로에 대한 기본 구조를 분석하였고, 제안된 회로의 구조로 LVDS의 동작 속도, 전력 소모 감소의 성능 향상에 필요한 LVDS 수신단을 설계 검증하여 원하는 동작특성을 갖는 LVDS를 구현하고자 하였다.

이번 논문에서 제안된 0.35 $\mu$ m CMOS를 이용한 LVDS 회로는 첨단 산업인 컴퓨터 및 주변기기, 컴퓨터 네트워크, 여러 가지 LCD 인터페이스에 요구되는 데이터 전송회로로서 이용될 수 있을 것이다.

## VI. 감사문

이 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 한국 과학재단의 우수 연구센터 지원금에 의하여 수행되었습니다.

## 참고문헌

- [1] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, 1994
- [2] Andrea Boni, Andrea Pierazzi, Davide Vecchi "LVDS I/O Interface for Gb/s-per-Pin Operation in 0.35- $\mu$ m CMOS," IEEE Journal of Solid-State Circuits, vol. 36, pp. 706-711, April, 2001
- [3] Shahriar Jamsb, Reza Lalilizeinali, Paul M. Chau "A 622MHz Stand-alone LVDS Driver Pad in 0.18- $\mu$ m CMOS," vol. 2, pp. 610-613 MWSCAS, August, 2001
- [4] Uwe Vogel, Marcel Steinert, Rainer Kokozinski "LVDS I/O Cells with Rail-to-Rail Receiver Input for SONET/SDH at 1.25Gb/s," ESSCIRC, pp. 460-463, september, 2000
- [5] Mats Hedberg, Tord Haulin "I/O Family with 200mV to 500mV Supply Voltage," ISSCC, pp. 340-350, February, 1997
- [6] 유희준, DRAM DESIGN, IDEC, 1999