

2.5V 80dB 360MHz CMOS 가변이득 증폭기

권 덕기, 박 종대, 유 종근
 인천대학교 전자공학과

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: golden@axe.incheon.ac.kr

A 2.5V 80dB 360MHz CMOS Variable Gain Amplifier

D. K. Kwon, J. T. Park, C. G. Yu

Department of Electronics Engineering, University of Incheon

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: axe2000@incheon.ac.kr

Abstract

This paper describes a 2.5V 80dB 360MHz CMOS VGA. A new variable degeneration resistor is proposed where the dc voltage drop over the degeneration resistor is minimized and employed in designing a low-voltage and high-speed CMOS VGA. HSPICE simulation results using a 0.25 μ m CMOS process parameters show that the designed VGA provides a 3dB bandwidth of 360MHz and a 80dB gain control range in 2dB step. Gain errors are less than 0.4dB at 200MHz and less than 1.4dB at 300 MHz. The designed circuit consumes 10.8mA from a 2.5V supply and its die area is 1190 μ m \times 360 μ m.

I. 서론

AGC (Automatic Gain Control) 회로는 전체 시스템의 다이내믹 범위(dynamic range)를 극대화시키기 위해 필수적으로 사용되며, VGA (Variable Gain Amplifier)는 AGC를 구현하기 위한 핵심 부품이다. VGA는 디스크 드라이브, 보청기, 광 수신기, 무선 통신 시스템 등 다양한 응용분야에 광범위하게 사용되고 있다. VGA는 이득 조절 신호의 유형에 따라 디지털 방식[1-4]과 아날로그 방식[5-7]으로 구분된다. 최근 AGC는 같은 칩내의 디지털부로부터 조절을 받는 방식으로 피드백루프(feedback loop)를 많이 구현하기 때문에, 이런 경우에는 디지털 데이터에 의해 이득이 조절되는 디지털 방식의 VGA가 적합하다.

다양한 VGA 구조 중에 가장 기본적으로 많이 사용되고 있는 구조는 degenerated 차동 쌍(differential pair) 구조이다. 이 구조는 회로가 간단하며, 고주파 동작 특성이 좋다는 장점을 갖는다. 가변(variable) degeneration 저항을 구현하기 위해 기존에 사용되던 방법으로는 저항열(resistor string) 구조[3]를 사용하는 방법과 R-2R ladder 구조[2]를 사용하는 방법이 있다. 그러나 이 방법들을 이용한 VGA는 degeneration 저항에서의 dc 전압 강하 때문에 저전압 동작이 어려우며, 높은 이득 설정시 대역폭이 크게 제한된다. 또한, 입력 공통모드 전압 범위가 작으며, 고속의 VGA 구현시 이득의 정확도도 떨어진다는 단점이 있다.

본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해 일부 수행되었음.

따라서, 본 논문에서는 이러한 문제점들을 해결하기 위해 새로운 가변 degeneration 저항을 제안하였다. 제안된 이득조절 방법을 사용하면, degeneration 저항에서의 dc 전압 강하가 거의 없기 때문에 저전압에서 고속의 VGA 구현이 용이해진다. 제안된 가변 degeneration 저항을 이용하여, 300MHz의 대역폭과 80dB의 이득조절 범위를 갖는 2.5V CMOS VGA를 설계하였다.

II. 이득조절 방법

디지털 방식으로 이득이 조절되는 VGA의 기본구조로는 그림 1에서와 같이 degenerated 차동쌍 구조가 많이 사용된다. 그림 1의 VGA에서는 이득의 정확도를 향상시키기 위해 M3와 M4로 구성된 gm-boosting 증폭기가 사용되었다. Degeneration 저항인 RD 값을 변화시켜서 이득을 조절하는 방법으로는 M1과 M2의 드레인 단자를 RD 블록의 'Rsel' 단자에 연결하여 이득을 조절하는 방법이 주로 사용된다. RD의 일부분, 즉 'Rsel' 단자와 'Rout' 단자에 연결된 부분만이 degeneration 저항으로 작용하기 때문에, 스위치를 사용하여 'Rsel' 단자의 위치를 변화시킴으로써 원하는 이득을 얻을 수 있다.

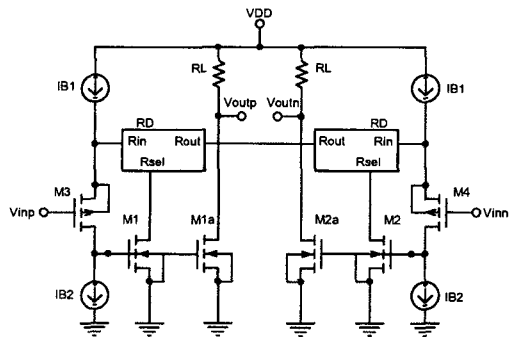
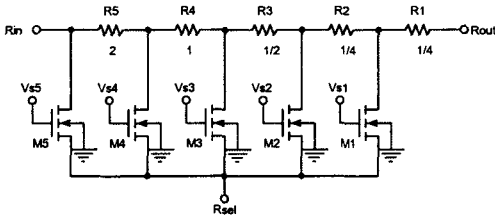


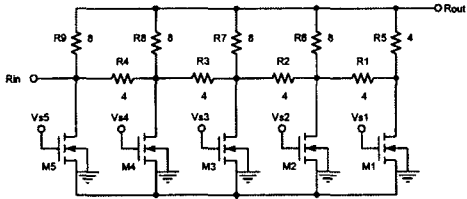
그림 1. Degenerated 차동 쌍 구조의 VGA

RD 블록을 구현하기 위해 기존에 사용된 방법으로는 그림 2의 (a)에서처럼 간단한 저항열과 스위치를 사용하는 방법[3]과 그림 2의 (b)에서처럼 R-2R ladder 구조를 사용하는 방법[2]이 있다. 두 방법 모두 이득조절 범위가 -12dB에서 +12dB까지 6dB step인

경우에 대한 RD 블록을 나타내었다. 그림에서 저항 값들은 부하 저항 R_L 값에 정규화된 값으로 표시하였다. 그림 2의 RD 블록들을 사용하는 경우는 degeneration 저항에서의 dc 전압강하에 의해 저전압 동작이 어려우며, 입력공통모드 범위(input common-mode range)가 제한되며, 대역폭이 제한되어 고속 동작이 어렵다는 단점이 있다[8].



(a)



(b)

그림 2. 기존의 RD 블록 (a) 저항열 (b) R-2R ladder

이러한 문제점들을 해결하기 위해 본 논문에서는 그림 3과 같은 새로운 RD 블록을 제안하였다. 기본 구조는 그림 2(a)의 저항열 구조와 같으나, $M1a \sim M4a$ 의 스위치를 사용하여 각각의 이득 설정시 degeneration 저항으로 동작하지 않는 부분은 바이패스 시킴으로써 degeneration 저항에서의 dc 전압 강하를 최소화할 수 있다. 따라서 저전압 동작이 용이하며 대역폭이 크게 향상되어 고속 동작이 가능하다[8].

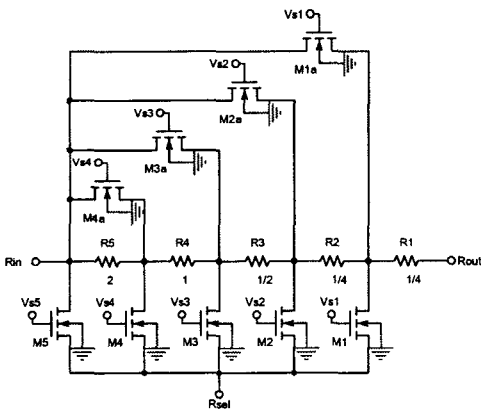


그림 3. 제안된 RD 블록

MOSFET로 구현된 스위치의 특성은 이상적인 스위치 특성과는 다르다. 특히 MOSFET가 'on'되었을 때 채널 저항 성분이 이득의 정확도와 선형성 특성을 저하시킨다. 본 논문에서는 채널 저항을 줄이기 위해 스위치의 게이트 전압을 증가시키는 방법을 채택하였다. 간단한 전하펌프(charge pump) 회로[9]를 사용하면 게이트에 인가되는 전압을 2.5V에서 약 4.5V 정도로 증가시킬 수 있다. 이 방법을 사용하면 적당한 크기의 MOS 트랜지스터로 약 100Ω 수준의 'on' 저항을 갖는 스위치의 구현이 가능하다.

III. 회로 설계

3-1. VGA Cell 설계

본 논문에서 설계한 VGA cell의 회로도를 그림 4에 보였다. 기본적인 구조는 그림 1과 같으며, 출력저항을 증가시키기 위해 cascode 구조를 사용하였다. $M1a, M1ac$ 는 출력단으로 신호전류를 복사하는 역할을 하며, 이 전류는 $M7, M7c, M8, M8c$ 로 구성된 cascode 전류복사 회로를 통해 최종적으로 부하저항에 공급된다. 전류복사 회로를 사용하는 이유는 출력단의 dc 레벨을 조절하여 VGA cell들이 직접 cascade 연결될 수 있도록 하기 위함이다.

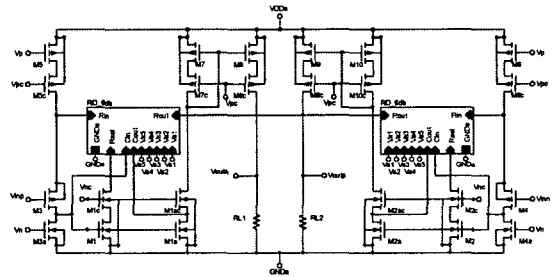


그림 4. 본 논문에서 설계한 VGA cell

RD 블록의 기본 구조는 그림 3과 같으며, 'Cin'과 'Cout' 단자에는 주파수 특성을 보상하기 위해 커패시터가 연결된다. 각각의 이득 설정에 따라 요구되는 커패시터의 값이 다르기 때문에 그림 5와 같이 스위치를 사용하여 각각의 이득 설정에 따라 필요한 커패시터가 연결되도록 하였다.

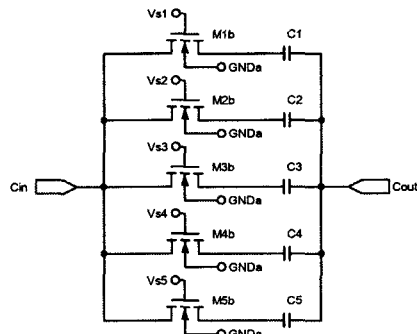


그림 5. 주파수 보상용 커패시터 블록

3-2. 80dB VGA 설계

80dB의 이득조절 범위를 갖는 VGA를 구현하기 위해 그림 6에서처럼 24dB의 이득조절 범위를 갖는 VGA cell 3개와 8dB의 범위를 갖는 cell 1개를 cascade 연결하였다. 24dB의 이득조절 범위를 갖는 'Cell6dB'는 3-bit 데이터에 의해 -12dB에서 +12dB까지 6dB step으로 이득이 조절되며, 8dB의 범위를 갖는 'Cell2dB'는 3-bit 데이터에 의해 -4dB에서 +4dB까지 2dB step으로 이득이 조절된다. 따라서 전체 VGA는 -40dB에서 +40dB까지 80dB의 이득조절 범위를 가지며 2dB step으로 이득조절이 가능하다. VGA의 최종 출력단에는 부하를 구동하기 위한 버퍼 회로가 필요하다.

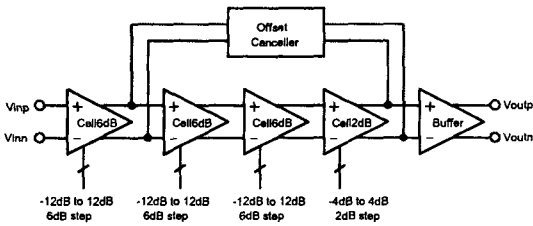


그림 6. 설계된 80dB VGA의 블록 다이어그램

각 VGA cell에는 바이어스 전류들과 트랜지스터들의 부정합(mismatch)에 의해 오프셋(offset)이 발생하며, 여러 단의 VGA cell이 cascade 연결되는 경우 누적된 오프셋이 후단 cell들을 포화시켜 원하는 동작이 이루어지지 않을 수 있다. 따라서 오프셋의 제거는 필수적이며, 본 설계에서는 그림 6에서와 같이 최종 단의 오프셋 출력을 첫 번째 단의 출력으로 negative feedback시켜 제거되도록 하였다.

설계된 오프셋 제거 회로를 그림 7에 보였다. M1, M2, M3, M3c로 구성된 간단한 보조 증폭기와 C1, M4, M5로 구성된 low-pass filter로 구성된다. RC filter에서 저항은 칩 면적을 고려하여 트랜지스터로 구현하였다. 설계된 filter의 cutoff 주파수는 100kHz보다 작다. VGA 최종 출력 단의 오프셋 성분만이 이 filter를 통해 보조 증폭기에 전달되고, 보조 증폭기에서 증폭되어 입력 단으로 feedback 된다. 따라서 오프셋 제거 회로는 신호 주파수 대역 (수십 MHz 이상)에는 거의 영향을 미치지 않는다.

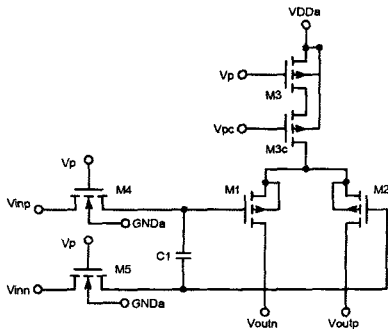


그림 7. 오프셋 제거 회로

IV. 모의실험 결과

설계된 VGA를 0.25 μ m CMOS 공정 변수를 사용하여 HSPICE 모의실험을 하였다. 이득 설정시 잡음 특성을 고려하여 가능한 앞단의 cell들이 높은 이득을 갖도록 설정하였다. 10dB step으로 -40dB에서 40dB까지 이득 설정시 모의실험 결과를 그림 8에 보였다. 그림에서 설계된 VGA는 모든 이득 설정에서 3dB 주파수가 360MHz보다 큰 것을 알 수 있다. 10MHz, 100MHz, 200MHz, 300MHz의 주파수에서 VGA의 이득 오차특성을 그림 9에 보였다. 설계된 VGA는 모든 주파수에서 상당히 선형적인 이득 특성을 보이며, 이득 오차는 주파수가 증가할수록 증가하지만, 300MHz까지의 이득오차는 1.4dB보다 작은 것을 알 수 있다. 특히 200MHz 이하에서는 이득 오차가 0.4dB보다 작다.

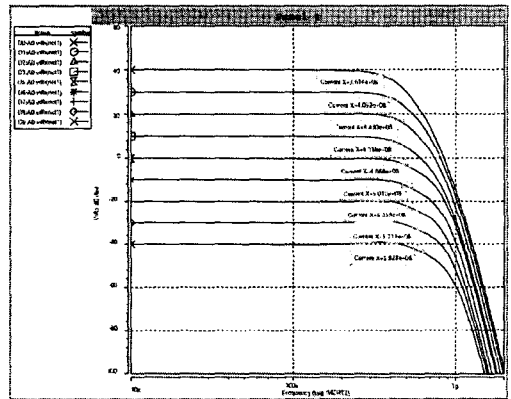


그림 8. 설계된 VGA의 주파수 응답 특성

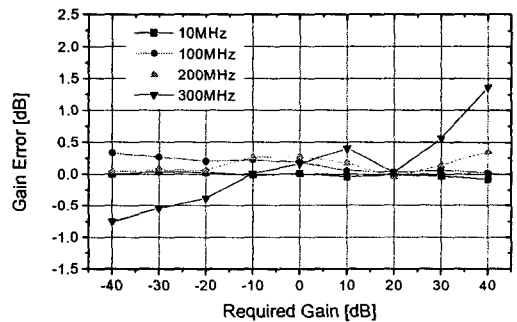


그림 9. 주파수에 따른 이득 오차 특성

그림 10은 설계된 VGA의 과도상태 응답이다. 팬 위의 파형은 4mVp-p의 차동 입력 신호이다. 두 번째 파형은 enable 신호 'EN'과 두 번째 cell의 이득 설정 신호중 하나인 'Vs1'이다. 'EN' 신호는 20ns 때 인가하고, 50ns 때 VGA의 이득이 40dB, 300ns에는 20dB가 되도록 각 cell의 이득 설정 신호를 인가하였다. 두 번째 cell의 'Vs1' 신호는 전하펌프에 의해 약 4V 정도로 증가되어 스위치에 인가되고, 300ns 때 이득 설정

에 의해 다시 0V로 떨어지는 것을 알 수 있다. 위에서 세 번째 파형들은 VGA에 인가되는 바이어스 전압 파형들로서 'EN' 신호가 인가된 후 과도상태를 거쳐 150 ns 후 정상상태로 진입하는 것을 알 수 있다. 네 번째 파형은 차동 출력 파형이다. 바이어스 전압들이 정상상태가 된 후에 입력신호가 40dB 증폭되어 400mVp-p의 출력신호가 나타나며, 300ns에는 20dB 증폭에 해당하는 40mVp-p의 신호가 나타나는 것을 확인할 수 있다.

설계된 VGA는 2.5V 전원 전압에서 10.8mA(출력버퍼 제외)의 전류를 소모한다. VGA의 성능 요약은 표 1에 그리고 layout 도면을 그림 11에 보였다. 칩 면적은 1190 μ m \times 360 μ m이다.

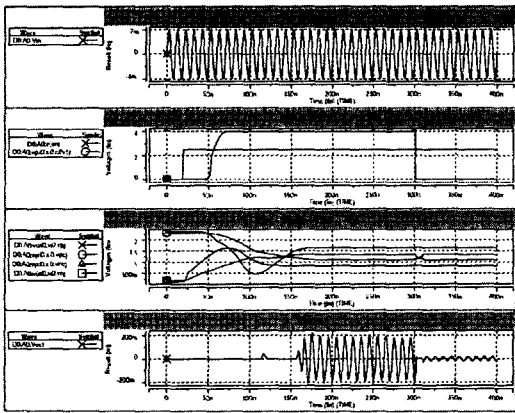


그림 10. 과도상태 응답

표 1. 설계된 VGA의 성능 요약

Power supply	2.5V
Technology	0.25 μ m CMOS
Power dissipation	10.8mA w/o buffer
Gain range (step)	-40dB ~ 40dB (2dB)
Gain accuracy	< 0.4dB @ 200MHz < 1.4dB @ 300MHz
3dB Bandwidth	360MHz
Chip area	1190 μ m \times 360 μ m



그림 11. 설계된 VGA의 layout 도면

V. 결론

본 논문에서는 degeneration 저항에서의 dc 전압 강하를 제거한 새로운 가변 degeneration 저항을 이용하여 VGA cell을 구현함으로써, 저전압에서 동작하는 고속의 CMOS VGA를 설계할 수 있었다. 설계된 회로는 -40dB에서 +40dB까지 2dB step의 이득조절 범위에서 3dB 대역폭은 360MHz보다 크며, 이득오차는 200MHz와 300MHz의 주파수에서 각각 0.4dB와 1.4dB보다 작다. 전류소모는 2.5V의 전원전압에서 10.8mA이며, 칩 면적은 1190 μ m \times 360 μ m이다. 설계된 VGA는 디지털 방식으로 이득 조절이 필요하며, 저전압 동작과 고속 특성이 요구되는 다양한 AGC 응용분야에 유용하게 사용될 수 있다.

참고문헌

- [1] M. A. I. Mostafa, et al., "A 60dB, 246MHz CMOS variable gain amplifier for subsampling GSM receivers," International Symposium on Low Power Electronics and Design, pp. 117-122, 2001.
- [2] J. J. F. Rijns, "CMOS low-distortion high-frequency variable-gain amplifier," IEEE Journal of Solid-State Circuits, vol. 31, pp.1029-1034, July 1996.
- [3] D. K. Kwon, et al., "A CMOS VGA Cell with 36dB Gain Range," 2002 SOC Design Conference, P1-15, 2002.
- [4] H. O. Elwan and M. Ismail, "Digitally programmable decibel-linear CMOS VGA for low-power mixed-signal applications," IEEE Transactions on CAS II, vol. 47 pp.388-398, May 2000.
- [5] W. C. Song, et al., "High frequency/high dynamic range CMOS VGA," Electronics Letters, vol. 36, pp. 1096-1098, June 2000.
- [6] P. C. Huang, et al., "A 3.3-V CMOS wideband exponential control variable-gain-amplifier," ISCAS '98, vol. 1, pp. 285-288, 1998.
- [7] T. Yamaji, et al., "A temperature stable CMOS variable gain amplifier with 80-dB linearly controlled gain range," Symposium on VLSI Circuits, pp. 77-80, 2001.
- [8] D. K. Kwon, et al., "A New Variable Degeneration Resistor for Digitally Controlled CMOS Variable Gain Amplifiers," ITC-CSCC 2003.
- [9] T. Cho, P. R. Gray, "A 10b 20Msamples/s, 35mW pipeline A/D converter" IEEE JSSC, vol. 30, no.3, pp.166-172, March 1995.