

저전력 다기능 센서시스템 A/D Converter

박창규*, 김정규*, 이지원*, 김수성*, 최규훈**

* 전주공업대학 전기전자중간기술센터 ASIC 개발실 ** 전주공업대학 전자정보과 교수

khchoi@jtc.ac.kr

The A/D Converter for Low Power Multifunctional Sensor System

Chang Kyu Park*, Jung Kyu Kim*, Ji Won Lee*, Su Soung Kim* and Kyu Hoon Choi**

* Jeonju Technical College EEMTC ASIC Lab.

** Professor of JTC Electronics Information Dept.

Abstract

This paper has proposed a 4-bit 20MHz Flash A/D converter design available analog signal processing and realized its intergrated circuit. The parallel comparison method A/D converter quantized analog signals swiftly using various converters. Also this theme has designed economic power dissipation circuit using a preamplifier of low volt & power CMOS comparator. Also the system was fabricated by Hynix 0.35um CMOS process.

I. 서 론

VLSI기술이 발달하면서 아날로그 회로에 의하여 수행되던 신호처리 분야의 많은 기능들이 비교적 제어가 용이한 디지털 회로에 의하여 수행되고 있다. 그러나 자연계 내의 모든 아날로그 형태로 존재하기 때문에 신호처리를 위한 디지털 시스템과의 인터페이스는 항상 존재하게 된다.

아날로그 디지털 인터페이스 역할을 수행하는 데이터 변환기는 그 변환 속도와 해상도에 의하여 저속(Low-Speed : 1 ~ 100 Conversions/[sec], 12 ~ 14 bit 해상도), 중속(Medium Speed : 106~ 2×107 Conversions /second, 7 ~ 8bit 해상도), 고속(High Speed : 8000 ~ 20000 Conversion / [sec] : 12 ~ 15bit 해상도)의 A/D 변환기 등으로 나눌 수 있다.

정보화 사회로의 발전이 가속화 되면서 정보 전달 체계에서 고속의 전달이 필수적으로 요구되고, 많은 양의 정보를 신속, 정확하게 주고 받는 것이 신호 처리 회로의 목적이므로 고속의 A/D 변환기는 신호처리, 통신 분야에 있어서 핵심 기술로 인정되고 있다.^[1]

이 논문에서 제안하는 회로는 CMOS 공정을 이용하여 구현된 저 전압용 비교기가 사용된 플래쉬 저전력 A/D 변환기이다.

II. Flash A/D 변환기

이 논문에서는 인체에서 감지하는 Sensor들의 다양한 신호에 대하여 AGC회로를 거쳐 일차적으로 처리 하

고, 이 신호는 ADC(A/D Converter)에 의해 디지털 신호로 변환된 후 DSP(Digital Signal Processor)를 거쳐 적절하게 신호처리 된다. 이 신호는 RAM에 저장된 DB와 비교 선택하여 원하는 데이터 값을 Display에 출력시켜 신체의 상태를 분석할 수 있는 시스템응용에 관하여 제안하였다.

특히 이 시스템은 저 전압에서 동작하고, 저전력소모 특성을 만족하도록 3.3V, 4-bit, 20MSPS CMOS Flash ADC로 설계하였다.

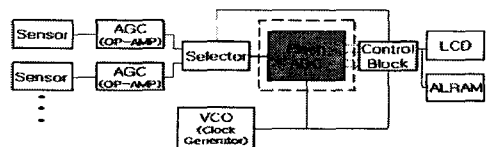


그림1.다기능 센서 칩 블록도

Fig. 1. Multifunctional Sensor Chip Block diagram.

Flash A/D Converter의 블록다이어그램은 <그림2>와 같다.

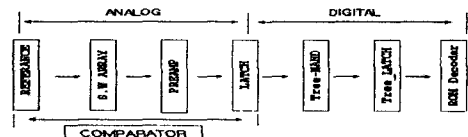


그림2. 플래쉬 A/D 컨버터 블록도

Fig. 2. Flash A/D Converter Block diagram.

이 논문은 반도체설계교육센터(IDECC)의 지원으로 이루어진 것입니다.

<그림2>는 크게 아날로그 부분과 디지털 부분으로 나눌 수 있다. 우선 아날로그 부분에서 아날로그신호가 샘플링 효과에 의해 이산된 아날로그 신호로 변환된 후 스위치 어레이를 통해 프리앰프에 전달 된다.

이 신호는 래치에 전달되어 디지털 신호로 변환된 다음 NAND회로와 래치를 거쳐 ROM Decoder를 통해 최종적인 디지털 신호를 얻게 되는 구조를 가진다.

Flash A/D 변환기는 잘 알려진 A/D 변환기 중의 하나로서 개념적으로 간단하고, 비교기를 병렬로 나열한 구조로서, 아날로그 입력 신호를 받아들여 디지털 신호를 출력하기 위해 한 클럭 주기에 처리하므로 가장 빠른 구조를 가지고 있다.^[2]

Flash A/D 변환기의 구조는 <그림3>과 같이 크게 저항 열, 비교기 및 인코더로 구성되며, N비트의 해상도를 가진 Flash A/D 변환기의 동작을 살펴보면 그림3에서 보듯이 아날로그 입력 신호는 각 비교기의 한쪽 입력 단에 인가되고, 아날로그 신호와 비교되는 기준 전압(Reference Voltage)은 다른 쪽 입력 단에 인가된다.

여기서 각 비교기의 기준 전압은 입력 신호의 Full-scale과 동일한 크기의 전압 V_{ref} 를 저항 열을 사용하여 2^n 개로 나누어진 전압이다. N비트의 디지털 출력 신호를 한 클럭 주기 안에 얻기 위하여 모든 비교기는 동시에 동작하며 입력 신호를 디지털 신호로 변환시킨다.

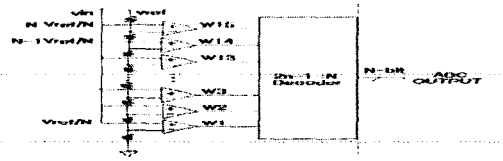


그림3. 플래쉬 A/D 컨버터의 구조
Fig. 3. Structure of Flash A/D Converter.

<그림3>과 같은 플래쉬 구조는 입력 신호에 대해 모든 비교기가 동시에 결과를 출력하므로 디지털 신호로 변환하는데 한 클럭 주기만 필요하며 따라서 Flash A/D 변환기는 빠른 속도로 동작할 수 있다.

비교기에 인가되는 기준 전압은 접지에서부터 저항 수가 늘어날수록 기준전압도 증가하는 단조성(Monotonic)의 장점을 지니며, 이것은 DNL (Differential Nonlinearity)을 작게한다. 그러나 이러한 장점에도 불구하고 Flash A/D 변환기는 면적 및 전력 소모 측면에서 단점을 가진다. Flash A/D 변환기에 사용되는 비교기의 수는 해상도 N비트에 대해 2^n 개의 지수함수로 비례하기 때문에 높은 해상도를 요구하는 Flash A/D 변환기의 경우, 많은 수의 비교기에 의해 면적 및 전력 소모가 커지는 문제점이 있다.

따라서 8비트 이상의 해상도를 요구하는 A/D 변환기에서는 플래쉬 구조를 사용하기 어렵다.^{[3][4]}

III. Flash A/D 변환기 설계

이 연구에서 구현하고자 하는 Flash A/D 변환기의 Specification은 다음과 같다.

Resolution	4Bit
Speed	20MSPS
SNDR	25dB
Single Supply Voltage	3.3V
Input Voltage Range	2VP-p
Technology	0.35um DOUBLE-POLY 3-METAL CMOS(Hydra)
Schematic & Layout Tool	Cadence (composer, virtuoso)
Simulation Tool	Star-Hspice
Rule Check	DRACULA (DRC, LVS)

그림4. 플래쉬 A/D 컨버터의 사양
Fig. 4. Specification of Flash A/D Converter.

Flash A/D 변환기의 Schematic 회로는 그림 5에 나타나 있다. 4비트 Flash A/D 변환기는 15개의 래치형 비교기와 15개의 기준전압을 제공하는 저항 열(String)로 구성되어 있다. 4비트의 해상도가 요구되는 Flash A/D 변환기의 비교기는 최대 기준 전압이 $2V_{pp}$ 이므로, 각 비교기는 $2/2^4$ 즉 125[mV]의 차이를 증폭하여 구별할 수 있어야 한다. 자체에서 생겨나는 옴셀 및 퍼드스투 오차 등을 고려할 때 125[mV]의 1/4, 즉 약 32[mV]정도의 비교기의 입력을 구별할 수 있도록 설계하였다.

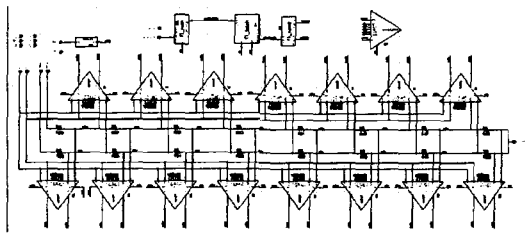


그림5. 4비트 플래쉬 A/D 컨버터의 도식
Fig. 5. Schematic of a 4-bit Flash A/D Converter.

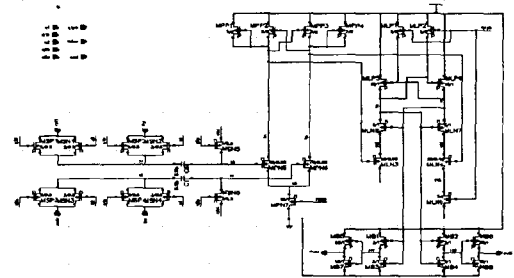


그림6. 플래쉬 A/D 컨버터의 비교기
Fig. 6. The comparator for Flash A/D Converter.

위의 <그림6>은 플래쉬 A/D 컨버터를 위해 설계된 비교기로 Q1과 Q2의 스위칭 효과에 의해서 전체 동작을 하는 회로이다. 비교기는 프리 앰프와 래치의 두 부분으로 구성되었으며, 프리앰프는 옴셀소거기술^{[5][6]} 래치의 정적 옴셀(Static Offset)과 그 밖의 여러 여러 요소로부터 정확한 출력을 얻기 위하여 입력 신호를 일정한 크기로 증폭시킨 후 래치로 보내며, 래치는 증폭된 아날로그 입력 신호를 디지털 신호로 변환시킨다.

<그림7>은 비교기의 구조와 동작 원리이다.

V. 칩테스트 및 결과 고찰

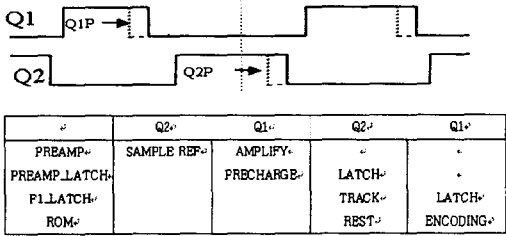


그림7. 저전력 비교기 타이밍 차트
Fig. 7. Low-power Comparator Timing chart.

Q2가 High상태일 때 차동 기준 전압이 두개의 샘플링 커패시터 C1, C2에 샘플링 되며, C1, C2의 Top Plate는 공통 바이어스 전압에 연결된다. 동시에 MLP1부터 MLN9로 구성되는 래치회로는 로직 1 또는 0중 어느 한 상태로 래치되어 있다. Q2가 Low상태로 바뀌고 Q1이 High상태가 되면, 차동입력 신호와 차동 기준 전압과의 차이가 프리앰프의 입력단에 나타나며, Q1이 Low상태로 들어가 기 직전 그리고 Q2가 High상태가 되기 직전 MLN9가 켜지고 MLP1 및 MLP2가 Off 상태로 되면서 다음 단계의 논리 게이트에 유효한 입력수준을 얻기 위해 래치된다. 프리앰프는 낮은 전원전압에서 비교적 큰 전압이득을 얻을 수 있는 Cross-coupled 연결구조를 가진 부하로 구성되어 있는 차동증폭기이다.

위와 같은 회로들을 통해 입력되는 파형과 출력된 파형은 <그림8>과 같다

설계된 A/D 변환기 시스템은 Hynix 0.35um 3-metal double-poly CMOS공정의 rule에 맞추어 제작되었으며, 전체 A/D 시스템의 Layout은 <그림14>와 같다. Full custom 방식으로 레이아웃 하였으며, 디지털 블록의 효율적인 레이아웃을 위해 각 블록별로 Standard Cell화 하였다.

레이아웃 수행 시, 아날로그 블록과 디지털 블록을 분리하여 각 동작 블록들 간의 신호간섭을 줄였다.

IC 제작의 경우 출력패드도 아날로그 전원 전압(V_{DDA}, V_{SSA})과 디지털 전원전압(V_{DD}, V_{SS})도 모두 분리하였으며 외부에서 연결되도록 설계하였다.

가장 큰 잡음원인 클럭 발생기의 경우도 Substrate 및 전원 전압을 링 형태로 클럭 주변에 배치함으로써 다른 블록에의 영향을 최소화하여 설계하였다.

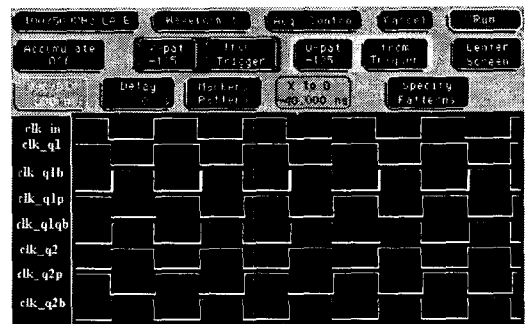


그림9. 클럭 제너레이터의 출력
Fig. 9. Output of Clock generator.

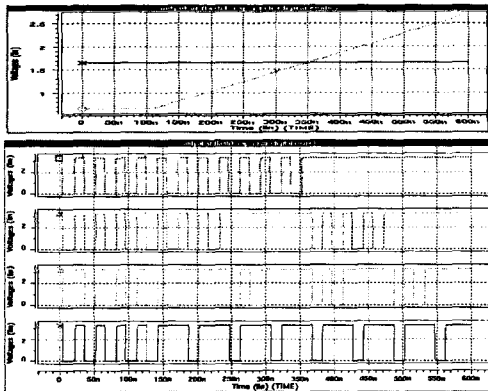


그림8. 플래쉬 A/D 컨버터의 입출력 시뮬레이션 파형
Fig. 8. Input / Output simulation Waveform of Flash A/D Converter.

위의 그림처럼 우리는 순차적으로 증가하는 아날로그 입력에 대해 0과 1의 이산 된 신호로 변환된 출력값을 얻을 수 있었다.

온도에 대한 결과와 공급전압에 대한 출력 전류 I_{out}의 결과는 같다.

<그림7>의 Timing Chart에서 볼 수 있듯이 q1과 q1p는 서로 Delay 없이 High와 Low로 출력됨을 볼 수 있다.

q1b는 전력소모를 감소하기위해 래치회로로 인하여 조금의 Delay를 보였다.

그림10, 11은 CML과 fbias는 전력소모를 1/2로 감소하기 위해 1.5V의 전압과, 최대전압의 REFT과 최소전압의 REFC를 각각 2.0V와 1.0V를 인가하였다.

INN은 기준전압으로 DC1.5V를 인가했고, INP의 입력을 Function Generator를 이용해 Amplitude 10.5dbm, Offset 전압 0.7, 주파수0.5MHz로 각각 삼각파와 Sign파를 넣어보았다.

Oscilloscope로 측정한 결과 아래의 <그림10,11>과 같이 4bit의 데이터 파형들이 입력파형의 반주기 동안 16 클럭으로 데이터 값이 나오는걸 볼 수 있다.

4bit의 데이터 값 MSB는 반주기로 변화하고, MSB-1은 1/4주기, LSB+1은 1/8주기, LSB는 1/16주기로 입력파형에 대한 데이터 값에 의해 변화하는 모습을 볼 수 있다.

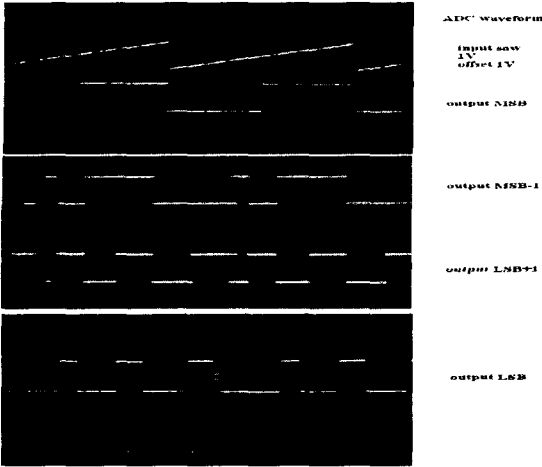


그림10. 삼각파 입력의 출력 파형
Fig.10. Output waveforms;(Triangular input)

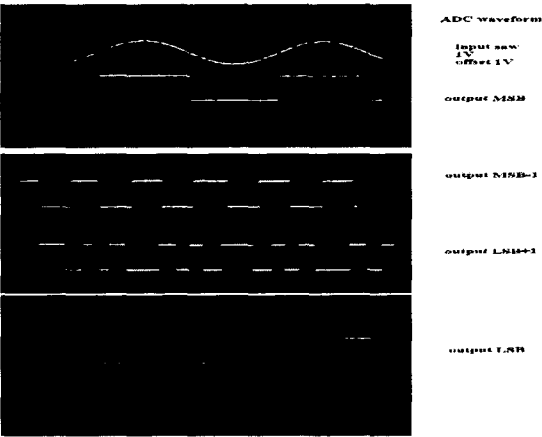


그림11. 사인파 입력의 출력파형
Fig.11. Output waveforms(;Sign wave input)

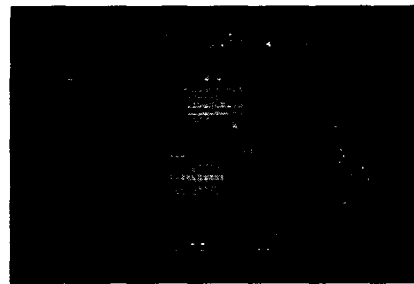


그림12. 플래쉬 A/D 컨버터 레이아웃
Fig. 12. Top Layout of Flash A/D Converter.

<그림12>의 레이아웃 도면을 보면 2개의 Flash A/D Converter로 설계되었음을 알 수 있다.

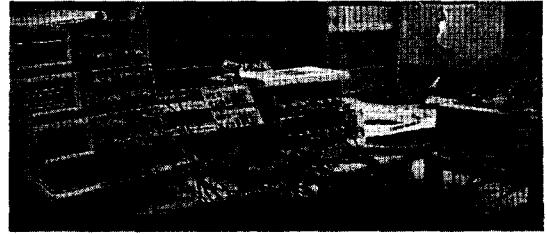


그림13. 칩 테스트
Fig.13. Chip Test.

VI. 결 론

이 논문에서 저전력 Comparator를 사용하여 전력소비를 경제적으로 줄였으며, 하나의 칩 내부에 아날로그 회로 및 디지털 회로 블록이 동시에 병존하는 4bit 20Mhz CMOS Flash A/D 변환기를 구체적으로 혼성 모드 회로의 전형적인 설계 방식으로 설계하였다.

Cadence를 이용하여 layout하였으며 HSPICE로 시뮬레이션 하였고, rule check은 DRACULA를 활용하였다.

칩은 Hynix 0.35um 3-metal double-poly CMOS공정의 rule에 맞추어 제작되었다.

칩테스트를 하면서 Function Generator와 Logic Analyzer, Oscilloscope등 측정기기를 사용하였고, 그 결과 입력 값에 대한 4bit-Digital Code의 출력이 조금의 Delay를 가지며 정확하게 나타나는 것을 확인함으로써 <그림11,12>을 통해 A/D Converter가 완전한 동작을 하는 것을 볼 수 있다.

제작된 칩은 4bit resolution 으로 실용화를 위한 8bit 이상의 해상도를 가진 칩의 개발이 필요하다. 응용 분야로는 다양한 Biochip에 적용이 가능하며 여러 가지 Sensor 시스템에도 이용할 수 있을 것으로 본다.

참 고 문 헌

- [1] Y. H. Cho, H .W. Son, J. H. Back, "고속전류 구동 Analog-to-Digital 변환기의 설계", 대한전자공학회 논문집, 제3권, 제7호, pp.851-857, July 1994.
- [2] David a.Johns and Ken Martin, "Analog Intergrated Circuit Design", John Wiley & Sons, Inc. 1997.
- [3] Behzad Razavi, "Principles of Data Conversion System Design", IEEE Press, 1995.
- [4] Stepen H. Lewis, "Video-Rate Analog-to-Digital Conversion using pipelined Architectures", Ph.D, Thesis, University of California at Berkeley, Nov. 18, 1987.
- [5] B. J. McCarroll, C. G. Sodini, and H.S. Lee, "A High-speed CMOS comparator for use in and ADC", IEEE J. Solid-state Circuits, vol. 23, no. 1, pp. 159-165, Feb. 1998.
- [6] B. Razavi and B. A. Wooley, "Design techniques for high-speed, high-resolution comparators", IEEE J. Solid-state Circuits, vol. 27, no. 12, pp.1916-1926, Dec. 1990.