

# High-k 유전박막 MIS 커패시터의 플라즈마 etching damage에 대한 연구

양 승 국, 송 호 영, 오 범 환, 이 승 결, 이 일 항, 박 세 근  
인하대학교 m-PARC  
전화 : 032-860-8782 / 핸드폰 : 017-712-4282

## Plasma Etching Damage of High-k Dielectric Layer of MIS Capacitor

Seung Kook Yang, Ho Young Song, Bum Hoan O, Seung Gol Lee, and Se-Geun Park  
m-PARC, INHA University  
E-mail : [yks25@hanmail.net](mailto:yks25@hanmail.net)

### Abstract

In this paper, we studied plasma damage of MIS capacitor with  $Al_2O_3$  dielectric film. Using capacitor pattern with the same area but different perimeters, we tried to separate etching damage mechanism and to optimize the dry etching process. After etching both metal and dielectric layer by the same condition, leakage current and C-V measurements were carried out for Pt/ $Al_2O_3$ /Si structures. The flatband voltage shift was appeared in the C-V plot, and it was caused by the variation of the fixed interface charge and the interface trapped charge. From I-V measurement, it was found the leakage current along the periphery could not be ignored. Finally, we established the process condition of RF power 300W, 100mTorr, Ar/ $Cl_2$  gas 60sccm as an optimal etching condition.

### I. 서론

반도체 소자의 주류를 이루고 있는 Si MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)

공정에 있어서, 트랜지스터의 밀도와 속도를 증가시키기 위하여, 트랜지스터의 크기는 수평적으로 뿐만 아니라 수직적으로도 축소되고 있다. 이러한 수직적 축소는 게이트 절연막의 두께감소를 요구하고 있으며, 그 유효두께는 수년 이내에 20Å이하의 두께가 필요할 것으로 미국 반도체 산업협회(SIA)의 기술개발 roadmap에서 예측하고 있다.[1] 그러나 Si MOS소자의 critical dimension(CD) 크기가 70nm이하로 축소될 때 요구되는 게이트 산화막의 유효두께의 감소는 산화막을 통과하는 dopant 침투에 의한 소자의 문턱전압 변화 및 누설전류 증가 등 여러 가지의 문제점에 직면하게 된다.  $SiO_2$  절연막의 단순한 두께 감소는 물리적인 한계에 이르기 때문에, 새로운 게이트용 고유전율 절연박막 재료에 대한 연구가 필요하게 되었다.

또한, 기존의 polycide 재료의 게이트 전극 대신에 금속 게이트를 채택하게 되기에 게이트 구조를 형성하는 공정기술은 새로운 연구가 요구되었다. 특히 게이트 패터닝에서의 건식식각공정은 새로운 재료를 다루게 되기에 이에 대한 연구가 필요하게 되었다.[2]

본 논문에서는  $Al_2O_3$  고유전율 절연막과 Pt금속을 사용하여 MIS (Metal-Insulator-Semiconductor) 커패시터를 제작하고 건식식각 공정과 커패시터의 layout의 종류에 따른 플라즈마 damage 여부를 살펴보았다. 누설전류와 C-V 측정을 하였으며 누설전류의 성분과

defect 발생위치를 bulk와 periphery로 구분하고자 커패시터의 면적은 같고 둘레의 길이가 각각 다른 3가지 패턴을 제작하고, 게이트 금속과 고유전을 절연막을 동시에 식각하는 공정을 수행하였다. 이를 바탕으로 식각공정에 있어 플라즈마 damage의 영향을 적게 받는 식각 최적 공정조건의 구현을 시도했다.

## II. 실험

MIS 커패시터의 제작을 위해 실험에 사용된 시료로는 (100)방향의 P형 실리콘 웨이퍼를 사용하였고, 절연막으로는 일반적으로 고유전을 물질들은 유전상수가 증가하게 되면 band-gap이 감소하여 누설전류가 증가하게 되거나 Si과의 열적 안정성 등에서 많은 문제점을 안고 있으나,  $Al_2O_3$ 는 band-gap이 7-8eV 이면서 유전상수가 약 8.4정도로[3] 우수한 특성을 갖는 고유전을 절연막으로 그 특성이 안정적인 것으로 알려져 있다.[4] 따라서 본 실험에서는 고유전을 절연막으로  $Al_2O_3$ 를 ALD(Atomic Layer Deposition)장비를 사용하여 70Å 증착하였다. 전극으로는 기존의 poly-Si 전극은 depletion에 의해 절연막의 유효두께가 증대되는 문제와 poly-Si에 도핑된 dopant가 Si 기판으로 확산 침투하는 문제 등의 단점을 갖고 있기 때문에 본 실험에서는 열적으로 안정하고 낮은 전기적 저항과 높은 화학적 안정성을 가지는 Pt를 dc magnetron sputtering에 의해 1000Å 증착하여 MIS 커패시터의 전극으로 사용하였다.

본 실험에서는 반응성 이온 식각(RIE : Reactive Ion Etch) 장비를 사용하여 금속층인 Pt와 절연층인  $Al_2O_3$ 를 일괄적으로 식각하는 공정을 수행하였으며, Ar/ $Cl_2$ 를 주 공정 가스로 사용하였다.

MIS 커패시터의 플라즈마 식각공정 중에 발생할 수 있는 charging damage 영향을 알아보고 패턴에 따른 damage에 대한 영향을 알아보기 위해 그림 1과 같이 패턴의 면적은 같고, 둘레의 길이가 각각 다른 3가지 테스트 패턴을 통하여 periphery부분의 영향을 달리 한 테스트 패턴을 제작하였다.

플라즈마 damage의 여부를 비교하기 위한 MIS 커패시터의 reference 시료로는 Pt 전극을 shadow mask를 이용하여 형성하였다. Shadow mask로 사용된 패턴의 면적은  $2.1 \times 10^{-4} \text{cm}^2$ 이며, 전기적인 특성의 측정을 위하여 커패시턴스는 HP 4284A를 사용하였으며 leakage current는 Keithly 6517A와 HP 4145B를 이용하였다.

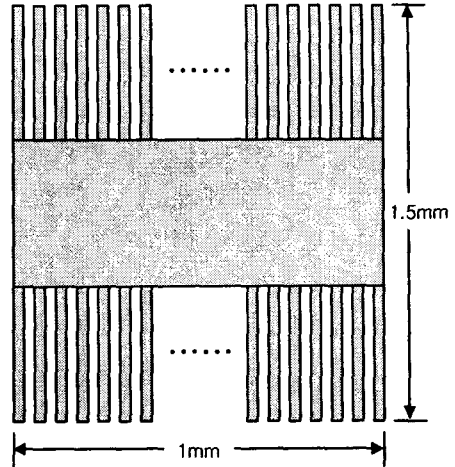


그림 1. 각 테스트 패턴의 형태  
 패턴1 : 1mm X 1mm 정사각형 패턴  
 패턴2,3 : line/space =  $5\mu\text{m}/5\mu\text{m}$ ,  $10\mu\text{m}/10\mu\text{m}$

## III. 결과 및 고찰

### 1. Reference 시편의 측정

그림 2는 reference 시료의 MIS 커패시터의 C-V와 I-V 특성을 측정한 결과이다. 그림 2에서 볼 수 있듯이 플라즈마 식각 방법이 아닌 shadow mask를 이용한 reference시편은 플라즈마 damage를 받지 않았기 때문에 약간의 누설전류는 존재하나 비교적 안정된 C-V특성을 나타내고 있으며, I-V특성 또한  $10^{-7} \text{A/cm}^2$  이하의 낮은 누설전류를 나타내고 있는 것을 확인할 수 있었다.

### 2. 플라즈마 식각공정을 이용한 시편 측정

MIS(Pt/ $Al_2O_3$ /Si) 테스트 패턴을 제작하여 RIE장비에 RF power를 변화시켜 가며 식각공정을 수행 하였다. 그림 3과 4는 RF power에 따른 플라즈마 식각 후의 커패시터의 C-V와 I-V 특성을 측정한 결과이다. 공정압력은 100mTorr이며, Ar/ $Cl_2$ 의 flow rate은 60sccm으로 고정하였다.

그림 3의 C-V 특성을 통하여, reference 시편과 비교하였을 경우, 식각공정을 거친 시편들에게서 약간의 히스테리시스가 발생했으며, fixed interface charge, interface trapped charge의 변화로 보이는 flatband voltage shift가 나타났다. 또한, RF power 200W에서의 커패시턴스 변화가 300W에서보다 많은 변화를 보였으며, -3V를 인가하였을 때 패턴에 따른 변화가 RF

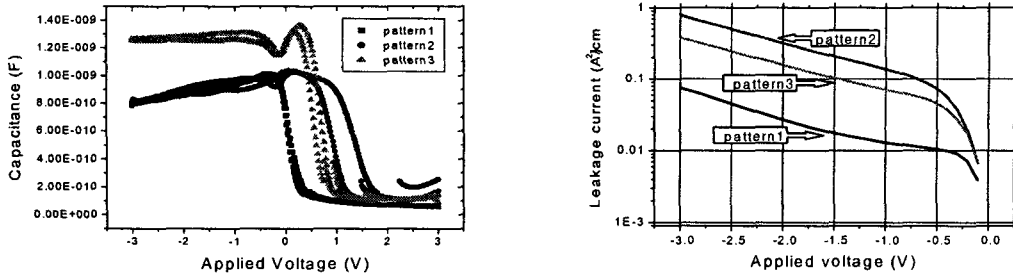


그림 3. RF power 200W, Ar/Cl<sub>2</sub> 플라즈마 식각 후의 C-V 와 I-V 특성곡선

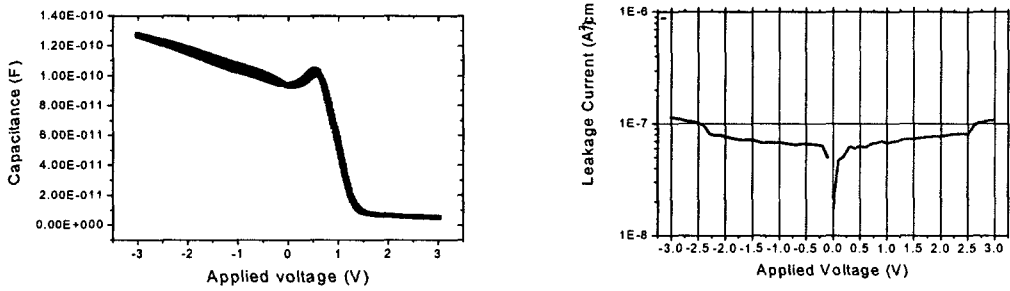


그림 2. Reference 시료의 C-V와 I-V 특성곡선

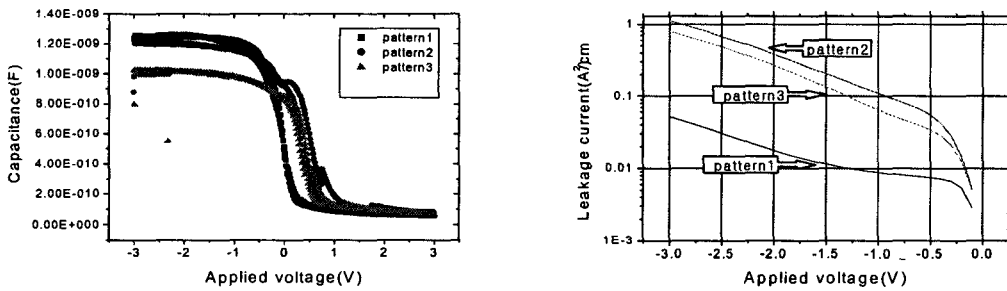


그림 4. RF power 300W, Ar/Cl<sub>2</sub> 플라즈마 식각 후의 C-V 와 I-V 특성곡선

RF power	200W		300W	
Applied Voltage (V)	-2.5	-3	-2.5	-3
Leakage current [A/cm <sup>2</sup> ] (pattern2 - pattern1)	0.456	0.703	0.649	1.055
Leakage current [A/cm <sup>2</sup> ] (pattern3 - pattern1)	0.199	0.302	0.455	0.740

그림 5. RF power 200W와 300W에서의 패턴에 따른 누설전류 차이

power 200W에서는 0.5nF, 300W에서는 0.2nF로 낮은 RF power에서 비교적 많은 변화를 보였다. 또한, RF power가 300W일 경우 보다 200W에서 Pt를 식각하는데 충분한 ion bombardment 효과를 주지 못하기 때문에 떨어져 나간 Pt 원자들의 redeposition으로 인하여 패턴의 CD가 커짐으로써 치밀한 패턴의 면적이 증가하는 것을 보이며, RF power 200W C-V 특성의 반전영역을 통하여 패턴의 면적이 증가함을 확인 할 수 있었다. [5] 특히 반전영역에서 둘레의 길이가 가장 긴 패턴2에서의 패턴 면적이 가장 크게 증가하는 것을 확인할 수 있었다.

I-V특성을 통한 누설전류도 reference시편과 비교했을 경우 플라즈마 식각공정의 시편이 보다 더 많은 누설전류가 나타나는 것을 볼 수 있었다. 그림 5는 200W와 300W인 경우의 각 패턴에 따른 누설전류의 차이를 나타내며, 200W -3V에서 패턴2가 패턴1보다  $0.703\text{A}/\text{cm}^2$ 의 더 큰 누설전류를 나타냈으며, 패턴3가 패턴1보다는  $0.302\text{A}/\text{cm}^2$ 의 더 큰 누설전류를 나타내었다. 따라서 패턴2는 가장 많은 누설전류를 보였으며, 패턴3보다  $0.401\text{A}/\text{cm}^2$ 의 더 많은 누설전류를 나타내었다. 300W의 경우에는 -3V에서 패턴2가 패턴1보다는  $1.055\text{A}/\text{cm}^2$ 의 더 큰 누설전류를 나타냈으며, 패턴3가 패턴1보다는  $0.740\text{A}/\text{cm}^2$ 의 더 큰 누설전류를 나타내었다. 따라서 300W의 경우에도 패턴2가 패턴3보다  $0.315\text{A}/\text{cm}^2$ 의 더 많은 누설전류를 나타내었다. 이러한 측정을 통하여 RF power가 증가할수록 bulk영역보다 periphery영역에서 더 많은 누설 전류가 흐르는 것을 확인할 수 있었다.

건식 식각공정에 있어서는, I-V특성을 통하여 식각공정 중의 플라즈마 damage가 200W의 경우의 누설전류가 좀 더 낮은 누설전류를 보였으나, 200W인 경우 C-V특성의 결과에서 Pt원자의 redeposition이 발생함에 따라 가장 알맞은 조건인 RF power 300W, 100mTorr, Ar/Cl<sub>2</sub> gas 60sccm인 조건을 가지는 공정조건을 확립할 수 있었다.

## V. 결론

플라즈마 식각공정에서의 플라즈마 damage에 대한

누설전류와 C-V특성을 측정하였으며, 누설전류의 성분과 defect 발생위치를 bulk와 periphery로 구분하고자 패턴의 면적은 같고, 둘레의 길이가 각각 다른 3가지 테스트 패턴을 제작하였고, 플라즈마 damage를 비교하기 위해서 shadow mask를 이용하여 reference 시편을 제작 측정하였다. 플라즈마 식각 공정의 주 공정 가스로는 Ar/Cl<sub>2</sub>를 사용하였고, Pt/Al<sub>2</sub>O<sub>3</sub>/Si 적층 구조의 MIS 커패시터를 제작하여 RIE RF power의 변화에 따른 플라즈마 식각을 한 결과, reference 시편과 비교해 볼 때 식각 공정 시 시료에 상당한 플라즈마 damage를 가하는 것을 확인해 볼 수 있었다. 또한, bulk영역보다 periphery영역에서 더 많은 누설전류가 흐르는 것을 확인할 수 있었으며, 가장 최적의 조건인 RF power 300W, 100mTorr, Ar/Cl<sub>2</sub> gas 60sccm인 조건을 가지는 공정조건을 확립할 수 있었다.

## VI. 감사의 글

본 연구는 한국과학재단 목적기초연구(2000-2-3010-003-3)지원으로 수행되었음.

## 참고문헌

- [1] The 2002 ITRS "Technology Road Map" is available at : <http://public.itrs.net>.
- [2] K. Pelhos, "Etching of high-k dielectric Zr<sub>1-x</sub>Al<sub>x</sub>O<sub>y</sub> films in chlorine-containing plasmas," J. Vac. Sci. Technol. A19, 1361 (2001).
- [3] D. R. Lide, "Dielectric constants of ceramics, in CRC Handbook of Chemistry and Physics," 62th ed., edited by D. R Lide (Chemical Rubber Corp., Boca Raton, FL, 1998), pp. E-57.
- [4] J. Robertson, "Band offset of wide-band-gap oxides and implications for future electronic devices," J. Vac. Sci. Technol. B18, 1785 (2000).
- [5] 이종덕, "집적회로 공정기술," Ch. 1, pp. 55-56, 대영사, (1991).