

전류 모드 다 입력 MAX회로에서 트랜스컨덕턴스 조정에 의한 고주파 왜곡 억제

이준수, 손홍락, 김형석
전북대학교 전자정보공학부
전화 : 063-270-2477 / 핸드폰 : 011-9914-0759

Suppression of High Frequency Distortion in the Multiple-Input Current-Mode MAX Circuits by Adjustment of Transconductance

Jun-Su Lee, Hong-Rak Son, Hyong-Suk Kim
Div. of Electronics and Information Engineering Chonbuk National University
E-mail : junsu0759@mail.chonbuk.ac.kr

Abstract

A distortion suppression technology for employing multiple inputs in $3n+1$ type current mode Max circuit is proposed using the adjustment of transconductance. If the number of inputs in current mode Max circuit increases, the high frequency distortion in the output signal grows. In this paper, it has been disclosed that the distortion in the multiple input Max circuit is proportional to sum of parasitic capacitance in input terminals, to the derivative of the output signal and also to the inverse of transconductance of the common diode-connected transistor. The proposed idea is by employing as larger transconductance of the common diode-connected transistor as possible. The effectiveness of the proposed idea has been proved through the HSPICE simulation.

I. 서론

Multiple-input 신호 중에서 최대값을 출력하는 Max 회로는 Fuzzy 시스템, 인공신경회로망과 같은 여러 분야의 진보된 계산시스템에 사용되는 중요하고 기본적인

회로이다. 이와 같은 중요성 때문에 회로의 구현이 간결함에도 불구하고 많이 연구되어 왔다 [1][2]. 특히 회로 구현에 있어서 중요한 설계 요소인 분해능, 속도, 면적 그리고 전력 소모를 중심으로 연구되었다.

n 개의 입력신호에 대한 Max 회로는 회로에 사용되는 트랜지스터의 수가 다양하다. 즉 트랜지스터의 수가 n^2+n , $5n+1$, $3n+1$, $2n+1$ 개인 회로들이 제안되었다 [3-6]. 이 중 $3n+1$ 형과 $2n+1$ 형 Max 회로는 트랜지스터의 수가 적게 필요하고 구조가 간단하며 동작 속도도 빠르지만 입력신호의 수를 증가시킬수록 Max 회로에 추가적으로 입력회로가 더해지기 때문에 기생 커패시터가 증가하여 출력에 왜곡이 발생한다는 문제점이 아직 남아있다.

본 논문에서는 $3n+1$ 형과 $2n+1$ 형 Max 회로 중 다수의 입력신호 수용에 상대적으로 우수한 $3n+1$ 형 Max 회로를 대상으로 해석하고 수십 개의 입력이 인가되는 경우에도 동작이 가능한 조건을 도출하였다. 또한 다양한 입력신호와 입력의 개수에 대한 시뮬레이션을 HSPICE에 의해 수행하고 그 결과를 제시하였다.

II. 기존의 $(3n+1)$ 형 Max 회로

n 개의 입력신호를 인가하는데 $3n+1$ 개의 트랜지스터가 필요한 Max 회로는 그림 1과 같다 [5]. 이 회로는 각 입력신호에 대해 3개의 트랜지스터 M_{ni1} 과 M_{ni2} 및 M_{ni3} 로 구성된 블록으로 되어있다. 중간의 연결된 다이

오드결선(diode-connected) 트랜지스터 MO는 입력 블록들간에 공통으로 연결되어 Wilson current mirror의 역할을 수행한다.

그림에서 i_{IN1} 이 입력 전류들 중 가장 큰 전류라고 가정하자. 또한 다른 많은 입력 전류들은 i_{IN1} 과 병렬 연결을 가지는데 i_{IN2} 는 그 중의 한 입력 전류라고 가정하면 Mn11의 게이트-소스간 전압 v_{GS11} 은

$$i_{D11} = \frac{1}{2} k_n (W/L)(v_{GS} - V_T)^2 \quad (1)$$

에 의해 결정되는 전류를 Mn11의 드레인과 소스간에 흐르게 한다. 만약 i_{D11} 의 전류가 i_{IN1} 보다 낮다면 v_{GS11} 이 i_{IN1} 을 통과시킬 만큼 충분히 크지 않음을 의미한다. 이 경우, Mn13의 드레인에서는 i_{D11} 보다 큰 전류 i_{IN1} 이 흘러들어오므로 노드 5와 6의 전압은 급격히 상승하게 된다. 이 상승된 5번 단자의 전압은 Mn12의 게이트-소스 전압 v_{GS12} 를 증가시키게 되며 이 때문에 Mn12의 드레인 전류는 증가한다. 이 증가된 전류가 MO에 흐르게 되므로 1번 단자의 전압을 증가시켜 결국 Mn11에 흐르는 전류 i_{D11} 을 증가시키게 된다. 이 과정은 반복되어 $i_{IN1} = i_{D11}$ 이 될 때 멈추게 된다. 이 때, MO의 게이트-소스간의 전압 v_{GS0} 는 v_{GS11} 과 같으므로, 모든 트랜지스터의 W/L 비가 동일한 경우에는 MO에 흐르는 드레인 전류 i_{D0} 도 i_{IN1} 과 같게 된다. 한편, Mn21의 게이트와 소스간에는 i_{IN2} 보다 큰 전류 i_{IN1} 을 흐르게 하는 전압 v_{GS21} 이 걸려 있으므로, Mn21에 i_{IN2} 보다 큰 전류를 유도하는 까닭에 공급과 수요의 불균형에 의해 단자 3과 4의 전압이 순식간에 떨어지게 되어 Mn22가 cut-off 상태가 된다. 따라서 Mn22에 흐르는 전류가 0이므로 MO에 흐르는 모든 전류 i_{IN1} 은 Mn12를 통해서만 흐르게 된다.

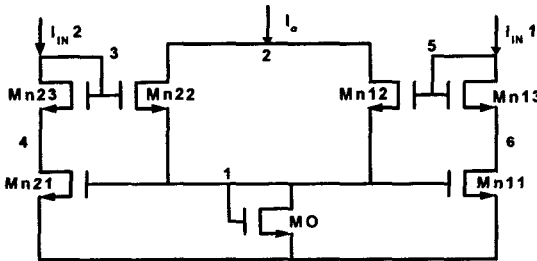


그림 1. Current-mode Max 회로(3n+1)

III. (3n+1)형 Max 회로의 고주파 왜곡 해석

(3n+1)개의 트랜지스터가 필요한 Max 회로의 동작을 해석하고 입력의 개수가 증가함에 따라 왜곡이 발생하는 원인을 찾아내어 그 대책을 제시하였다.

그림 1의 회로에 대한 고주파 신호 입력시 등가회로는

그림 2(a)와 같다. 그림에서 신호 i_{IN2} 에 대한 입력 블록의 스위칭 트랜지스터 Mn22는 cut-off 상태이므로, 좌측에 표시한 커패시터만 남게 된다. 만약 i_{IN1} 보다 낮은 입력 전류가 추가적으로 연결된다면 이에 해당하는 커패시터들도 서로 병렬로 연결되므로 증가된 입력신호의 개수에 비례하여 늘어나게 된다. 총 N개의 입력회로가 연결되어 있고, k=i 번째 입력이 최대라고 한다면, 병렬 연결된 커패시터의 총합 C_T 는

$$C_T = \sum_{i=1}^N (C_{gm1} + C_{gm2} + C_{gs1}) + C_{gs0} + C_{gs1} \quad (2)$$

가 된다. 즉 입력 전류가 최대인 입력회로에서는 C_T 에 C_{gd1} 만 추가되는데 비해 최대가 아닌 입력회로들에 대해서는 매 입력마다 $C_{gdk1} + C_{gsk1} + C_{gsk2}$ 만큼의 커패시터가 추가됨을 의미한다. 따라서 C_T 에 비해 매우 작은 커패시터를 무시하고 회로를 간략화하면 그림 2(b)와 같다.

간략화된 등가회로에서 i_{IN1} 에 대한 s-domain 표현은

$$I_1(s) = g_{m11} V_{gs11}(s) \quad (3)$$

이고, 출력 전류 $I_O(s)$ 가 모두 트랜지스터 MO에 흐르게 되므로 그 트랜지스터의 게이트-소스 전압 v_{GS0} 는

$$V_{gs0}(s) = \left(\frac{1}{SC_T} // \frac{1}{g_{m0}} \right) I_O(s) \quad (4)$$

이며, 이 전압은 $V_{GS11}(s)$ 와 같게 된다. 즉,

$$V_{gs11}(s) = \left(\frac{1}{SC_T} // \frac{1}{g_{m0}} \right) I_O(s) \quad (5)$$

이 된다. (5)식을 (3)식에 대입하면, (3)식은

$$I_1(s) = g_{m11} \left(\frac{1}{SC_T} // \frac{1}{g_{m0}} \right) I_O(s) \quad (6)$$

이며, $I_O(s)$ 에 대한 식으로 정리하면,

$$\begin{aligned} I_O(s) &= \frac{1}{g_{m11} \left(\frac{1}{SC_T} // \frac{1}{g_{m0}} \right)} I_1(s) \\ &= \frac{1}{g_{m11}} (SC_T + g_{m0}) I_1(s) \end{aligned} \quad (7)$$

가 된다. (7)식을 시간함수로 변환하면,

$$i_o(t) = \frac{g_{m0}}{g_{m11}} i_i(t) + C_T \frac{1}{g_{m11}} \frac{di_i(t)}{dt} \quad (8)$$

이다. 이 전류는 current mirror를 통하여 출력되는데 이 전류를 i_{ext} 라고 하면,

$$\begin{aligned} i_{ext} &= \frac{g_{mp2}}{g_{mp1}} i_o(t) \\ &= \frac{g_{mp2}}{g_{mp1}} \frac{g_{m0}}{g_{m11}} i_i(t) + C_T \frac{g_{mp2}}{g_{mp1}} \frac{g_{m0}}{g_{m11}} \frac{1}{g_{m0}} \frac{di_i(t)}{dt} \end{aligned} \quad (9)$$

이 된다. 여기서 g_{mp1} 와 g_{mp2} 는 각각 트랜지스터 Mp01과 Mp02에 대한 transconductance이다. 만약 g_{mp1} 와 g_{mp2} 간의 비가 g_{m0} 및 g_{m11} 간의 비와 반대가 되게 하면, 즉,

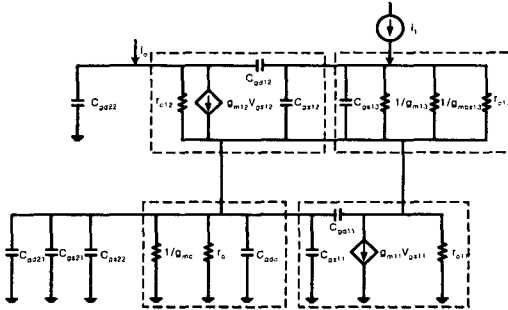
$$\frac{g_{mp2}}{g_{mp1}} = 1 / \frac{g_{m0}}{g_{m11}} \quad (10)$$

이면, 식 (9)는

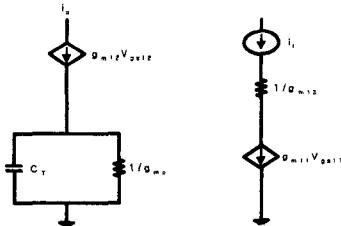
$$i_{out} = i_i(t) + C_T \frac{1}{g_{m0}} \frac{di_i(t)}{dt} \quad (11)$$

로 표현된다. (11)식에서 두 번째 항의 크기를 작게 하는 방법으로는 C_T 를 작게 하거나 g_{m0} 의 크기를 크게 하는 방법이 있을 수 있는데, C_T 는 입력단이 여러 개 연결되면 자동으로 늘어나는 stray 콘덴서 때문에 임의로 줄이기가 어렵다. 다행히도 g_{m0} 는 W/L에 비례하는 값으로써 이 값을 크게 하면 입력신호의 미분성분에 의해 발생하는 왜곡을 쉽게 억제할 수 있게 된다.

이렇게 W/L비를 크게 한 경우에는 출력단 회로의 W/L비를 조절하여 식 (10)의 관계를 갖게 함으로써 얻고자하는 출력신호를 얻을 수 있게 된다.



(a) 소신호 등가회로



(b) (a)의 간략화된 회로

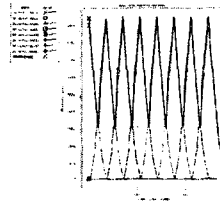
그림 2. 그림 1의 등가회로

IV. 시뮬레이션 및 고찰

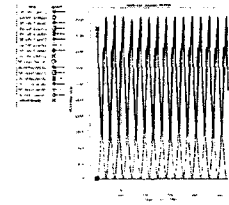
Max 회로에 인가되는 입력단의 수가 많은 경우, 출력신호의 변화율이 큰 곳에서 왜곡이 심해지는 문제에 대해 제안한 transconductance 조정 방법을 검증하였다.

그림 3의 (a)와 (b)는 $(3n+1)$ 형 Max 회로에 입력이 8 및 16개인 경우의 출력신호를 관찰한 결과이다. 여기서 인가된 입력신호는 7nsec마다 피크치를 갖는 삼각파형의 전류 신호들이다. 그림에서 실제의 최대값은 점선들의 최상위 곡선을 따라가는 선이며 Max 회로의 출력은 굵은 실선으로 표현하였다. 입력에 대한 실제 최대값과 Max 회로의 출력값이 입력의 개수가 증가함에 따라 위첨점과 아래 계곡에서 차이가 커지고 있음을 관찰할 수 있다. 그림 3의 (c)와 (d)는 이 경우의 실제 최대값과

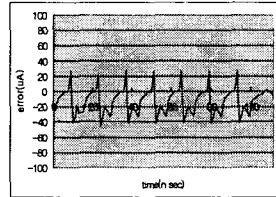
Max 출력파형의 차이를 보여준다.



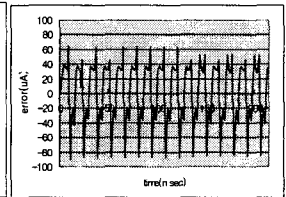
(a) 8-입력



(b) 16-입력



(c) 8-입력



(d) 16-입력

그림 3. 기존의 Max 회로 출력응답 및 실제 최대값과 Max 출력파형의 차

본 연구에서 사용된 트랜지스터들의 W/L 값은 표 1과 같이 식 (10)의 g_{m0}/g_{mi1} 의 값이 4배 되게 하였다. 또한 출력회로에서의 current mirror용 두 트랜지스터에 대한 transconductance들의 비는 출력측이 입력측의 1/4가 되게 하여 4배 증가된 신호가 원 신호로 회복되게 하였다. 그림 4와 5는 입력신호가 각각 8개 및 16개일 경우의 transconductance 조정 전과 후의 출력파형을 보여준다. 그림 4에서의 8개 입력에서도 기존의 Max 회로와 제안한 회로간에는 성능차이가 있었지만, 그림 5에서와 같이 입력의 개수가 16개로 증가하는 경우에는 신호의 변화율이 큰 상측 첨점 및 하측 계곡에서 에러값이 특히 확대되었다. 이것은 (11)식에서 보여주는 바와 같이 신호의 변화율이 큰 곳에서 출력에 왜곡성분이 크게 더해지기 때문이다.

시뮬레이션 결과에서 보듯이 기존의 Max 회로에서는 입력의 개수가 많아질수록 큰 왜곡을 보이고 있는 반면, transconductance를 조정한 회로의 출력은 매우 정밀하게 최대값을 찾아 출력하고 있으며, 다양한 형태의 입력신호들에 대해서도 왜곡이 효과적으로 억제되고 있음을 알 수 있다.

표 5. transconductance를 조정한 회로에서 사용된 트랜지스터들의 W/L 비율

	L	W
Mni1	1u	20u
Mni2	0.6u	12u
Mni3	0.6u	12u
MO	0.6u	48u

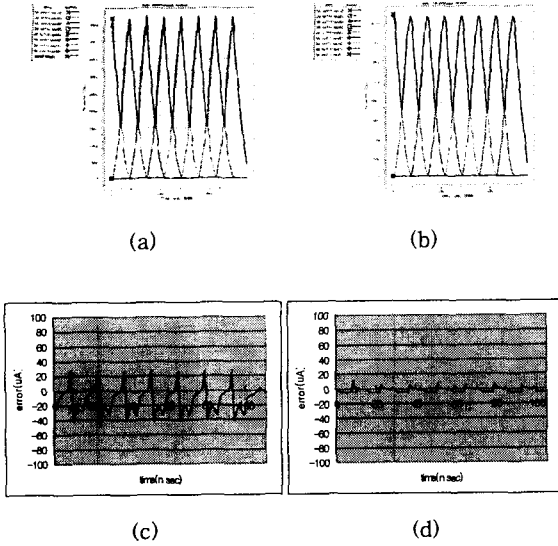


그림 4. 8개의 삼각파에 대한 출력응답 비교 :
transconductance 조정 전(a) 및 조정 후
(b)의 출력파형, transconductance 조정 전
(c) 및 조정 후(d)의 실제 최대값과 Max
출력파형의 차

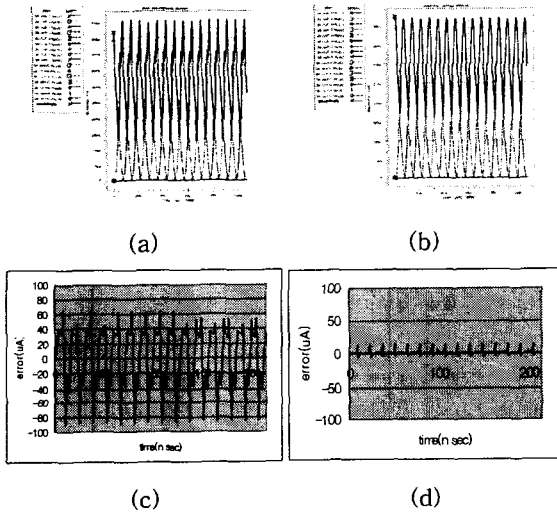


그림 5. 16개의 삼각파에 대한 출력응답 비교 :
transconductance 조정 전(a) 및 조정 후
(b)의 출력파형, transconductance 조정 전
(c) 및 조정 후(d)의 실제 최대값과 Max
출력파형의 차

V. 결론

Max 회로에서 입력신호의 개수가 증가하면 기생 커

패시터의 증가로 인해 고주파 왜곡이 커지는 문제가 있었다. 본 연구에서는 고주파 특성 해석 결과 왜곡크기가 기생 커패시터의 총합과 공통저항용 트랜지스터의 저항 성분 및 입력신호의 변화율에 비례하게 된다는 사실을 밝혀냈으며, 이로부터 설계시 조정이 가능한 공통 다이오드결선 트랜지스터의 transconductance 값을 크게 함으로써 고주파 왜곡 억제 방안을 제시하였다.

시뮬레이션 결과 이론적 분석대로 기존의 Max 회로에서는 인가되는 입력의 개수가 증가하면 전류의 변화율이 심한 부분에서 큰 오차가 발생하였지만, 본 논문에서 제안한 transconductance 값을 조정한 Max 회로에서는 입력의 수가 증가하여도 오차가 현저하게 억제되는 효과를 얻었다. 결과적으로 기존의 $3n+1$ 형 Max 회로에서는 큰 왜곡 없이 최대 8개까지 입력을 인가할 수 있는데 비해 제안한 Max 회로는 32개까지 입력을 인가할 수 있었다. 이와 같이 많은 입력을 수용할 수 있는 Max 회로는 최적 경로계획을 위한 동적계획법(Dynamic Programming)이나 Fuzzy등에서 유용하게 사용될 수 있다.

참고문헌

- [1] Z. S. Günay, E. Sánchez-Sinencio, "CMOS winner-take-all circuits: a detail comparison," IEEE International Symposium on Circuits and Systems, June. 1997.
- [2] R. G. Carvajal, J. Ramirez-Angulo, and J. Tom, "High-speed high-precision voltage-mode MIN/MAX circuits in CMOS technology," IEEE International Symposium on Circuits and Systems, May. 2000.
- [3] M. Sasaki, T. Inoue, Y. Shirai, and F. Ueno, "Fuzzy multiple-input maximum and minimum circuits in current mode and their analyses using bounded-difference equations," IEEE Trans. On Computers. June. 1990.
- [4] I. Baturone, J. L. Huertas, A. Barriga, and S. Sánchez-Solano, "Current-mode multiple-input maximum circuit," Electron. Lett. April. 1994.
- [5] I. Baturone, A. Barriga, and J. L. Huerta, "Multi-input voltage and current-mode min/max circuits," Proc. 3rd Int. Conf. on Fuzzy Logic, Neural Networks and Soft Computing, 1994.
- [6] C. Y. Huang, B. D. Liu, "Current-mode multiple input maximum circuit for fuzzy logic controllers," Electronics Letters, November. 1994.