

CMOS Bandgap 기준 전압/전류 발생기 및 방사능 응답

임규호^{1, 3}, 유성한¹, 허진석¹, 김광현^{2, 3}, 전성채^{2, 3}, 허영⁴, 김영희¹, 조규성²
¹창원대학교, ²한국과학기술원, ³현대원자력연구소, ⁴한국전기연구원

A CMOS Bandgap Reference Voltage/Current Bias Generator And Its Responses for Temperature and Radiation

Gyu-Ho Lim^{1, 3}, Seong-Han Yu¹, Jin-Seok Heo¹, Kwang-Hyun Kim^{2, 3}, Sung-Chae Jeon^{2, 3},
Young Huh⁴, Young-Hee Kim¹, Gyuseong Cho²

¹Dept. of Electronic Engineering, Changwon National University

²Dept. of Nuclear and Quantum Engineering, KAIST

³Hyun Dae Nuclear Research Center

⁴Korea Electrotechnology Research Institute

Abstract

본 논문에서는, CMOS APS Image Sensor 내에 포함되어 회로의 면적을 줄인 새롭게 제안된 CMOS Bandgap Reference Bias Generator (BGR)를 온도 및 방사능에 대한 응답을 실험하였다. 제안된 BGR 회로의 설계 목표는 V_{DD} 는 2.5V 이상이고, V_{ref} 는 $0.75V \pm 0.5mV$ 마진을 가지게 하는 것이다. 제안된 BGR 회로는 Level Shifter를 갖는 Differential OP-amp 단과 Feedback-Loop를 가지는 Cascode Current Mirror를 사용하여 저전압에서도 동작을 가능하게 하였으며, 높은 출력저항 특성을 가지도록 하였다. 제안된 BGR 회로는 하이닉스 0.18 μm (triple well two-poly five-metal) CMOS 공정을 이용하여 Test Chip을 제작하였다. 온도의 변화와 Co-60 노출조건 하에서 Total Ionization dose (TID) effect된 BGR 회로의 V_{ref} 를 측정하여, 이를 평가하였다. 온도에 대한 반응은, 25°C 일 때의 V_{ref} 에 대해, 각각 45°C에서 0.128%, 70°C에서 0.768% 변화하였다. 그리고 온도가 25°C일 때 50krad와 100krad의 방사능을 조사 하였을 경우, V_{ref} 는 각각 2.466%, 그리고 4.612% 변화하였다.

I. INTRODUCTION

일반적으로 가장 많이 사용되는 기준전압발생기 중 하나인 Bandgap Reference Bias Generator (BGR) 회로는 아주 정밀한 비교기들, 또는 ADC/DAC 및 기타 다른 아날로그 회로들에서 사용된다. BGR의 가장 큰 역할은 집적회로에 안정된 기준 전압 및 전류를 공급하는 것이며, 공급전압의 변동에도 종속적이지 않고 안정적이어야 하며, 또한 온도의 변화에도 민감하지 않아야 하는 것이다.

BGR과 관련된 몇몇의 방법들이 제안되었으며[1], [2], [3], 방사능에 노출시키는 등 혹독한 조건 아래서의 실험결과도 있다[4]. 다른 Mixed signal 회로 가운데,

일반적인 가시영역 뿐만 아니라 X-ray Image 영역에서도 사용되어지는 CMOS Active Pixel Sensor에서도 안정된 기준전압을 공급하기 위해 회로 내부에서 BGR을 필요로 한다.

그리하여 본 논문에서는, 또 다른 하나의 BGR 회로에 대한 설계방법 및 이 회로의 온도에 대한 응답과 방사능에 대한 응답을 제시하였다. 차후 이를 CMOS APS Image Sensor에 내장하여 사용할 것이다. 본 논문의 주요한 점은 세부적인 BGR의 두 응답 특성의 이유를 설명하는 것 대신에 온도 조건과 방사능의 노출에 대해 새로이 제안된 BGR의 성능을 평가하는 것이다.

II. PROPOSED BGR CIRCUIT and ITS PERFORMANCE

기존의 BGR 회로는 emitter면적비가 1:100으로 PNP Bipolar Tr.가 차지하는 면적이 크고, 단순한 Current Mirror를 사용하므로 V_{ref} 의 목표전압이 V_{EB} 와 다른 경우는 Channel Length Modulation에 의해 전류 값이 달라지고 이에 따라 V_{ref} 의 값이 변동된다[2].

그림 1에서 보여지는 제안된 BGR 회로도 주요 아이디어는 Wide Swing을 갖는 Cascode Current Mirror를 사용하여 V_{DD} 가 변화하더라도 V_{ref} 의 변동을 최소화 할 수 있도록 설계하였으며, 특히 Current Mirror의 PMOS Tr. 사이즈 비를 조절하여 PNP Bipolar Tr. Q1:Q2의 Emitter 면적 비를 1:10으로 줄일 수 있도록 하였다.

임의의 기준전압을 만들어 주는 Differential amplifier type의 BGR 회로는 저전압에서 사용을 목적으로 제안되었다. Q1:Q2의 emitter 면적비는 1:10이며, 이 BGR 회로의 개념은 단지 Feedback-Loop에 의해 V_{EB} 와 $V_T (=kT/q)$ 에 비례하는 두 가지 전류를 만들고, 이 두 전류는 합쳐져 저항 R4를 통해서 흘러 V_{ref} 를 만든다.

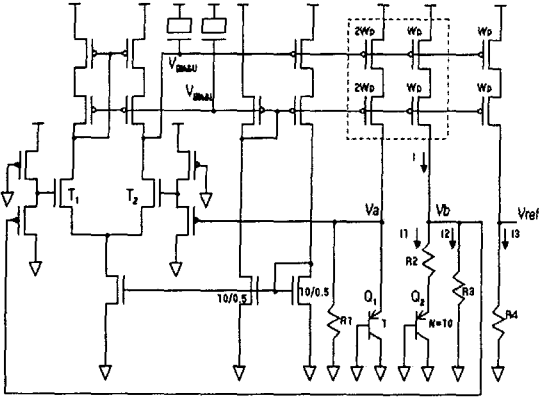


그림1. Proposed BGR circuit with differential op amp and cascode current mirror

그림 1의 회로는 Low- V_T MOS Tr.없이 Normal V_T 를 갖는 공정에서도 사용하기 위해 차동증폭기의 입력단에 Level Shifter를 두어 차동증폭기의 입력 바이어스 전압을 높여주어 차동증폭기의 모든 Tr.가 Saturation 영역에서 동작하도록 하고 있다. PMOS Tr.의 채널 폭은 모두 같고, $2R_1=R_3$ 이며, 차동증폭기와 Level Shifter는 V_a 와 V_b 전압이 같아 지도록 조정된다. Current Mirroring과 PMOS Tr.의 게이트는 차동증폭기의 출력노드에 모두 연결되어 있으므로 흐르는 전류는 $I=I_1+I_2=I_3$ 이다. 여기서 전류 I_1 은 ΔV_{EB} 에 비례하고, I_2 는 V_{EB1} 에 비례한다.

$$I_1 = \frac{\Delta V_{BE}}{R_2}, \quad I_2 = \frac{V_{BE1}}{R_3} \quad (1)$$

여기서, ΔV_{EB} 는 $V_a (= V_{EB1})$ 와 V_{EB2} 의 전압 차이이다.

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln(kN) \quad (2)$$

그리고, $I=I_1+I_2=I_3$ 이므로 출력전압 V_{ref} 는 식 (3)과 같이 된다.

$$V_{ref} = IR_4 = \left(\frac{V_{BE1}}{R_3} + \frac{V_T \ln(kN)}{R_2} \right) R_4 \quad (3)$$

제안된 BGR회로는 적절한 저항 비율, $k=2$ 그리고 $N=10$ 등의 일정한 값을 선택하여, 다른 기존의 BGR 회로의 온도의존성에 대해 둔감성을 의미하는 Silicon Bandgap 보다 V_{ref} 를 더 낮게 할 수 있을 것이다[5].

그림 2는 BGR의 Start-up회로이다. Power-up시 V_{BIASU} 나 V_{BIASL} 이 Coupling Capacitor에 의해 V_{DD} 전압을 따라가게 되면 바이어스 전류가 zero가 되어 V_{ref} 는 정상적으로 동작하지 않는다. 그림 2의 V_{BIASU} 가 $V_{DD}-|V_{TP}|$ 보다 크면 PMOS Tr. MP1은 OFF되고 N1은 V_{DD} 로 올라가면서 NMOS Tr. MN1은 ON되어 V_{BIASU} 의

전압을 Discharging시킨다. V_{BIASL} 도 마찬가지로 동작하여 BGR의 V_{BIASU} 와 V_{BIASL} 이 정상적으로 바이어스가 잡히게 한다.

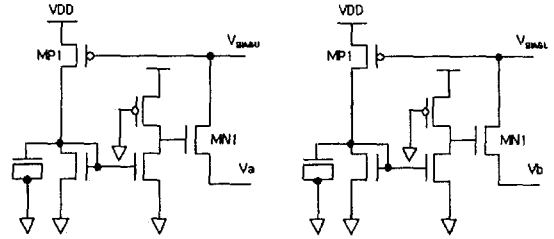


그림2. Start-up circuit of the proposed BGR circuit

제안된 BGR 회로는 Normal V_T Tr.만 갖는 Hynix 0.18 μ m CMOS Process Model Parameter를 이용하여 V_{DD} 의 변화에 따른 V_{ref} 의 전압 변화에 대한 Spice 시뮬레이션 결과파형을 그림 3에서 보여준다. 그리고 제안된 BGR 회로의 설계 목표는 V_{DD} 2.5V 이상이고, V_{ref} 는 $0.75V \pm 0.5mV$ 마진을 가지게 하는 것이다.

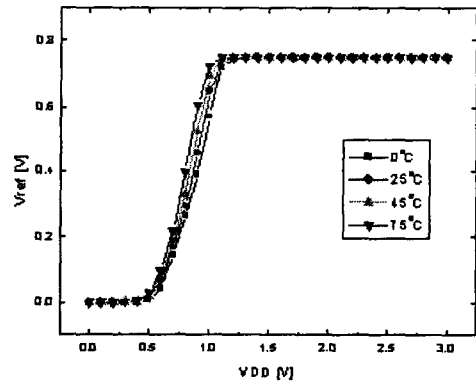


그림3. Simulation results of V_{ref} for the BGR with temperature variations

그림 3에서 보듯이 V_{DD} 가 1.2V 이상에서는 V_{ref} 의 변화가 없이 V_{DD} 및 온도의 변동에도 항상 일정한 출력 값을 가지는 것을 보여주고 있다. 이 시뮬레이션 결과들은 제안된 BGR의 목적에 잘 부합되고 있다.

III. EXPERIMENT RESULTS AND DISCUSSION

A. Test Chips

제안된 BGR회로는 Hynix0.18 μ m (triple well two-poly five-metal & Normal V_T) CMOS 공정을 이용하여 Test Chip을 제작하였다. 그림 4는 Wafer 상태의 Test Chip의 마이크로 사진 및 측정할 핀의 위치를 보여주고 있다.



그림 4. Test chip microphotograph of the proposed BGR on wafer and their test points

Memory Tester장비를 이용하여 테스트한 결과 최소 동작전압은 1.2V, 온도 변화율은 207ppm/ C 이고 동작 전류는 10 μ A 이내였다.

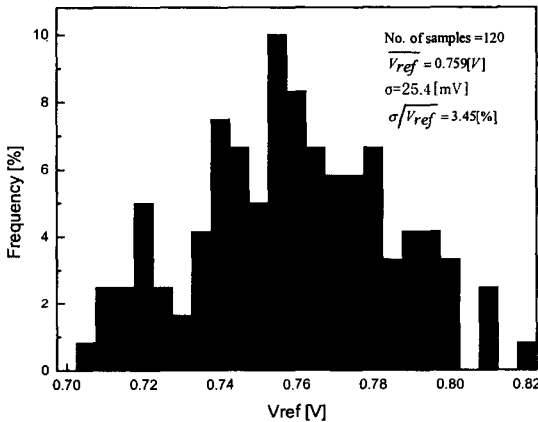


그림 5. Measured distributions of V_{ref} for 120 samples at V_{DD} (2.5V) and temperature (25°C)

그림 5는 120개의 Sample에 대한 V_{ref} 의 분포도를 보여준다. V_{ref} 의 평균은 759mV 이고, $\sigma=25.4$ mV (at the $V_{DD}=2.5V$ & Room Temp) 이다.

B. Temperature Response of the BGR

제안된 BGR의 온도에 대한 변화를 보기위해 V_{ref} 가 25°C에서 0.781V인 Sample을 선택하였다. 온도의 변화에 따른 BGR의 V_{ref} 값을 살펴보면, 25°C에서 0.781V, 45°C에서 0.782V, 70°C에서 0.787V였고, 25°C일 때에 비해 각각 0.128%, 0.768% 변화 하였다. 그림 6은 설계된 BGR의 V_{DD} 변화에 대한 온도별 V_{ref} 의 측정 결과이다.

식 (3)을 통해 제안된 BGR의 V_{ref} 가 적절한 R2, R3, R4의 비에 대해 아주 조금의 온도에 대한 의존성을 보이고 있다. 그리고 R4를 조절하면 원하는 기준 전압을 얻을 수 있다. 그래서 제안된 BGR이 온도에 대한 응답이 거의 같은 성능을 가지며 기존의 BGR을 따라가지만, 하나의 유리한 점은 BJT의 emitter면적을 (N=10) 줄여 전체 Chip의 면적이 기존의 다른 것들과 비교했을 때 많이 작아진다는 것이다[1], [2].

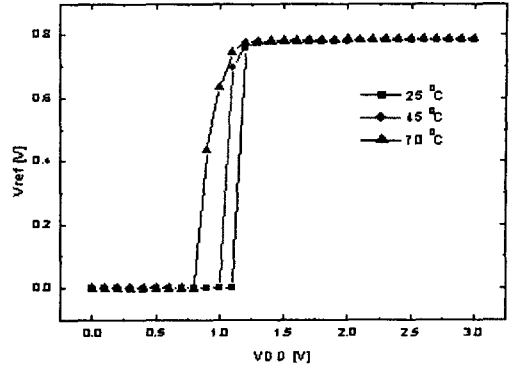


그림 6. Measured V_{ref} with changing V_{DD} for different temperatures (25°C, 45°C, 70°C)

C. Radiation Response of the BGR

제안된 BGR의 Total Ionization dose (TID) effect (TID)에 대한 V_{ref} 변화의 방사능 응답실험은 KAERI의 실험장비에서 Co-60 gamma source를 이용하여 방사능 노출이 수행되었다. Gamma source로부터 16cm의 거리에 Wafer를 두고 5krad/hr 비로 노출을 수행하였으며, V_{ref} 의 측정은 HP4155A-semiconductor parameter analyzer를 이용하여 probe station.에서 수행하였다.

BGR의 방사능에 대한 응답을 방사능의 노출량을 변화시켜가며 측정한 결과를 그림 7과 그림 8에서 보여준다.

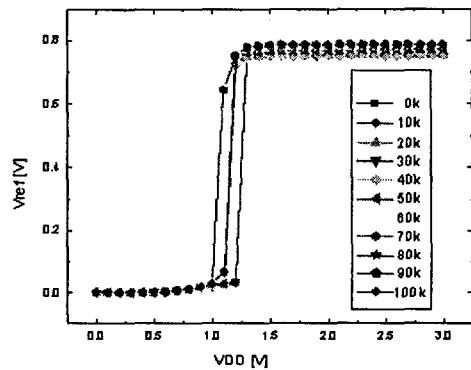


그림 7. Measured V_{ref} with changing V_{DD} for radiation doses from 0krad to 100krad at room temperature

그림 7은 방사능의 조사량을 변화시켜가며 V_{DD} 에 따른 V_{ref} 의 측정결과를 보여주고 있으며, 그림 8은 방사능의 조사량의 변화에 대한 V_{ref} 의 변화를 보여주고 있다. 특히, 40krad까지의 V_{ref} 변동, 50krad부터의 V_{ref} 의 가파른 증가, 그리고 70krad부터는 V_{ref} 가 더 이상 증가하지 않는 것 등이 측정된 결과들에서 발견되었다.

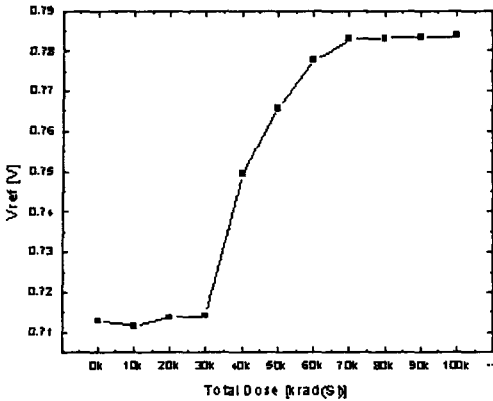


그림 8. Measured V_{ref} at the V_{DD} of 2.5V for radiation doses from 0krad to 100krad at room temperature

온도에 대한 응답결과를 비교하였을 때, 방사능의 응답에 대한 V_{ref} 가 비교적 더 정밀했으나, 이는 방사능의 조사량이 100krad 이상에서는 V_{ref} 변화가 설계 마진 $\pm 5\%$ 를 벗어날 것으로 기대된다. 근본적으로, 제안된 BGR의 방사능에 대한 응답의 이유들이 하나의 누적적인 효과들로 인해 TID 효과에 의하여 감마 방사선 노출을 위한 반도체 장치들에서 설명될 수 있는 것은 가능하다[6].

MOS 장치에서, TID 효과들은 이동도의 감소, 문턱전압의 이동, 누설전류의 증가 등을 유발한다. MOS 장치에서와 같이 BJT에서도 TID 효과들은 이동도의 감소, 누설전류의 증가 뿐만 아니라 Gain의 감소도 유발한다. 그래서, 장치의 전기적 특성들이 내부 구조의 조합의 결과일 수 있으며, TID의 누적에 의한 영향을 받았을 수도 있다[7], [8], [9].

하지만, BGR에서 각 장치의 변화된 전기적 특성의 조합이 방사능의 조사에 의한 V_{ref} 의 변화를 이해하는데 더 복잡하게 만든다. 제안된 BGR에서 TID효과로 인해 차동증폭기의 입력단 DC Bias 포인트가 이동된 것으로 예상된다. 그림 1에서 방사능 조사량의 증가에 따라 DC Bias의 변화로 차동증폭기의 입력단 Tr_1 , Tr_2 의 문턱전압인 V_{t1} , V_{t2} 의 offset bias가 변하게 되어 부정합이 일어날 것이다. 이는 또한 Saturation Mode에서 동작해야 하는 Cascode Current Mirror에도 영향을 준다. 전도도, 문턱전압, Gain 등과 같은 다른 전기적 파라미터 들의 부정합으로도 전류의 부정합을 야기시키고, 결국은 방사능에의 노출로 인해 V_{ref} 의 변화를 가져온다.

IV. CONCLUSION

본 논문에서는 PNP bipolar $Tr_1:Q1:Q2$ 의 emitter면적 비율을 1:10내로 줄여 적절한 성능을 가지고 칩 면적을

최소화하며 회로내의 저항을 조절하여 임의의 새로운 기준전압을 얻을 수 있는 BGR을 제안하였다. 온도 및 방사능에 대한 두 가지 응답 특성을 보면, 제안된 BGR이 기존의 것보다 V_{ref} 의 변화가 더 작을 것이다.

방사능에 의한 V_{ref} 의 응답이 온도에 의한 V_{ref} 의 응답보다 비교적 더 크더라도, V_{ref} 의 일반적인 마진인 $\pm 5\%$ 내에서 BGR을 방사능 조사의 둔감도 조건을 고려한 범위에서 동작 가능하게 할 수 있을 것이다.

V. REFERENCES

- [1] Andrea Boni, "Op-Amps and Startup Circuits for CMOS Bandgap References With Near 1-V Supply," IEEE J-Solid-State Circuits, Vol. 37, No. 10, October 2002.
- [2] Hironori Banba, Hitoshi Shiga, Akira Urmezawa, Takeshi Miyaba, Toru Tanzawa, Shigeru Atsumi, and Koji Sakui, "A CMOS Bandgap reference Circuit with Sub-1-V Operation," IEEE J-Solid-State Circuits, vol. 34, no.5, May 1999.
- [3] Arie van Staveren, Chris J. M. Verhoeven, Arthur H. M. van Roermund, "The Design of Low-Noise Bandgap References", IEEE Transactions on circuits and systems-I: Fundamental theory and applications, vol. 43, no. 4, April 1996.
- [4] B .G. Rax, C. I. Lee, and A. H. Johnston, "Degradation of Precision Reference Devices in Space Environments," IEEE Trans. Nucl. Sci. vol. 44, no. 6, December 1997.
- [5] A.P.Brokaw, "A simple three terminal IC bandgap reference," IEEE J Solid-State Circuits, vol. SC-9, pp. 388-393, December, 1974
- [6] Andrew Holmes-Siedle and Len Adams, "Handbook of Radiation Effects", Oxford New York Tokyo, oxford University Press 1993.
- [7] A. H. Johnston, "Radiation Effects in Advanced Microelectronics Technologies", IEEE Trans. Nucl. Sci, vol. 45, no. 3, June 1998.
- [8] A. H. Johnston, B. G. Rax, and C. I. Lee, "Enhanced Damage in Linear Bipolar Integrated Circuits at Low Dose Rate", IEEE Trans. Nucl. Sci, vol. 42, no. 6, December 1995.
- [9] S. Mc Clure, R. L. Pease, W. Will and G.perry, "Dependence of Total Dose Response of Bipolar Linear Microcircuits on Applied Dose Rate", IEEE Trans. Nucl. Sci, vol. 41, no. 6, December 1994.

ACKNOWLEDGEMENT

이 논문은 과학기술부 원자력 중장기 연구개발 사업으로부터 지원을 받았으며, 소프트웨어를 지원해준 IDEC(IC Design Education Center)에 감사를 표합니다.