

고주파 신호처리 시스템을 위한 1.5V CMOS 고주파 연산증폭기

박 광 민, 김 은 성, 김 두 용

순천향대학교 공과대학 정보기술공학부

전화 : 041-530-1326 / 핸드폰 : 011-255-0462

A 1.5V CMOS High Frequency Operational Amplifier for High Frequency Signal Processing Systems.

Kwangmin Park, Eun-Sung Kim, Doo Yong Kim

Division of Information Technology Eng., Soonchunhyang University

E-mail : kmpark@sch.ac.kr

Abstract

In this paper, a 1.5V CMOS high frequency operational amplifier for high frequency signal processing systems is presented. For obtaining the high gain and the high unity gain frequency with the 1.5V supply voltage, the op-amp is designed with simple two stages which are consisting of the rail-to-rail differential input stage and the class-AB output stage. The designed op-amp operates with the 1.5V supply voltage, and shows well the push-pull class-AB operation. The simulation results show the DC open loop gain of 77dB and the unity gain frequency of 100MHz for the $1M\Omega \parallel 10pF$ load. When the resistive load R_L is varied from $1M\Omega$ to 1 k Ω , the DC open loop gain decreases by only 4dB.

I. 서론

MOSFET의 게이트 길이가 감소됨에 따라, MOSFET의 고주파 특성이 개선되고 있으며, 저가격과 고집적 등의 장점으로 인해 고주파 CMOS 기술은 아날로그 및 디지털 회로로 구성되는 단일 칩 고주파 신호처리 시스템의 구현을 위해 가장 필수적인 기술이 되고 있다. 특히 집적도의 증가에 따라, 최근의 VLSI 집

적회로는 대개 1.5V 이하의 공급전압에서 동작할 수 있도록 설계되어야 하므로 큰 공급전압에서 동작할 때와 비슷한 성능을 유지할 수 있도록 하기 위해 보다 세심한 설계가 요구된다[1-3]. 또한 최근의 고주파 신호처리 시스템을 위한 CMOS 고주파 연산증폭기는 고이득과 높은 단위이득주파수, 빠른 정착시간, 적절한 전력소모 및 최소의 칩 면적 등이 요구되고 있는 데, 고이득과 높은 단위이득주파수를 동시에 만족하는 연산증폭기의 구현은 매우 어려운 문제였다.

이를 극복하기 위한 여러 설계 기법들이 제시되어 왔으나, 결과적인 회로의 이득 또는 고주파 특성이 충분하지 못하여 최근의 고주파 신호처리 시스템에 적용하기에 적합하지 못하다는 단점이 있어왔다[4-5].

본 논문에서는 고주파 신호처리 시스템에 적용 가능한 고이득, 높은 단위이득주파수, 빠른 정착시간을 갖는 새로운 CMOS 고주파 연산증폭기를 제시한다. 제시된 CMOS 고주파 연산증폭기는 1.5V의 낮은 공급전압에서도 고이득과 높은 단위이득주파수를 갖도록 하기 위해 rail-to-rail 차동입력단과 class-AB 출력단을 포함하는 간단한 2단 구조의 증폭기가 되도록 설계하며, SPICE 시뮬레이션을 통해 그 특성을 검증한다.

II. CMOS 고주파 연산증폭기의 설계

최근의 CMOS 고주파 연산증폭기는 저전력, 고이득

(≥ 60 dB) 및 매우 높은 단위이득주파수(≥ 100 MHz) 특성이 요구되고 있으며, 1.5V의 공급 전압으로 연산 증폭기가 동작하기 위해서는 Vdd 라인과 Vss 라인 사이에 연결되는 MOSFET의 수가 제한되어야 한다.

또한 소비전력을 줄이기 위해서는 출력단을 작은 동작 전류를 갖고 최대출력전류를 공급할 수 있도록 설계하여야 한다.

이를 위해 연산증폭기의 입력단은 rail-to-rail PMOS 차동입력쌍으로, 출력단은 전력효율이 좋고 전류조절능력이 우수한 class-AB 출력단으로 설계하였다. 이 class-AB 출력단은 출력임피던스가 낮아 증폭기의 안정성은 개선된다는 장점이 있는 반면, PSRR에 대해서는 다소 취약하다는 단점이 있으며, 이의 개선을 위해 본 논문에서는 접지 게이트-캐스코드 보상 기법[6]을 적용하여 부하에 대한 구동능력과 PSRR을 동시에 개선하였다.

설계된 2단 고주파 연산증폭기의 전체회로는 다음 그림 1에 나타내었다. 여기서 M1과 M2는 PMOS 차동 입력쌍을, M3-M4, M7-M8은 캐스코드단을 각각 구성하며, 이를 통해 rail-to-rail 차동입력단을 구성하였다.

한편 효율적인 전력 소비를 위해서는 작은 동작 전류를 갖고 최대출력전류를 공급할 수 있도록 출력단을 설계하여야 한다[7]. 이를 위해 전력효율이 좋고 작은 부하를 구동하기 위한 전류조절능력이 우수한 class-AB 출력단을 설계하는 것이 중요하다. 본 논문의 고주파 연산증폭기 회로의 출력단은 M9-M16으로 구성하였는데, 여기서 M9, M10, M11은 트랜스컨덕터 블록을 구성하고, 이의 트랜스컨덕턴스는 M9의 트랜스컨덕

턴스와, 전류미러 M10과 M11의 전류비에 의해 결정되도록 하였다. 또한 M11, M12 및 M13으로 접지 게이트-캐스코드 보상단을 구성하였으며, 보상 커패시터 Cc와 보상저항을 위한 M14, 그리고 이 연산증폭기를 구동시키기 위한 바이어스단을 위해 M6을 각각 연결하여 부하에 대한 구동능력과 PSRR을 개선하였다.

이때 전체 연산증폭기 회로는 Vdd 라인과 Vss 라인 사이에 오직 3개 이하의 트랜지스터만을 배치함으로써 1.5V의 공급전압으로도 충분히 동작할 수 있도록 하였다. 설계된 전체 연산증폭기는 표준 0.8 μ m CMOS 공정을 적용하여, 차동입력단에서 약 50dB, 그리고 class-AB 출력단에서 약 30dB의 이득을 갖도록 하여 전체 이득이 80dB 정도가 되도록, 그리고 단위이득주파수는 100MHz 이상이 되도록 설계하였다.

III. 시뮬레이션 및 결과

설계된 CMOS 고주파 연산증폭기는 표준 0.8 μ m CMOS 공정을 적용하여 SPICE로 시뮬레이션하였다. 시뮬레이션에 사용된 소자 값은 표 1에 나타내었으며, 구해진 연산증폭기의 성능은 표 2에 나타내었다.

설계된 고주파 연산증폭기의 주파수응답특성은 다음 그림 2에 나타내었다. $R_L=1M\Omega, C_L=10pF$ 의 병렬부하에 대해 a) V_{in+} 가 ac +1V 일 때, b) V_{in-} 가 ac +1V 일 때의 이득과 위상에 대한 주파수응답특성을 각각 구하였는데, 이 그림 2의 결과는 설계된 고주파 연산증폭기가 1.5V의 공급전압에 대해서 정확히 180°의 위상차

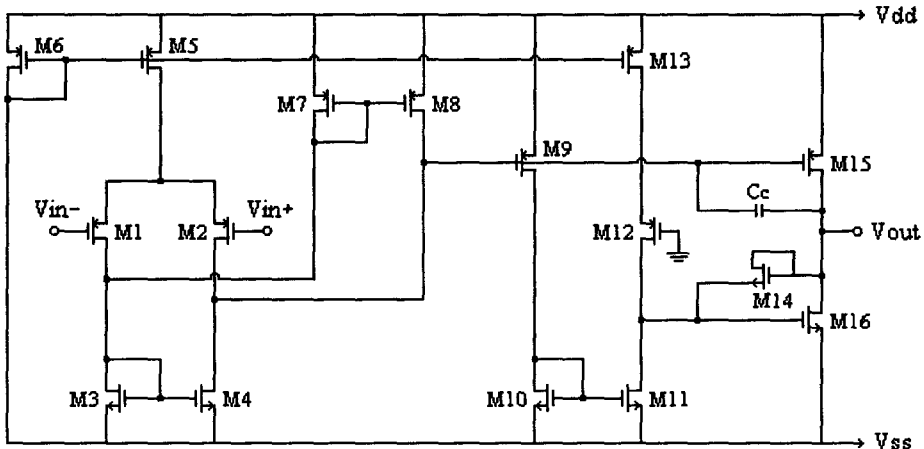


그림 1. 설계된 전체 고주파 연산증폭기 회로.

Fig. 1. Overall schematic of the designed high frequency op-amp.

표 1. 소자 값 (W/L, μm).

Table 1. Component values (W/L, μm).

소자	소자값	소자	소자값
M1	500/1.6	M9	80/0.8
M2	500/1.6	M10	160/0.8
M3	16/1.6	M11	24/0.8
M4	16/1.6	M12	24/0.8
M5	16/0.8	M13	16/0.8
M6	16/0.8	M14	1.6/0.8
M7	16/1.6	M15	1200/0.8
M8	16/1.6	M16	80/0.8

를 보이며 완벽하게 동작함을 보여주었으며, 77dB의 dc 개방루프이득과 100MHz의 단위이득주파수, 그리고 50°의 위상여유 특성을 보였다. 또한 병렬부하의 저항성 부하 R_L 을 1M Ω 에서 1k Ω 으로 변화시킨 때 오직 4dB 만큼의 이득감소를 보였으며, 따라서 본 논문의 고주파 연산증폭기가 저항성 부하에 대해 상당히 안정되어 있음을 알 수 있다.

한편, $C_L=10\text{pF}$ 인 부하에 대한 100mV 소신호 스텝응답특성은 -50mV에서 +50mV까지의 100mV 스텝에 대해 positive step에서 23.5ns, negative step에서 27.8ns의 0.1% settling time을 보여 positive step과 negative step 양쪽 모두 우수한 settling time 특성을 보였다.

표 2. 설계된 연산증폭기의 성능.

Table 2. Performance of designed Op-Amp.

Supply voltage	1.5 V
DC open loop gain	77 dB for 1M Ω 10pF 73 dB for 1k Ω 10pF
Unity gain frequency	100MHz for 1M Ω 10pF 96MHz for 1k Ω 10pF
Phase Margin	50° for 1M Ω 10pF 51° for 1k Ω 10pF
Slew rate (for 1V step, 1k Ω 10pF)	54.1V/ μs for positive 43.9V/ μs for negative
0.1% settling time (for 100mV step, 10pF)	23.5ns for positive 27.8ns for negative
CMRR	49 dB at 1 kHz 49 dB at 1 MHz
PSRR(Vdd)	48 dB at 1 kHz
PSRR(Vss)	46 dB at 1 kHz
Offset voltage	44 μV
Total power dissipation	30.4 mW

또한, $R_L=1\text{k}\Omega$ 인 저항성 부하에 대한 출력전류 대 출력전압 특성은 다음 그림 3에 나타내었다. 이 그림 3은 $V_{DD}=+0.75\text{V}$ 및 $V_{SS}=-0.75\text{V}$ 의 공급전압에 대해 출력전압의 범위는 -0.475 V ~ +0.725 V, 출력전류의 범위는 -0.475 mA ~ +0.725 mA를 보여, 출력단에서의 최대전류가 매우 크며 출력전압은 공급전압에 대해 거의 full swing함을 알 수 있다. 또한 본 논문에서 제시된 고주파 연산증폭기의 class -AB 출력단이 push-pull로 완벽하게 동작함을 잘 보여주고 있다.

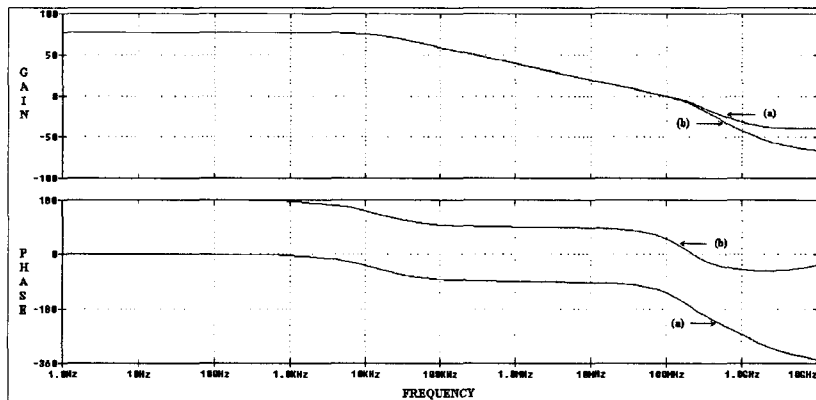


그림 2. 주파수응답특성 ($R_L=1\text{M}\Omega$ || $C_L=10\text{pF}$).

(a) $V_{in+} = ac +1\text{V}$, (b) $V_{in-} = ac +1\text{V}$.

Fig. 2. Frequency response characteristics ($R_L=1\text{M}\Omega$ || $C_L=10\text{pF}$).

(a) $V_{in+} = ac +1\text{V}$, (b) $V_{in-} = ac +1\text{V}$.

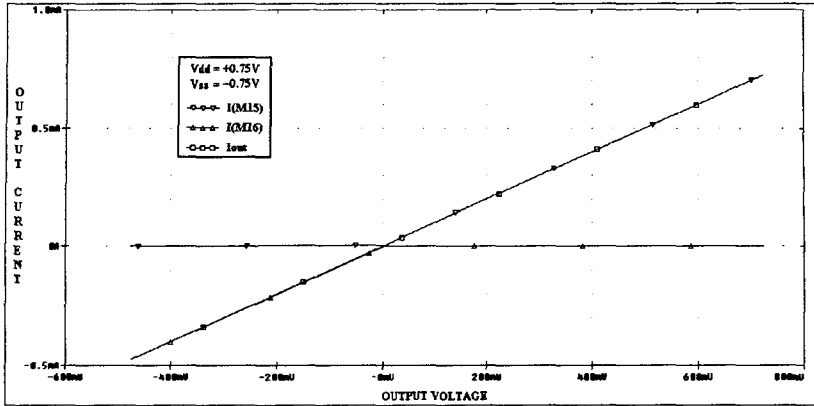


그림 3. 출력전류 대 출력전압 ($R_L=1k\Omega$).

Fig. 3. Output current vs output voltage ($R_L=1k\Omega$).

V. 결론

본 논문에서는 고주파 신호처리 시스템에 적용 가능한 고이득, 높은 단위이득주파수, 빠른 정착시간을 갖는 새로운 CMOS 고주파 연산증폭기를 제시하였다. 제시된 CMOS 고주파 연산증폭기는 1.5V의 낮은 공급전압에서도 고이득과 높은 단위이득주파수를 갖도록 하기 위해 rail-to-rail 차동입력단과 class-AB 출력단을 포함하는 간단한 2단 구조의 증폭기가 되도록 설계하였으며, 전체 개방루프이득의 부하 종속성을 개선하고, push-pull class-AB 전류제어가 가능하도록 설계하였다.

설계된 CMOS 고주파 연산증폭기는 1.5V의 공급전압에서 77dB의 dc 개방루프이득과 100MHz의 단위이득주파수, 그리고 50°의 위상여유 특성을 보였으며, 180°의 위상차를 갖는 완벽한 차동동작과 push-pull class-AB 출력특성을 보였다. 또한 병렬부하의 저항성 부하를 1MΩ에서 1kΩ으로 변화시킬 때 오직 4dB 만큼의 이득감소를 보여 본 논문의 고주파 연산증폭기가 저항성 부하에 대해 상당히 안정적임을 보여 주었다.

따라서 본 논문의 CMOS 고주파 연산증폭기는 저전압, 고이득 및 고주파 특성이 요구되는 각종 고주파 신호처리 시스템의 핵심 블록으로 사용될 수 있을 것이다.

참고문헌

- [1] 박광민, "1.5V 70dB 100MHz CMOS class-AB 상보형 연산증폭기의 설계," 한국전기전자재료학회논문지, 제15권, 제9호, pp.743-749, 2002.
- [2] K. De Langen and J. Huijsing, "Compact low-voltage power-efficient operational amplifier cells for VLSI," IEEE J. Solid State Circuits, vol.33, pp.1482-1496, 1998.
- [3] 장일권, 광계달, 박장우, "전영역에서 선형 전류 관제를 갖는 일정 트랜스컨덕턴스 연산증폭기의 설계," 대한전자공학회논문지, 제37권, sc편, 제2호, pp.29-36, 2000.
- [4] G. Palmisano, G. Palumbo, and R. Salemo, "1.5V High-drive capability CMOS opamp," IEEE J. Solid-State Circuits, vol.34, pp.248-252, 1999.
- [5] M. Wang, T. L. Mayhugh, Jr., S. H. K. Embabi, and E. S. Sinencio, "Constant-gm rail-to-rail CMOS op-amp input stage with overlapped transition regions," IEEE J. of Solid-State Circuits, vol.34, no.2, pp.148-156, 1999.
- [6] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, HRW the Dryden Press, N.Y., 1987.
- [7] I.F. D-Carrillo et al., "1-V rail-to-rail operational amplifiers in standard CMOS technology," IEEE J. Solid-State Circuits, vol.35, no.1, pp.33-44, 2000.