

PLL(phase locked loop)을 이용한 No Spike 위상/주파수 검출기의 설계

최윤영, 김영민
전남대학교 전자공학과

No Spike PFD (Phase Frequency Detector) Using PLL(Phase Locked Loop)

Yun-Young Choi, Young-Min Kim
Dept. of Electronics Engineering, Chonnam National University
E-mail : yychoi@empal.com

Abstract

본 논문에서는 위상/주파수 검출기를 설계시 문제가 되는 Reference Spur 을 없게 하여 Low Noise 를 구현할 수 있는 No Spike PFD(Phase Frequency Detector)를 제안한다.

위상동기루프의 특별한 형태로 차지 펌프 위상동기루프가 있다. 차지 펌프위상동기 루프는 일반적으로 3-state 위상/주파수 검출기를 이용한다. 이 3-state 위상/주파수 검출기는 기준 신호와 VCO 출력 신호의 위상차에 비례하는 디지털 파형으로 출력을 내보낸다. 차지 펌프 위상동기루프 그림 1 처럼 디지털 위상/주파수 검출기(PFD), 차지 펌프(CP), 루프 필터(LF), VCO 로 구성된다.

PFD 는 기준 신호와 VCO 에 의해 만들어진 출력 신호를 입력받아 각각의 위상과 주파수를 비교한다. 즉, 출력 신호가 기준 신호보다 느릴 때에는 출력 신호를 앞으로 당기기 위해서 up 신호를 넘겨주고, 출력 신호가 기준 신호보다 빠를 때에는 출력 신호를 뒤로 밀기 위해 down 신호를 넘겨준다. 차지 펌프(CP)의 전류를 I_p 라고 한다면, CP 에서 LF 로 흐르거나, LF 에서 CP 로 흐르는 전류 I_p 의 평균량이 기준 신호와 VCO 출력 신호의 위상차에 비례하는 것이다.

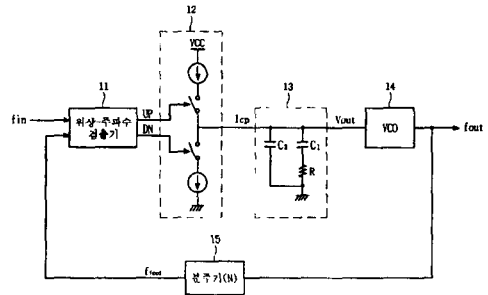


그림 1 차지 펌프 위상동기루프

I. 서론

3-state 위상/주파수 검출기는 지금까지 가장 많이 쓰이고 있다. 그러나 데드-존(dead-zone)을 없게 하려고 만든 지연부에 의하여 그림 2 에서 와 같이 Jitter 를 많이 만들어 내게 된다. 따라서 low noise 를 위한 응용분야에 적합하지 않다. 하지만, edge-triggered sequential circuit 으로 즉, 두 개의 D-Flip Flop 으로, 입력으로 들어 오는 기준 신호와 VCO 출력 신호의 positive transition 에 따라 동작하기 때문에 위상/주파수 검출기의 출력이 입력의

듀티비(duty ratio)에 관계없다는 장점을 갖는다.

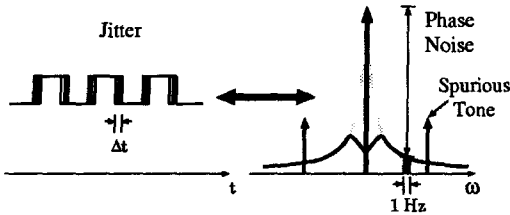


그림 2 Jitter 에 의하여 발생 VCO 단의 Spurious Tone

본 논문에서는 3-state 위상/주파수 검출기의 구조를 개선하여서, 기준 신호마다 반복적으로 발생하는 jitter 없게 하므로 low noise 를 구현할 수 있는 구조를 제안한다.

II.3-state 위상/주파수 검출기의 문제점

가장 일반적으로 많이 쓰이는 위상/주파수 검출기의 구조는 다음과 같다.

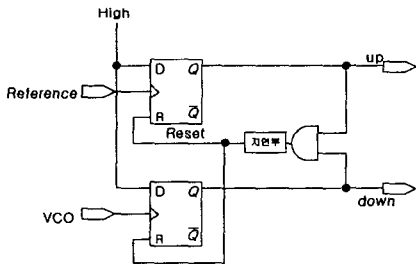


그림 3 3-state 위상/주파수 검출기

3-state 위상/주파수 검출기의 구조를 보면, 두 개의 D-Flip Flop 과 한 개의 AND 게이트로 이루어져 있다. 이 구조는 edge-triggered sequential circuit 으로 즉, 두 개의 D-Flip Flop 으로, 입력으로 들어 오는 기준 신호와 VCO 출력 신호의 positive transition 에 따라 동작하기 때문에 위상/주파수 검출기의 출력이 입력의 듀티비(duty ratio)에 관계없다. 위상/주파수 검출기의 입력은 기준 신호와 VCO 의 출력 신호이고, 출력은 up 신호와 down 신호이다. 3-state 위상/주파수 검출기의 동작을 살펴 보면 다음과 같다. 만일 기준 신호의 주파수가 VCO

출력 신호의 주파수보다 낮으면 위상/주파수 검출기는 출력 down 은 “0” 인 상태를 유지하고 출력 up 은 positive 펄스를 출력한다. 반대로 만일 기준 신호의 주파수가 VCO 출력 신호의 주파수보다 크면 출력 up 은 “0” 을 유지하고, 출력 down 은 positive 펄스를 출력한다. 기준 신호와 VCO 출력 신호의 주파수들이 같다면 up 또는 down 신호는 위상차에 해당하는 펄스 폭을 가지는 펄스를 내보내게 된다. 따라서 up, down 의 평균값은 두 입력 신호의 주파수 혹은 위상차를 나타낸다.

예를 들어서 설명을 하면 다음과 같다. 그림 4 는 VCO 의 출력 신호가 기준 신호보다 lag 일 경우를 나타낸 것이다. 그림에서 볼 수 있듯이, 기준 신호의 positive transition 이 먼저 발생한다. 그러면 출력 신호 up 이 “0” 에서 “1” 로 천이하게 된다. 이 상태는 VCO 출력 신호가 positive transition 이 발생할 때까지 유지된다. 그러다가 VCO 출력 신호에 positive transition 이 발생하면 출력 신호 down 이 “0” 에서 “1” 로 천이하지만, 두 개의 출력 신호 up 과 down 이 모두 “1” 이 되기 때문에 reset 신호가 발생되어서 두 개의 출력 신호들은 “0” 의 값을 갖게 된다. 즉, 기준 신호와 VCO 출력 신호사이의 위상차에 비례하는 만큼의 pulse width 를 갖는 신호가 출력 신호 up 에 나오게 된다. 만약 반대로 VCO 출력 신호가 기준 신호보다 lead 하는 경우에는 출력 신호 down 에 역시 위상차에 비례하는 pulse width 를 갖는 신호가 나오게 된다.

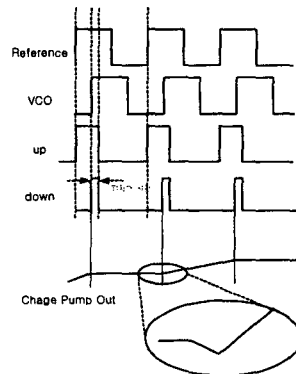


그림 4 PLL Lock 상태 이전

3-state 위상/주파수 검출기의 출력 파형의 예

그러나, 그림 3 과 같은 위상/주파수 검출기를 실제로 구현해 보면 세 개의 상태 외에도 하나의

상태가 추가된다. 즉, up 신호와 down 신호가 둘다 모두 “1” 인 경우가 존재한다. 동작 원리상으로는 up 신호와 down 신호가 둘다 “1” 인 경우에는 AND 게이트를 통하여 두 개의 D-Flip Flop 을 리셋 해주게 되었다. 또한, 고주파 대역에서의 정상적인 동작을 위해서는 dead zone 이 매우 작아야 한다. dead zone 이란, 기준 신호와 VCO 출력 신호의 위상차가 매우 작은 경우에 위상차가 있음에도 불구하고 위상/주파수 검출기가 위상 오차가 “0” 라고 출력을 내놓는 경우이다. 이것을 해결하기 위하여 PFD 내부의 Reset 단에 지연부를 두어 그 Time 을 맞추어 준다. 하지만 logic circuit 의 지연 시간으로 인해서 또 하나의 상태가 존재하는 것이다. 이러한 위상/주파수 검출기 자체의 지연 시간은 위상/주파수 검출기의 최대 동작 주파수를 낮추게 된다. 따라서 위상/주파수 검출기 자체의 최대 동작 주파수를 높여주기 위해서는 위상/주파수 검출기의 회로 지연 시간을 되도록 작게 하여야 한다. 그러나, Charge Pump 를 동작하는 최소한의 시간을 보상하더라도 그림 5 와 같이 지연부에 의한 연속적인 Spur 가 발생하여 PLL 의 Lock Time 을 길게 하고, Lock 이 된 후에도 PLL 의 Reference Spur 로 발생하게 된다.

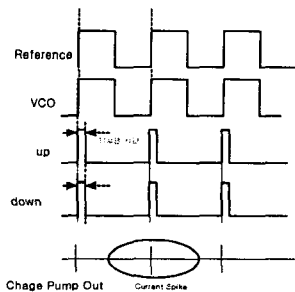


그림 5 PLL Lock 상태에서 위상/주파수 검출기의 출력 파형

III. 제안한 No Spike 위상/주파수 검출기

그림 6 은 제안된 구조의 위상/주파수 검출기의 구조를 그린 것이다.

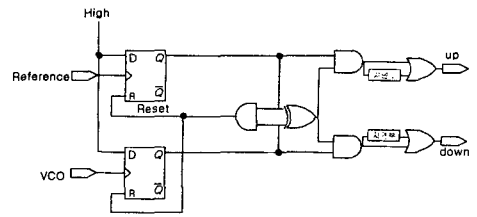


그림 6 제안된 위상/주파수 검출기의 구조

제안된 위상/주파수 검출기는 3-state 위상/주파수 검출기의 성능을 개선하여

Dead Zone 에 의하여 발생하는 주기적 Spur 성분을 없게 하여 Noise 를 현저히 줄일 수 있다.

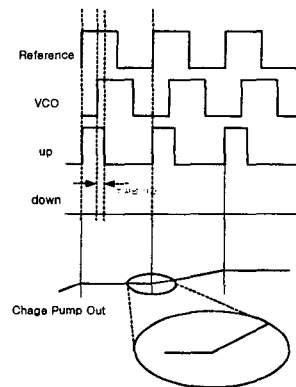


그림 7 제안된 PLL Lock 상태 이전 위상/주파수 검출기의 출력 파형의 예

그림 7 에서 보이듯이 제안된 위상/주파수 검출기(PFD)의 출력 파형은 3-state 위상/주파수 검출기의 출력 파형에서 나타나는 Up,Down 에서 발생하는 주기적인 파형을 없게 하여 Noise 를 줄인다. PFD 와 Charge Pump 의 특성을 관측하면 up 신호와 down 신호가 동시에 “1” 이 된다는 것은 차지 펌프의 p-mos 와 n-mos 가 동시에 saturation 영역에 들어 간다는 것을 의미한다. 이럴 경우에 심각하게 생각해 주어야 하는 것이 p-mos 와 n-mos 의 drain 전류의 mismatch 문제이다. p-mos 와 n-mos 의 drain 전류의 mismatch 문제란, p-mos 와 n-mos 에 각각 흐르는 drain 전류가 같지 않을 경우를 말한다. 원래는 전류의 변화량이 “0” 이어야 하지만, 이런 mismatch 가 있는 경우에 p-mos 와 n-mos 가 동시에 “ON” 이 된다면, 전류의 변화량은 “0” 가 되지 못한다. 즉, mismatch 전류가 더 흘러 들어오거나 더

흘러 나가게 된다. 그 결과로 VCO 의 제어 전압이 흔들리게 되고, VCO 에 의한 jitter 가 많이 발생하게 된다. 일반적으로 차지 펌프의 p-mos 와 n-mos 의 drain 전류량을 정확히 일치시키기는 어렵다. 즉, 차지 펌프를 정확히 잘 설계를 해도 전류량의 mismatch 가 있으므로 위상/주파수 검출기는 이런 mismatch 에 영향을 덜 주도록 설계하여야 한다. 그러나, 본 논문에서는 근본적으로 Pmos 와 Nmos 가 동시에 1 이 되는 구간을 없애기 때문에 mismatch 에 대하여 발생하는 Noise 문제를 근본적으로 해결 할 수 있다. 그림 7 은 기준 신호 f_{ref} 와 피드백 신호 f_{vco} 가 PLL 에서 고정(lock)되기 이전의 출력 파형을 나타내는 파형도이다.

그림 1 에서 펄스 신호 DN 의 발생으로 전하 펌프(12)에서의 전류 공급(sourcing)과 함께 전류의 누출(sinking)이 일시적으로 발생하게 되어 루프 필터(13)의 출력 전압 V_{out} 의 파형은 그림 4 에서와 같이 해당 부분에서 일시 감소했다 다시 증가하는 형태를 갖게 된다. 이로 인해, PLL 이 고정(lock)되는 시간이 길어지게 되고 안정도도 떨어지게 된다.

그림 5 에서와 같이, PLL 이 고정되어 기준 신호 f_{ref} 와 피드백 신호 f_{vco} 가 위상차이 없이 인가되는 경우에도 지연부에 의한 지연되는 시간 동안은 두 펄스 신호 UP 및 DN 가 모두 발생하게 되어 원치 않는 스퓨리어스(spurious)가 발생하게 된다.

이처럼, PFD 에서의 원치 않는 스퓨리어스(spurious)의 발생으로 전하 펌프의 출력단에서 전류 스파이크(current spike)가 발생하게 되어 PLL 전체의 동작을 불안정하게 하는 문제가 발생된다.

따라서, 상술한 문제를 해결하기 위한 본 논문의 위상 주파수 검출기는 전하 펌프로 인가되는 두 펄스 신호가 동시에 발생되지 않도록 하여 전하 펌프의 출력단에서 전류 스파이크가 발생되지 않도록 하는데 있다.

그림 6 에서와 같이 펄스 신호 UP 는 배타적 오아게이트 XOR 의 출력 신호에 동기 되어 일정 주기로 전하 펌프(12)로 인가되나, 펄스 신호 DN 는 로우 레벨을 유지하게 된다. 따라서, 전하 펌프(12)는 펄스 신호 UP 가 인가되는 도중 펄스 신호 DN 로 인한 전류 누출(sinking) 없이 루프 필터(13)로 안정적으로 소싱(sourcing) 전류 I_{cp} 를 공급할 수 있게 된다.

전류 I_{cp} 의 공급으로, 루프 필터(13)의 캐패시터 C1 및 C2 가 충전되어 루프 필터(13)의 출력 전압 V_{out} 은 PLL 이 고정될 때 까지 빠른 속도로 안정적으로 상승하게 된다.

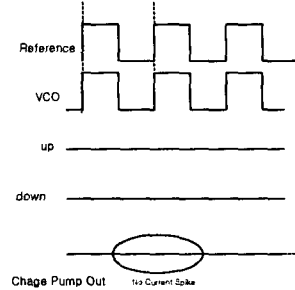


그림 8 제안한 PLL Lock 상태에서 위상/주파수 검출기의 출력 파형

IV. 결론

본 논문에서는 제안된 구조의 No Spike 위상/주파수 검출기는 그림 4,5 와 그림 7,8 에서 보는 것과 같이 Lock 상태 이전에는 Up, Down 이 동시에 발생하지 않기 때문에 Lock Time 속도를 증가하여 PLL 의 동작 속도를 증가 시키고, Lock 상태 이후에도 Dead Zone 을 없게 하기 위하여 만든 지연부에 의해 발생하는 Up, Down 출력신호의 동시 발생하는 되는 주기적인 주파수를 없게 하기 때문에 Reference Spur 가 거의 발생하지 않는 구조이다.

데드-존(dead-zone)은 거의 존재하지 않는 것을 알 수 있고, Reference Spur 가 발생하는 PFD 단의 입력 주파수에 대한 반복적인 주기성을 없게 하므로 Noise 에 영향을 많이 받는 고주파 대역에서 동작하는 주파수 합성기에 응용될 수 있다.

참고문헌

- [1] William F. Egan, " Frequency Synthesis by Phase Lock," John Wiley & Sons, Inc. 1998.
- [2] Dan H. Wolaver, "Phase-Locked Loop Circuit Design," Prentice-Hall, 1991.
- [3] W. Rhee, B-S Song, and Akbar Ali, " A 1.1-GHz Fractional-N Frequency Synthesizer with a 3-b Third-Order $\Delta\Sigma$ Modulator," IEEE J. Solid-State Circuits, vol. 35. pp.1453-1460, Oct. 2000