2003년도 대한전자공학회 하계종합학술대회 논문집 제26권 제1호

메디안 필터를 이용한 포맷 변환기 구현에 관한 연구

o
김현기* 하기종** 최영규*** 류기한*** 이천희****
극동정보대학* 강릉영동대학** 충주대학교*** 청주대학교****
Tel: 043) 229-8448 Fax: 043) 213-6392
E-mail: yicheon@chongju.ac.kr

A Study on the Implementation of Format Converter using Median Filter

Kim, Hyungi* Ha, Gijong** Choi, Yeongkyu*** Ryu, Gihan*** Yi, Cheonhee****
Keukdong College* Gangneung Yeongdong College** Chungju University*** Chongju University****

Abstract

The area of the prototype device is less than 80mm^2. Operating with a 60ns clock cycle, the device typically dissipates only 300mW. The full functionality was proven by using the methodical test programs based on typical image processing operations. Also, we realized the whole process from conventional gray image to color image. Format converters, implemented using multidimensional access memories, transfer the data between the processing element array and conventional bit-parallel components in real time. The completed system is fully functional and performs typical low-level image processing tasks at speed exceeding 30 frames of traditional TV system per second.

I. 서론

일반적으로 영상 처리 작업은 각각의 입력 영상에 필요한 화소(pixel) 당 수천 번의 동작을 필요로 한다. 기존의 일반용 컴퓨터는 실시간으로 이러한 작업을 수행할 수가 없었으며 영상 처리 작업을 위한 전문적인 시스템이 개발되지 않았다. 일반적인 영상처리 작업의 구성은 PE 배열, 즉 단일 제어기의 명령을 받아서 한 화소 당 하나씩 PE 배열을 사용하는 것이 요구되며 마이크로 컴퓨터 시스템에 필요한 화소 병렬 영상 처리 하드웨어를 구축하기 위해 대규모 PE 배열을 저비용으로 만들어야 한다[1]. 집적 회로 설계자는 집적도가 높으면서 값이 싼 반도체 메모리를 만들어 내는데 있어서 지난 10년간 눈부신 성과를 거두었다. 작은 실리콘 면적을 사용하여 수백만의 꼭 필요한 기능을 수행할 수 있는 회로를 설계하고 큰 메모리 배열을 구성하여 여러 가지 데이터를 처리할 수 있는 고집적화된 칩을 구현하였다.

본 논문의 목적은 영상기의 출력을 원거리로 보내기 위해서는 압축을 해서 전송해야 하므로 압축을 하면 데이터량을 50 : 1로 줄일 수 있으나 원형 영상의 손실을 초래하고, 전송선로에 의한 잡음의 영향으로 원형 영상이 훼손될 수 있다. 따라서 그림 1에서와 같이 원거리 전송에 의한 잡음을 제거하고 원형 영상에 가깝게 재생하기 위해 영상처리를 위한 포맷 변환기를 구현하게 되었다.

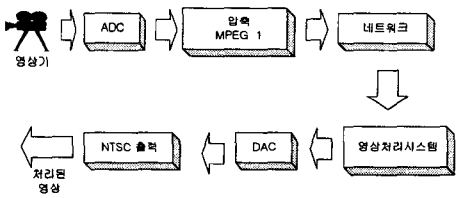


그림 1. 영상처리를 위한 구성도

본 논문에서는 실시간으로 화소 영상을 병렬로 처리할 수 있도록 포맷 변환기를 설계하였으며 기존의 다른 제품과도 비교하였다. 그 결과 화소 처리를 하는데 있어서 우수한 특성을 나타내었다. .

II. 본론

집적화된 PE(Processing Element) 배열은 데스크탑 실증 시스템을 위해 필요한 요소로서 제공된다. 그림 2는 이러한 시스템의 구성을 보여준다. 각각의 PE는 단일 화소에 필요한 동작을 수행하는데 필요한 메모리 및 논리 회로를 가지고 있다. 이것은 2차원 네트워크로 PE를 연결하며 주 컴퓨터는 제어 경로를 통하여 PE 배열을 제어한다. PE는 제어기의 명령을 받아서 그 명령을 높은 대역폭의 점대점 채널을 통해 전달한다.

제어기는 컴퓨터의 백플레인 버스(Backplane bus)를 통하여 주 컴퓨터에 의해 관리되고 비디오 카메라와 같은 영상기로부터 나오는 아날로그 신호는 ADC(Analog to Digital Converter)에 의해 디지털 데

이터로 변환된다. 포맷 변환기(Format Converter)는 효율적인 전송을 위해 디지털 데이터로 변환된 영상 데이터를 PE 배열로 재정렬시킨다. 다음에 사용할 출력 데이터를 재정렬하기 위해 또 하나의 다른 포맷 변환기 시스템은 대규모의 일반적인 영상 처리 작업을 위해 설계하였다.

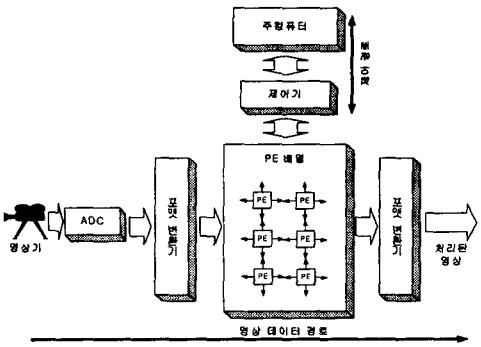


그림 2. 화소 병렬 영상처리 시스템

본 논문에서 구성된 시스템의 병렬처리는 컴퓨터 내부에서 동일한 시간에 수행되는 동작의 수를 증가시킴으로서 각 명령이 하나씩 수행되는 것에 비하여 처리 속도가 향상되게 한다. 따라서 컴퓨터의 성능 향상을 위한 한 방법으로 연산 속도를 높이기 위해 여러 개의 프로세서에게 할당하여 동시에 처리되도록 하는 방법으로서 순서대로 수행하는 것보다 속도를 향상시키고 하나의 작업을 여러 개의 작업으로 나누어 각 작업들을 시스템의 여러 처리기들에게 각각 배정되도록 한다.

1. PE 구현

PE는 DRAM 셀에 피치로 연결된 논리회로를 사용하여 구현하였으며, 논리 유닛은 128비트 DRAM 행의 좌우로 놓인다. 논리 유닛의 레이아웃 피치는 정확히 메모리 행 피치의 두 배가 된다.

PE는 논리 유닛과 DRAM 행으로 이루어져 있으나 행 디코더는 없으며 논리 회로는 비트라인에 직접 연결된다. 피치로 연결된 PE 구현은 메모리와 논리간의 대역폭을 극대화하고 PE 면적을 극대화한다[2].

그림 3은 PE 설계를 위한 구성을 나타내며, 하나의 행에서 비트 넓이의 논리는 128비트 DRAM 행과 결합되어 있으며 3개의 래치인 A, B와 C는 함수 발생기의 입력으로 제공된다. 8개의 제어 신호, $f_{7\text{-}0}$은 256의 3상태 입력 불 함수 사이에서 선택되어지고, D 래치는 쓰기 데이터 신호를 제공하며 E 래치는 로컬 쓰기를 가능케 하는 신호를 제공한다.

PE는 2차원 직사각형 배열을 만들기 위해 서로 연결되어 있다. A 래치는 가장 가까이 이웃한 PE와 통신을 위해 출력 신호를 제어하며 인접한 PE로부터 나오는 입력 신호는 제어 신호, 즉 f_L, f_R, f_D와 f_U에 따라서 함수 발생기 결과와 결합된다. 칩 경계를 가로질러 확장된 상호연결 네트워크의 경우에 복합 칩은 큰 영상의 크기에 일치하는 PE 배열을 구성하기 위해 사용된다.

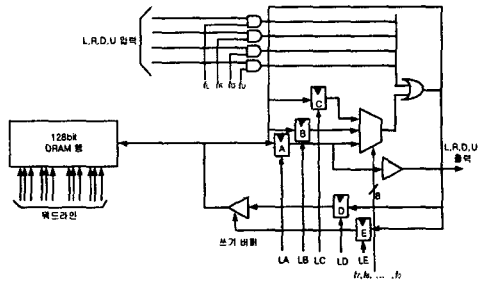


그림 3. PE 구성. [굵은 선: 데이터 신호, 점선: 제어경로를 나타냄]

2. PE 동작

본 논문에서 사용된 PE는 기본적으로 화소를 저장할 수 있는 DRAM으로 구성되어 있다. 그림 4는 메모리 셀의 배열구조를 보여주고 있다. 1Mbit DRAM은 Row 주소비트(A0~A9)와 Column 주소비트(A0~A9)로 구성이 되어 있다[3].(2^10 = 1024, 1024 ×1024 = 1048576 = 1Mbit, or 1Mbit × 1 = 256Kbit × 4 = 1Mbit DRAM).

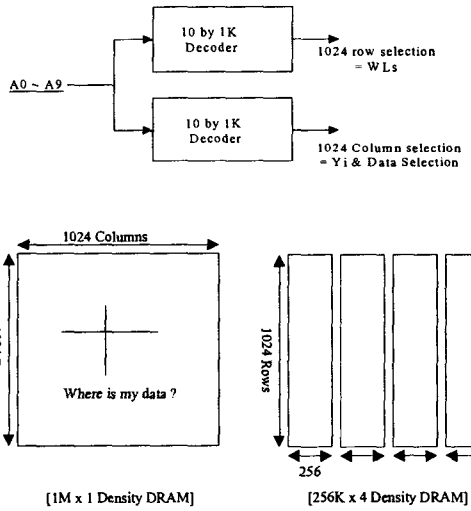


그림 4. 메모리 셀 블록의 구성

DRAM의 블록도는 그림 5와 같다. 주소 입력은 여러 개의 열과 행 주소 버퍼로 멀티플렉스되며 이러한 주소들은 RAS(Row Address Strobe)와 CAS(Column Address Strobe) 클록 발생기에 의해 순차적으로 디코드되어 동작하게 된다. 화소에 사용되는 데이터는 커패시터에 저장이 되며 워드라인에 의해 읽기 쓰기를 제어하게 된다.

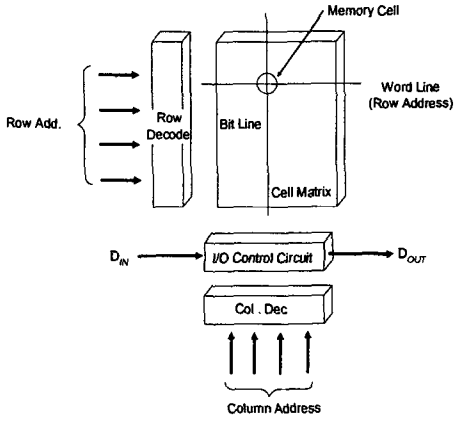


그림 5. DRAM의 블록도

그림 6은 이러한 데이터의 읽기 쓰기에 대한 순서를 나타낸 그림이다. 읽기 동작에서 비트 정보들은 Word Line turn on → Bit Line S/A activation → Data out register → Data output buffer → Input/Output PAD와 같은 데이터 경로를 통하여 DRAM의 출력버퍼로 나가게 되며 쓰기 동작에서는 Input/Output PAD → Data input buffer → Write driver → Write data to capacitor와 같은 순서로 비트가 저장이 된다.

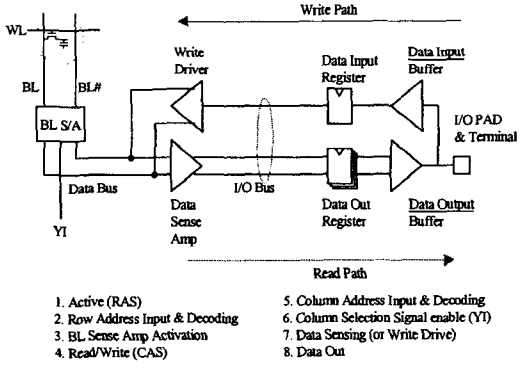


그림 6. 데이터의 읽기 쓰기 경로

메모리의 저장 셀은 수평 열과 수직의 행의 배열로 구성이 되어 있다. 각 셀은 각각의 열과 행에서 다른 셀들과 전기적으로 공유되어 연결되어 있다. 수평선에 연결되어 있는 트랜지스터를 워드라인이라 하고 수직으로 연결되어 있는 것을 비트라인이라고 한다. 각 셀은 주소에 따라 각기 독립적으로 연결되어 있으며 이러한 각 셀을 선택하는 것은 워드라인과 비트라인의 주소 선택에 의해 이루어지게 된다.

PE 데이터 경로는 단지 한 비트 폭이기 때문에 산술적인 동작을 수행하는데 필요한 명령의 수는 연산수의 규모 및 결과와 함께 증가한다. PE는 클록 주기 당 하나의 배열 명령을 실행한다. 표 2는 몇몇 기본적인 동작을 수행하는데 필요한 배열 명령의 수를 보여주고 있으며 60ns 클록 주기로 작동하면서 초당 64 × 64 PE 배열로 수행된 8비트 동작의 수를 보여주고 있다. 또한 표에서 볼 수 있듯이 병렬로 작용하는 많은 PE의 경우 고성능 시스템에서는 비트 직렬 처리가 사용된다.

Ⅲ. 실험 결과 및 고찰

구현한 포맷 변환기 시스템을 이용하여 집적화된 배열을 검사하고 화소 병렬 영상 처리를 위한 전형적인 영상 처리 동작에 필요한 전체 시스템의 측정된 성능을 나타내었다.

1. 시스템 구성

집적화된 회로 디바이스를 검사하고 증명하는데 사용된 시스템의 주요 구성요소는 그림 7에서 보여주고 있다. UNIX 워크스테이션인 SUN SPARCstation IPX가 시스템을 이용하며 Performance Technologies PT-SBS915 어댑터는 워크스테이션을 VMEbus 샤시에 연결한다. 어댑터는 워크스테이션에 설치된 SBus 보드, 샤시에 설치된 VMEbus 보드, 각 보드를 연결하고 있는 케이블 그리고 워크스테이션에 필요한 디바이스 드라이버 소프트웨어로 이루어져 있다. 2개의 포맷 변환기는 비디오 디지타이저 및 비디오 엔코더를 갖춘 단일 VMEbus 보드 상에 집적화되어 있다. 디지타이저는 CCD 영상 카메라로부터 NTSC 비디오 신호를 받는다. 엔코더는 NTSC 비디오 신호를 화면에 공급한다. VMEbus 샤시에 맞춰진 보드 상에 있는 4개의 칩들은 128 × 128 PE 배열을 제공한다. 그 배열 보드는 한쪽 포맷 변환기로부터 열 영상들을 받아서 처리된 영상을 다른쪽 포맷 변환기에 보낸다. VMEbus 보드로서 구현된 제어기는 PE 배열을 위해 명령을 발생하며 주 컴퓨터는 VMEbus를 통해 포맷 변환기 보드 및 제어기 보드와 통신한다.

제어기 보드는 1개의 16비트 마이크로프로그램 시퀀서, 3개의 SRAM 모듈, 2개의 복합 프로그램 논리 디바이스, 10개의 레지스터 칩, 클록 드라이버, 버스 인터페이스, 라인 드라이버 그리고 라인 수신기 부품을 사용한다. 시퀀서 명령 및 분기 주소는 3개의 64Kb × 32 SRAM 모듈 중에 저장되어 있다. 배열 명령은 다른 쪽 2개의 모듈 속에 저장되어 있다. 제어기 및 PE 배열은 동시에 동작한다. 제어기는 50ns나 또는 그 이상 길이의 클록 사이클로 완전하게 기능을 한다.

포맷 변환기 보드는 2개의 FPGA 배열(각 포맷 변환기 당 하나씩), 16개의 64Kb ×4 SRAM 칩(각 포맷 변환기 당 8개씩), 1개의 디지타이저, 1개의 엔코더 그리고 몇 개의 클록 드라이버, 버스 인터페이스, 라인 드라이버 그리고 라인 수신기 부품을 사용한다. 포맷 변환기 보드는 디지타이저가 생산하는 클록 사이클을 사용하여 약 25 MHz로 동작한다. 데이터를 PE 배열 및 포맷 변환기에 전송하거나 또는 전송받는데 사용된 직렬 액세스 메모리는 동시에 동작한다.

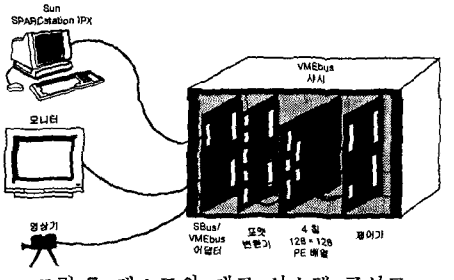


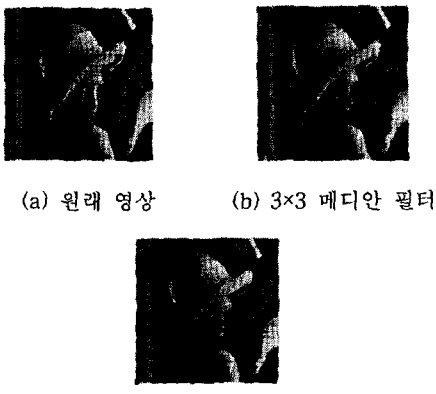
그림 7. 테스트와 데모 시스템 구성도

2. 메디안 필터

디지털 영상은 전송되는 도중에 잡음과 섞이거나 시스템의 다른 요소에 의해 왜곡될 수 있다. 이러한 경우 잡음 필터 기법을 사용한다면 잡음은 감소될 수 있고, 왜곡된 영상은 받아들일 수 있는 수준으로 회복시킬 수 있다. 임펄스 잡음을 제거하기 위한 효과적인 방법 중의 하나가 메디안(Median) 필터링 기법이다. 메디안 필터링은 광범위하게 연구되어 온 비선형 영역처리 기법이다[4]. 저주파 필터에 비하여 메디안 필터의 큰 장점은 강한 에지를 보존하면서 기존의 에지를 좀더 상세하게 보존할 수 있다는 것이다. 메디안 필터링은 한 영상의 화소에 대하여 임의 크기의 원도우를 슬라이딩하면서 오름차순으로 원도우 안에 있는 화소에 대하여 순위를 파악하는 방법으로 수행된다. 중간에 해당하는 화소 값은 원도우의 중심에 대응하는 출력 영상의 위치에 채워진다. 중심값이 선택되기 때문에 메디안 필터의 원도우가 가진 화소의 수는 홀수 개가 된다. 메디안 필터링의 기본 함수는 매우 뚜렷한 밝기를 가진 점을 이웃한 화소와 유사하도록 만들어서 돌출되는 화소값을 제거한다.
그림 8은 기존의 방법으로 구현한 여러 가지 영상처리 방법을 보여주고 있다. 그림 (b)는 3 × 3 메디안의 경우 각각의 출력 값은 3 × 3 화소 면적에서 9 입력 값의 메디안이고 (c)는 5 × 5 메디안 필터의 경우에 각각의 출력 값은 25 입력 값의 메디안이다.

III. 결론

본 논문에서 개발한 디바이스의 면적은 80mm²이하이고 60ns 클록 사이클을 가지고 동작하고 일반적으로 전력은 300mW만을 소비한다. 또한 이러한 시스템을 이용하여 여러 가지 영상 처리 동작에 기초한 테스트 프로그램을 사용하여 여러 가지 영상처리 방법을 실현하였다. 본 논문에서 구현한 시스템은 4개의 칩을 사용하였으며 128 × 128 배열로 구성하였다. 다차원 처리 메모리를 사용하여 구현된 포맷 변환기는 PE 배열과 콘볼루션 비트 병렬 구성 사이에 데이터를 실시간으로 전송한다. 영상처리를 위해 소프트웨어로 구현하였을때는 최대 13프레임이었으나 완성된 포맷 변환기 시스템은 최대 85프레임까지 화소 병렬 영상처리를 만족할 만한 기능을 수행하며 일반적인 TV 영상의 초당 30프레임을 초과하는 속도로 단순한 영상 처리 작업을 효과적으로 수행하였다.



(a) 원래 영상 (b) 3×3 메디안 필터

(c) 5×5 메디안 필터

그림 8. 그레이 영상의 메디안 필터링

참고문헌

[1] Robert Cypher and Jorge L. C. Sanz, "SIMD Architectures and Algorithms for Image Processing and Computer Vision," IEEE Transtions on Acoustics, Speech, and Signal Processing, vol. 37, no. 12, pp. 2158-2174, *December 1989.*

[2] Duncan G. Elliott, W. Martin Snelgrove, and Michael Stumm, "Computational RAM : A Memory-SIMD Hybrid and its Application to DSP," *in Processings of the IEEE Custom* Integrated Circuits Conference, pp. 30.6.1-30.6.4, May 1992.

[3] Yong-Hui Lee, "A Study on the Data Retention Time Improvement for High Density & High Performance DRAM," Doctor's thesis, Chongju University, August 2001.

[4] Milan Sonka, Vaclav Hlavac, and Roger Boyle, "Image Processing, Analysis, and Machine Vision," PWS *Publishing, Second Edition,* Pacific Grove, CA USA, 1999.