

# CMOS IC-카드 인터페이스 칩셋

오원석, 이성철, 이승은, 최종찬

전자부품연구원 SoC 연구센터

전화 : (031) 610-4296 / 팩스 : (031) 610-4048

## A CMOS IC-Card Interface Chipset

Won-Seok Oh, Sung-Chul Lee, Seung-Eun Lee and Jong-Chan Choi

SoC Research Center, Korea Electronics Technology Institute

E-mail : oseok@keti.re.kr

### Abstract

For proper communication with various types of IC-Card, multiple IC-Card interface complying with the IC-Card standard (ISO7816) is embedded and realized as a peripheral on the 32-bit RISC based system-on-a-chip. It provides the generation of either 3.3V or 5V power supply for the operation of the inserted IC-Card as well. IC-Card interface is divided into an analog front-end (AFE) and a digital back-end (DBE). The embedded DC-DC converters suitable for driving IC-Cards are incorporated in the AFE. The chip design for multiple IC-Card interface is implemented on a standard 0.35 $\mu$ m triple-metal double-poly CMOS process and is packaged in a 352-pin plastic ball grid array (PBGA). The total gate count is about 400,000, excluding the internal memory. Die area is 7890 $\mu$ m  $\times$  7890 $\mu$ m.

### I. 서론

최근 IC-카드 기술의 급속한 발달에 따라 전자화폐 또는 전자지갑과 같은 전자지불 수단이 하나의 IC-카드에 통합 되는 경향을 보이고 있다. 이에 따라 IC-카드를 다양한 방법으로 접근할 수 있도록 하는 터미널 개발이 요구되고 있다. 이러한 터미널은 정보를 담고

있는 카드와 시스템 간의 상호 작용 및 온라인 응용을 위한 실시간 데이터 처리가 가능해야 한다. 또한 각각의 카드를 식별할 수 있는 안전한 인증절차를 수행할 수 있어야 한다. 본 지에서는 이러한 국제 규격 (ISO7816)을 만족하는 칩셋을 구현하였으며, 그림 1에 SCIX-1으로 명명한 IC-카드 인터페이스 칩셋의 블록도를 나타내었다. 32-비트 고성능 프로세서인 ARM7TDMI를 내장하고 있는 SCIX-1은 여러 종류의 IC-카드를 지원한다. 또한 Windows CE를 운영체제로 사용할 수 있어 터미널 구현 시 사용자 인터페이스를

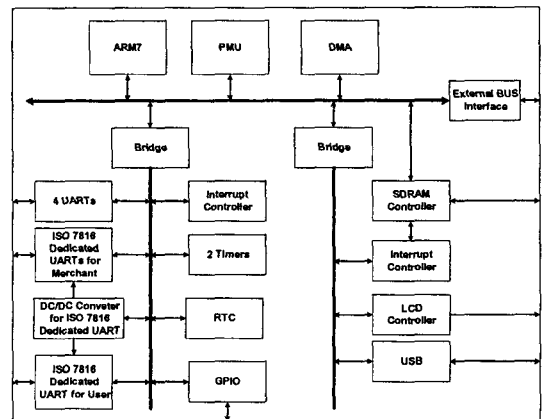


그림 1. 설계된 SCIX-1의 전체 블록도  
친근하고 간편하게 구현할 수 있도록 한다. 그리고 터미널 응용을 위해 T=0 와 T=1 두 가지 모드를 지원하

는 6개의 ISO7816 UART를 내장하고 있다. 이들 중 두개는 IC-카드와 직접 인터페이스 하기 위해 사용되고, 나머지 4개는 SAM 카드의 승인을 위해 사용된다. 또한, ARM7TDMI CPU, memory management unit (MMU), 캐쉬(cache)를 내장하고 있어 embedded operating system (OS)을 지원한다. MMU는 가상 주소를 실제 주소 영역으로 연결시켜주며, 캐쉬는 521라인 × 4워드 로 구성되어 있다. 메모리 제어 블록은 dynamic RAM 제어 블록과, static RAM 제어블록으로 구성되어 있다. Dynamic RAM 제어부는 최대 128M 바이트 SDRAM을 제어하며, static RAM 제어부는 SRAM, Flash ROM, ROM 제어를 관장한다. 6개의 인터페이스 블록은 인터럽트를 이용하여 여러 종의 카드 리더로 구현될 수 있다. 또한 장치들과의 인터페이스를 위해 4개의 UART와 GPIO를 내장하고 있다. USB 컨트롤러는 응용 프로그램 및 운영체제의 보완 및 수정에 있어 빠른 인터페이스를 지원한다. 이 외, LCD, SDRAM 등등의 제어기가 내장되었다.

상업용 IP의 사용은 더 이상 새로운 설계접근방법이 아니다. 설계 시간의 단축과 Time-to-Market을 하기 위해 부가 기능을 구현하도록 재사용가능한 IP를 사용한다. 위에 언급된 각각의 기능 블록들은 개개의 IP로서의 성능 검증 후, 가상 검증 환경(virtual validation environment)을 이용하여 전체 시스템 통합 및 검증을 통해 구현되었다.[1]-[2]

본 지의 구성은 카드 인식과 오류 인식을 앞단에서 처리해주는 AFE(analog front-end) 에 관한 부분을 II장에서 다루고, 카드로부터의 모든 데이터를 처리해주는 DBE(digital back-end) 부분을 III장에 기술하였다. 그리고 SCIX-1의 성능을 IV장에 요약하였다.

## II. 인터페이스용 아날로그 드라이버

설계된 칩셋의 가장 큰 장점은 내부에 DC-DC

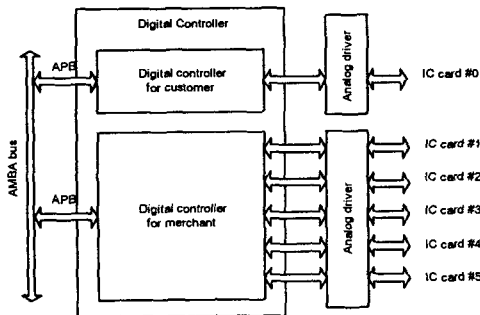


그림 2. IC-카드 다중수용 가능한 드라이버 컨버터를 내장하고 있어서 삽입되는 카드의 종류에 따라 3.3V 또는 5V의 동작이 가능하다는 것이다. 그리고

동작 전압도 프로그램 할 수 있도록 설계되었다. 따라서 기존에 각각의 카드의 동작전압에 따른 리더가 필요했던 것에 비해, 그림 2에서처럼 이 칩셋을 사용하면 리더 하나만으로 여러 종류의 카드를 수용할 수 있다.

## 2.1 DC-DC 컨버터

그림 3에 아날로그 드라이버 단에 내장된 DC-DC 컨버터의 블록도를 나타내었다. 기준전압발생기(Reference circuit), 오실레이터(Oscillator), 컨트롤러 등으로 구성되는 DC-DC 컨버터에는 공급전원으로부터 원하는 전압을 만들어 내기 위하여 스위치 M1을 on/off 시키면서 부스팅(boosting)하는 전류모드 충전방식이 사용되었다.[3] 구동원리를 살펴보면 다음과 같다. 스위치 M1이 오랫동안 off 되어 있다고 가정하면 출력전압 VCC는 VDD의 레벨에 머물러 있게 된다. 이후 M1이 turn-on 되면 Lext로 부터 Cext에 전하가 충전되고, VCC는 순간적으로 VDD보다 높은 전위를 갖게 된다. 이때 다이오드는 Cext로부터 전하가 방전되는 것을 막아 출력단의 전위를 유지 할 수 있게 해준다. 이와 같은 과정으로 Lext에 저장되었던 에너지가 출력단의 Cext로 전달된다. 출력전압(V<sub>o</sub>)을 입력전압(V<sub>i</sub>) 이상으로 부스팅하기 위하여 duty-ratio D와 전압전달비 G<sub>v</sub>의 관계는

$$G_v = \frac{V_o}{V_i} = \frac{1}{(1-D)}$$

와 같다. 즉, 부스터의 전압 전달비 G<sub>v</sub>는 D가 0일 때 최소인 1이 되며, 1일 때 최대인 무한대의 값이 된다. 출력전압을 일정하게 유지하기 위하여 출력단에 연결된 전압분배기(Divider)에 의해 분배된 출력전압 VFB이 비교기에 인가되어 기준전압 VREF와 비교가

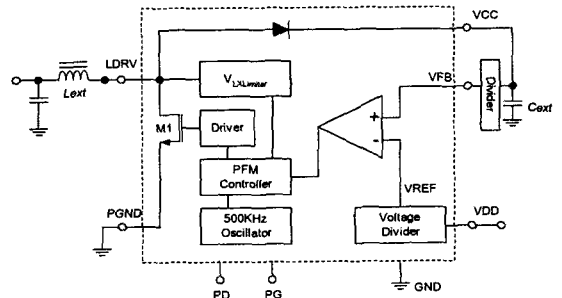


그림 3. DC-DC 컨버터

표 1. 설계된 DC-DC 컨버터의 특성

클럭 주파수	500kHz 내부 오실레이터
Lext	22 $\mu$ H
Iout	50mA @ 5V
Delta Iout	10% under
공급 전압	2.7 ~ 3.3V
출력전압	3.3 ~ 5V
출력전압의 리플	20mV/pp @ 5V
trise	600 ns
효율	80 %
L, C	Off-Chip

이루어진다. 분배된 전압이 VREF보다 낮아지면, 비교기와 컨트롤러, M1으로 이루어지는 귀환루프에 의해 M1이 on/off 되며 VCC를 상승시킨다. 또한 분배된 출력전압이 VREF보다 높아지면 M1은 off 상태를 유지하여 VCC의 상승을 막는다. 위와 같은 방식을 펄스 주파수 변조 PFM(Pulse-Frequency Modulation) 방식이라 하며, M1을 구동하는 클럭이 0.85의 duty-ratio가 되도록 설계하였다.[4] 표 1에 설계된 DC-DC 컨버터의 특성을 요약하였다.

2.2 오류감지 및 카드인식 회로

외부 부하의 변화, 칩셋에 구동전원으로 사용하는 배터리의 공급전원의 감소, 단락전류의 발생에 의한 DC-DC 컨버터로 부터의 공급전원의 불안정 등에 의하여 리더와 카드의 상호 연결이 불안정한 상태가 될 수 있다. 이를 위하여 오류 감지 회로의 설계가 필수적이다. 이러한 상태를 감지하기 위해서 히스테리시스(hysteresis) 특성을 갖는 비교기를 설계하였고, 이를 그림 4에 나타내었다. 이 회로를 통하여 외부 상태변화에 대하여 공급전원의 변화가 일정 범위 내에서는 디지털 단으로 전달되는 신호를 안정적으로 전달된다. 즉, DC-DC 컨버터에서 생성된 공급전원의 변화 폭에 대하여 0.25V의 범위 안에서는 독립적인 출력값을 얻도록 하였다. 카드 삽입 시 인식회로는 40 $\mu$ s의 디바운싱 딜레이(debouncing delay)를 갖으며, 카드 삽입과

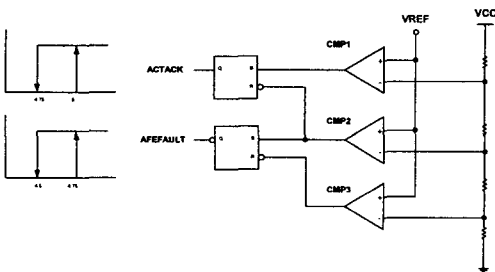


그림 4. 히스테리시스 특성을 갖는 비교기

제거 상태를 감지한다. 또한 내부 클럭 생성기는 DC-DC 컨버터에 500kHz의 주파수를 갖는 클럭을 공급하며, 슈미트트리거(schmitt-trigger)를 이용하여 설계되었다.

III. DBE 제어회로

IC-카드와의 인터페이스하기 위해 설계한 디지털 제어 블록의 일반 구조는 그림 2에서 나타낸 바와 같이 사용자부와 맵입사부로 구성된다. 디지털 제어 블록은 최고 6개까지의 IC-카드와 인터페이스를 할 수 있도록 설계되어 있다.

3.1 DBE의 구조

IC-카드 인터페이스에서 설계된 사용자 파트의 디지털 제어기는 그림 5에 나타내어진다. AMBA 버스는 ARM 사에 의해 제공되는 버스 규격으로, 호스트와의 인터페이스를 담당하는 블록은 설계 재사용을 고려하여 AMBA 버스 규격을 지원한다. 그림 6은 APB와의 연결에 사용되는 읽기/쓰기 타이밍을 보여준다. IC-카드의 활성/비활성을 조정하는 블록은 IC-카드가 삽입될 때, 아날로그 드라이버로부터 인가된 삽입신호가 올바른 것인지를 결정한다. 활성/비활성 블록은 IC-카드를 활성 시키고 정해진 순서에 의해 삽입된 카드에 전원을 인가한다. 활성 시퀀스는 활성 시간 레지스터에 의해 프로그램 된 값에 의해 동일한 몇 개의 단계로 구분된다. 활성 시퀀스가 성공적으로 완료되면, 동작은 ATR 단계로 진행된다. 활성시퀀스동안 불안정한 실행이 발생하면, 디지털 제어기는 즉각 IC-카드 인터페이스와 관련된 IC-카드의 움직임을 감지하고 IC-카드 인터페이스의 모든 신호를 비활성 시킨다. 그림 7에 ATR의 활성과 수신을 나타내었다. IC-카드의 프로토콜 핸들러는 MCU에 수신된 정보를 전달하고 ATR의 프로토콜을 읽는 중요한 역할을 한다. 비정상적인 ATR을 수신하는 경우, 디지털 제어기는 즉각 IC-카드를 비활성 시키거나 프로토콜 핸들러의 요청에 의해 워 리셋을 하도록 한다.

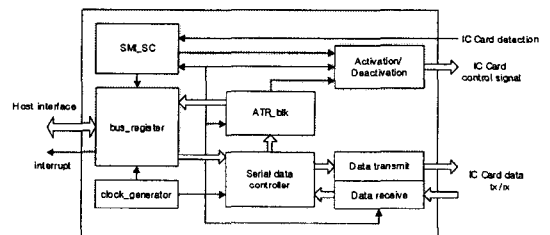


그림 5. 사용자 파트의 디지털 제어기

