

2T-2MTJ MRAM의 Sense Amplifier

홍 승 균, 김 인 모, 유 혜 승*, 김 수 원*, 송 상 현
중앙대학교 전자전기공학부, * 고려대학교 전자공학과
전화 : 02-816-7984

Sense Amplifier for 2T-2MTJ MRAM

Seung Kyun Hong, In Mo Kim, Hye-Seung Yu*, Soo Won Kim*,
Sang-Hun Song

School of Electrical and Electronic Engineering, ChungAng University, *Dept. of Electronic
Engineering, Korea University

E-mail : honghsk0@nownuri.net

Abstract

This paper proposes a new Sense Amplifier for MRAM. Current Sense Amplifier employs a latch-type circuit to amplify a signal from the selected memory cell. The proposed Sense Amplifier simplifies the circuit by amplifying the signal using cross-coupled PMOS transistors. It shows the same operation speed as the latch-type Sense Amplifier in simulation and occupies only 85% of the area taken by the latch-type Sense Amplifier.

I. 서 론

최근 비휘발성 메모리로서 MRAM(Magnetic Random Access Memory)에 대한 관심이 높아지고 있다. MRAM은 DRAM과 비슷한 셀 크기와 동작속도를 가지면서도 읽고 쓰는 동작에 제한이 거의 없기 때문에 차세대 메모리로서 적합하다.[1]

MRAM은 기본적으로 두 개의 Magnetic Layer 사이에 하나의 절연층으로 이루어져 있다.[2] 이 두 Magnetic Layer의 자화방향에 따라서 다른 저항

특성을 나타내게 되며 이를 이용하여 데이터를 저장하고 읽어낼 수가 있다. MRAM은 Sense Amplifier 입력의 차이, 즉 Cell에서 내보내는 신호의 차이가 DRAM보다 작다.[3,4] 그러므로 Sense Amplifier는 작은 전압차를 빠른 시간안에 증폭할 수 있는 능력을 지녀야 한다.

현재 개발중인 MRAM의 구조는 크게 두가지로 분류할 수 있다. 첫째는 두 개의 셀을 이용하여 하나의 셀을 Reference로 이용하는 Twin Cell(2T-2MTJ) 구조[5]와 별도의 Reference generator를 이용하는 1T-1MTJ 구조[6]이다. Twin Cell구조는 차지하는 면적이 큰 반면 두 개의 Cell이 항상 반대의 값을 저장하고 있기 때문에 Cell에서 나오는 신호의 차이가 1T-1MTJ보다는 크다. 이 논문에서는 Twin Cell 구조에서 작은 면적을 차지하는 새로운 Bit Line Sense Amplifier를 제안하였으며, 이를 시뮬레이션하여 기존의 Sense Amplifier와 성능을 비교하였다.

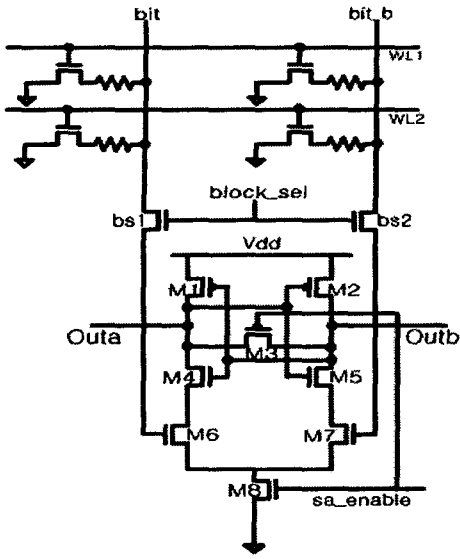


그림 1. 기존의 Sense Amplifier

II. 기존의 Sense Amplifier

Twin Cell MRAM에서 사용되는 기존의 Sense Amplifier는 그림 1과 같다.[4] M1, M2, M4, M5가 latch구조로서 M6, M7의 Gate로 들어오는 입력을 증폭하여 출력단으로 보내게 된다. M3과 M8은 Sense Amplifier의 동작을 제어하는 역할을 한다. sa_enable 신호가 HIGH가 되면 M8이 ON, M3가 OFF가 되어서 Sense Amplifier가 정상적인 작동을 하도록 한다. 반대로 LOW가 되면 M8은 OFF M3는 ON이 되어서 양 출력단의 전압을 같게 만든다. 만일 M3가 없으면 입력이 들어오지 않아도 출력단은 서로 반대되는 값을 가지고 있게 된다. 이것은 Sense Amplifier에 새로운 입력이 들어왔을 때 출력단의 전압 변화가 빠른 시간안에 이루어질 수 없게 된다. 그러므로 Sense Amplifier가 작동하지 않는 시간동안에 미리 출력단의 전압을 같게 하여 동작속도를 향상시키는 역할을 하게 된다.

III. 제안한 Sense Amplifier

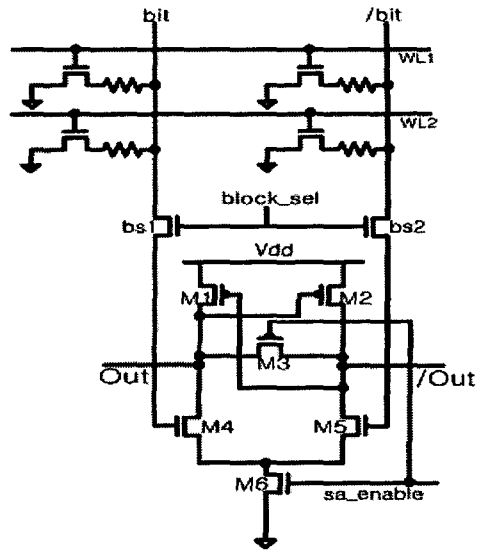


그림 2. 제안한 Sense Amplifier

이 논문에서 제안하는 Sense Amplifier는 그림 2와 같다. MTJ MRAM의 경우 MTJ가 bias전압에 따라서 저항이 변하는 특성이 있다. 그러므로 Sense Amplifier의 입출력이 같이 묶여 있는 경우에는 Sense Amplifier에 의해 증폭된 전압이 MTJ의 저항특성에 영향을 주게 되고 이는 다시 Sense Amplifier의 입력에 영향을 줄 수 있으므로, 입출력을 다른 node에 연결하였다.

제안한 Sense Amplifier에서는 기존의 Sense Amplifier에서 M4, M5를 제거하여 PMOS에 의해서만 증폭을 하도록 설계하였다. 그림 2의 M4, M5의 Gate에서 들어오는 입력의 차이가 Out과 /Out노드에 전압 차를 가져오게 되면 Positive Feedback으로 연결되어 있는 PMOS(M1, M2)에 의해서 증폭된다. M3와 M6는 그림 1의 M3, M8과 같은 역할을 한다.

IV. 시뮬레이션 결과

그림 3은 그림 1의 Sense Amplifier를 HSPICE를

이용하여 시뮬레이션한 것이다. Bit Line에 전압차가 발생하면 sa_enable신호를 ON시켜서 Sense Amplifier를 작동시킨다. 그림에서 보듯이 약간의 Delay후에 full swing 하는 것을 알 수 있다.

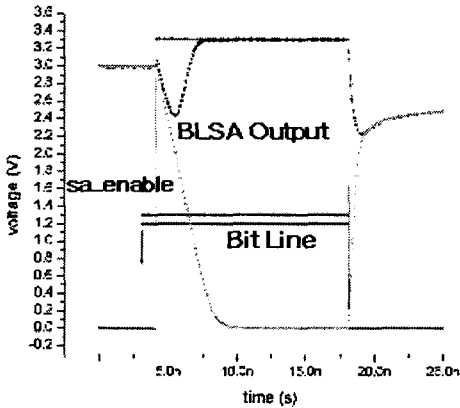


그림 3. 기존의 Sense Amplifier의 시뮬레이션 결과

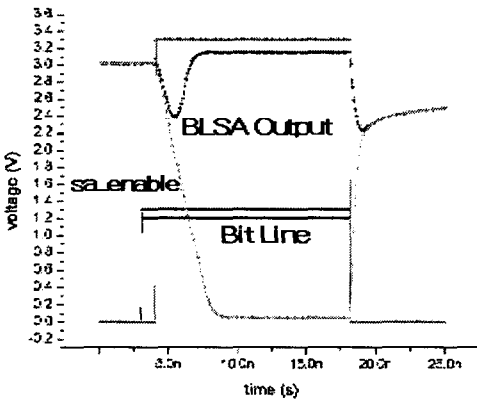


그림 4. 제안한 Sense Amplifier의 시뮬레이션 결과

그림 4는 그림 2의 Sense Amplifier를 시뮬레이션한 결과이다. 두 개의 시뮬레이션 결과를 비교해보면 동작 시간은 비슷하나 제안한 Sense Amplifier의 경우 $V_{DD}-0V$ 로 full-swing하지 못하는 것을 볼 수 있다. 그림 1에서의 M4와 M5는 M1, M2와 함께 full-up 또는 full-down 되었을 때 전류의 흐름을 끊어주는 역할을 한다. 이 두 NMOS가 사용되지 않았기 때문에 그림 2의 Sense

Amplifier에서는 full up-full down시에도 한쪽 Branch를 통해서 전류가 흐르게 된다. 만약 Out 노드가 HIGH인 상태라면 M4는 saturation영역에서 동작하게 되고, M1과 M6는 triode영역에서 동작하게 되므로 전류가 흐르게 된다. 이 전류에 의해서 Out에는 정확하게 V_{DD} 전압을 나타내지 않고 M1의 ON 저항에 의해서 V_{DD} 보다 약 0.1V정도 낮은 전압을 보이게 된다. 이 때 M2와 M5는 Cut-off 영역에 있으므로 /Out으로 흐르는 전류는 없으나 M6의 Drain 전압이 그대로 /Out에 나타나게 되므로 0V가 아닌 50mV정도의 값을 가지게 되는 것을 볼 수 있다.

하지만 전체 메모리 회로에서 보면 Sense Amplifier의 출력은 DBSA(Data Bus Sense Amplifier)에 의해서 다시 증폭되게 된다. 비록 제안한 Sense Amplifier의 출력이 full swing은 하지 못하지만 DBSA가 동작하기에는 충분한 정도의 차이를 내보내기 때문에 전체 메모리 회로에 미치는 영향은 거의 없다고 할 수 있다.

V. 결론

본 논문에서는 Twin Cell구조의 MRAM에 사용되는 새로운 Sense Amplifier를 제안하였다. Sense Amplifier의 경우 Bit Line마다 하나씩 들어가므로 작은 면적을 가지는 Sense Amplifier는 전체 메모리 크기를 상당히 줄일 수 있다. 제안한 Sense Amplifier는 기존의 Sense Amplifier와 비교해서 같은 동작속도를 보이면서도 Layout시 약 15%정도의 면적을 줄일 수 있었다. 그러므로 제안한 Sense Amplifier를 사용할 경우 전체 메모리 칩의 면적을 상당히 줄일 수 있을 것으로 기대된다.

참고 문헌

- [1] M. Durlam, P. Naji, M. DeHerrera, S. Tehrani, G. Kerszykowski, K. Kyler,

"Nonvolatile RAM based on Magnetic Tunnel Junction Elements", *ISSCC Digest of Technical Paper*, pp. 130-131, Feb. 2000.

[2] S. Tehrani, B. Engel, J. M. Slaughter, E.Chan. M. DeHerrera, M. Durlam, P.Naji, R.Whig, J. Janesky, and J. Calder, "Recent Development in Magnetic Tunnel Junction MRAM", *IEEE Trans. Magn.*, vol. 36, pp. 2752-2757, Sep. 2000.

[3] 유희준, "DRAM의 설계", 흥릉과학출판사, 1996, pp. 37-52.

[4] Eun-Jung Jang, Jung-Hwa Lee, Ji-hyun Kim, and Seungjun Lee, A Novel Sensing Circuit for 2T-2MTJ MRAM Applicable to High Speed Synchronous Operation , *JSTS*, Vol. 2, No. 3, Sep. 2002.

[5] Roy Scheuerlein, William Gallagher, Stuart Parkin, Alex Lee, Sam Ray, Ray Roberlazzi, and William Reohr, A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell , *ISSCC Digest of Technical Paper*, pp. 128-129, Feb. 2000.

[6] M. Durlam, P. Naji, A.Omair, M. DeHerrera, J. Calder, J. M. Slaughter, B. Engel, N. Rizzo, G. Grynkewich, B. Butcher, C. Tracy, K. Smith, K. Kyler, J. Ren, J. Molla, B. Feil, R. Williams, S. Tehrani, A low power 1Mbit MRAM based on 1T1MTJ bit cell integrated with Copper Interconnects , *2002 Symposium On VLSI Circuits Digest of Technical Papers*, pp. 158-161, 2002.