

병렬 S/H를 이용한 파이프라인 ADC설계

*이 승 우, **이 해 길, ***나 유 찬, *신 흥 규
*원광대학교, **군장대학, ***남서울대학교

Design of Pipeline Analog-to-Digital Converter Using a Parallel S/H

Seung-woo Lee, Hae-Gil Lee, Yu-Chan Ra, Hong-Kyu Shin
Dept. of Electronic Engineering, Wonkwang University
E-mail : lswoo@wonkwang.ac.kr

Abstract

In this paper, The High-speed Low-power Analog-to-Digital Converter Architecture is proposed using the parallel S/H for High-speed operation.

This technique can significantly reduce the sampling frequency per S/H channel. The Analog-to-Digital Converter is designed using 0.35 μ m CMOS technology. The simulation result show that the proposed Analog-to-Digital Converter can be operated at 40Ms/s with 8-bit resolution and INL/DNL errors are +0.4LSB~-0.6LSB / +0.9LSB~-1.4LSB ,respectively.

I. 서론

멀티미디어 및 통신시스템의 급속한 발전과 함께 신호처리 기술은 신뢰성의 증대, 저전압 저전력의 동작 특성이 요구 되고 있으며 비용 절감과 성능의 향상을 위하여 아날로그와 디지털 혼성모드 VLSI로 발전되는 추세이다. 이러한 시스템에 널리 사용되는 디지털 신호처리 기술의 발달과 더불어 아날로그 신호를 디지털 신호로 바꾸어 주는 아날로그 디지털 변환기의 중요성이 증가하고 있으며 저전압에서 고해상도를 얻을 수 있는 아날로그 디지털 변환기에 관한 연구가 활발히

이루어지고 있다.

아날로그 디지털 변환방식에서 높은 해상도를 얻기 위한 방법으로 시그마-델타 방식이 사용되고 있지만 변환 속도가 느린 단점을 가지고 있다. 따라서 고속 처리를 위해서는 일반적으로 높은 변환 속도를 얻을 수 있는 병렬방식을 사용하지만 높은 해상도를 얻기 위해서는 칩 면적과 소비전력이 증가하는 단점을 가지고 있다. 이러한 문제점을 해결하기 위하여 2단 구조나 파이프라인 구조가 고속 변환 방법으로 사용되고 있다. 2단 구조의 경우에도 높은 해상도를 얻기 위해서는 많은 수의 비교기 및 부가회로가 필요하게 되어 면적 및 소비전력이 많은 단점을 가지고 있다. 따라서 적은 면적에서 빠른 동작속도를 얻을 수 있는 파이프라인 구조가 사용되고 있다. 파이프라인 구조는 비교기의 수를 현저하게 줄일 수 있으며 빠른 동작 속도를 얻기 위해서 병렬 구조의 파이프라인 방식을 사용하고 있다. 병렬 구조를 사용할 경우, 빠른 동작 속도를 얻을 수 있지만 각 채널간의 매칭에 기인한 해상도 저하를 가져오게 된다.^{[1]-[3]}

본 논문에서는 기존의 파이프라인 아날로그 디지털 변환기의 속도를 향상시키기 위하여 파이프라인 변환기의 속도에 영향을 크게 미치는 샘플/홀드 회로를 병렬로 연결하여 고속 변환 특성을 가질 수 있는 파이프라인 아날로그 디지털 변환기를 설계하였다.

II. 제안된 아날로그 디지털 변환기

일반적인 파이프라인 아날로그 디지털 변환기의 처리속도는 샘플/홀드 회로에 의해서 크게 영향을 받게 된다. 특히 고속의 데이터 처리가 요구되는 응용 분야에서는 샘플/홀드 회로가 처리 속도를 제한하는 요소가 되며 사용되는 샘플/홀드 회로를 설계하는데 많은 어려움을 가지게 된다. 이러한 문제를 해결하기 위하여 그림 1과 같이 여러 개의 샘플 홀드 회로를 이용하여 병렬 샘플/홀드 회로를 구성하였다.

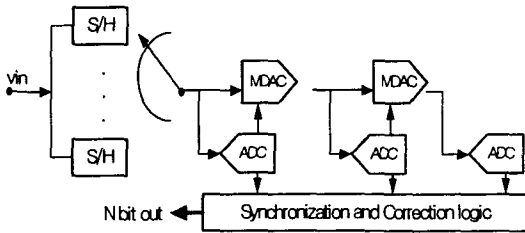


그림 1. 파이프라인 아날로그 디지털 변환기 블록도

N개의 샘플/홀드 회로를 이용하여 회로를 구성할 경우 각각의 샘플&홀드 회로에서는 f_s/N 의 처리속도를 갖기 때문에 회로 설계시 유연성을 가질 수 있으며 처리 속도를 향상시킬 수 있다. 또한 회로의 소비전력을 감소시키기 위해서 리셋 기간에(reset period)에 정적 전류(static current)를 차단할 수 있도록 래치형 비교기를 설계하였다.

III. 구성회로

3.1 샘플/홀드 회로

샘플/홀드 회로는 파이프라인 아날로그 디지털 변환기의 입력을 받아들이는 부분으로 파이프라인 아날로그 디지털 변환기의 해상도를 결정하게 되므로 높은 정확도가 요구된다. 일반적으로 스위치와 커패시터로 샘플/홀드 회로를 구성할 경우 높은 해상도를 얻을 수 없으므로 증폭기를 이용하여 회로를 구성하게 된다.

본 논문에서는 소비전력을 최소화 할 수 있도록 그림 2와 같은 2개의 커패시터를 사용하는 구조로 설계 하였다. 그림2의 샘플/홀드 회로는 증폭기의 오피셋 제거가 가능한 구조이며 동작은 두개의 비중첩 클럭(nonoverlapping clock)을 사용하여 샘플링과 홀딩 동작이 이루어지며 ①번 스위치를 먼저 off시키는 방법으로 피드스루 오차를 줄일 수 있다.

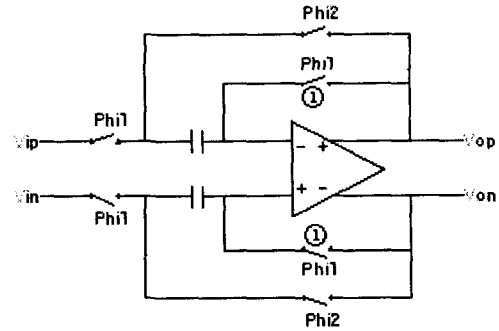


그림 2. 샘플/홀드 회로

그림 3은 설계된 샘플/홀드 회로에 대한 주파수 특성을 시뮬레이션 한 결과를 보이고 있다.

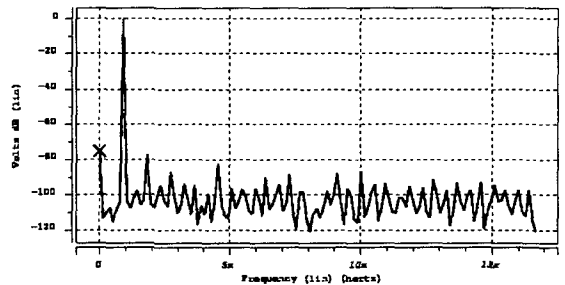


그림 3. 샘플/홀드회로의 주파수 특성

설계된 회로의 시뮬레이션결과 12비트의 유효비트 특성을 나타내었다.

3.2 비교기

비교기는 아날로그 디지털 변환기의 블록 중 상당한 부분을 차지하는 블록으로 속도와 소비전력을 고려하여 그림 4과 같은 래치형 비교기를 사용하였다.

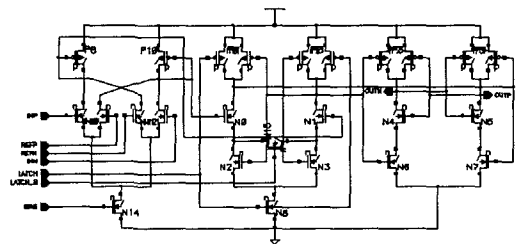


그림 4. 비교기 회로

본 논문에서 설계된 비교기는 차동 증폭기와 래치 블록으로 구성되어 있으며 차동증폭기에 의해서 증폭

된 신호는 CMOS 래치 블록에 의해서 큰 전압이득을 얻도록 하여 정확도와 빠른 동작속도를 얻도록 하였다. 래치 블록은 출력 상태가 바뀔 경우에만 전류가 흐르도록 정적인 전류를 차단하여 전력 소모를 최소화 하였다.⁽⁴⁾

그림 5은 설계된 완전자동 CMOS비교기에 대한 동작속도 및 해상도를 알아보기 위한 overdrive recovery 시뮬레이션을 수행한 결과를 보이고 있다. 시뮬레이션결과 설계된 비교기는 100MHz의 동작 주파수에서 8비트의 해상도를 얻는 정확한 동작이 이루어짐을 볼 수 있다.

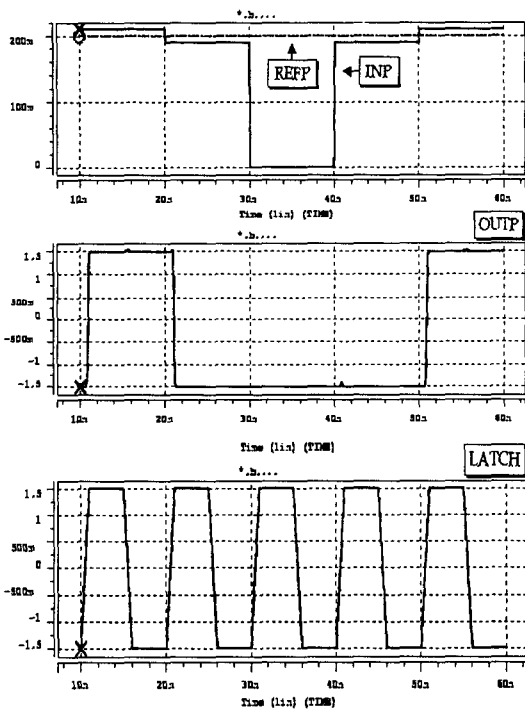
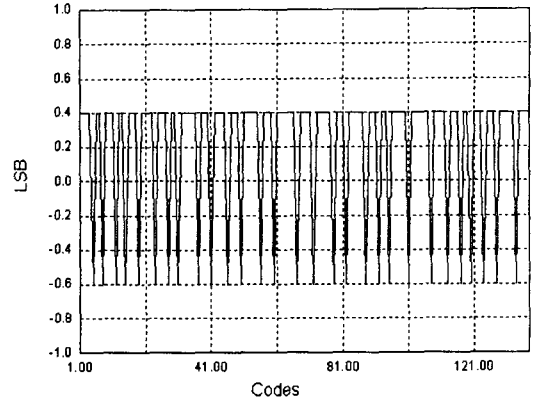


그림 5. 비교기 overdrive recovery test

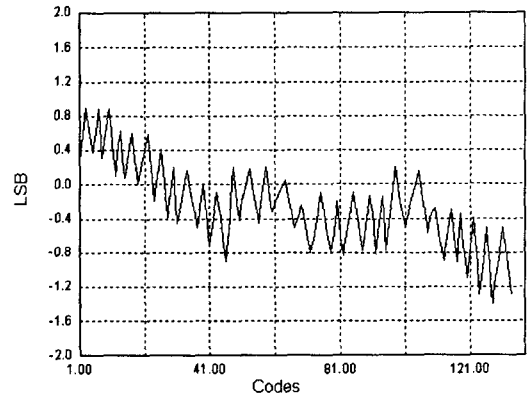
IV. 시뮬레이션

설계된 회로는 0.35 μ m CMOS 공정 파라미터를 이용하여 3V 전원의 8비트 파이프라인 CMOS 아날로그 디지털 변환기를 설계하여 HSPICE 시뮬레이션 하였다. 그림 6은 설계된 파이프라인 아날로그 디지털 변환기의 INL과 DNL을 측정한 결과를 보이고 있으며 그림 7은 램프 입력에 대한 출력값을 나타내고 있다.

시뮬레이션 결과 DNL은 +0.4LSB~-0.6LSB, INL은 0.9LSB~-1.4LSB의 특성을 나타내었다.



(a) DNL



(b) INL

그림 6. 아날로그 디지털 변환기의 동적 특성

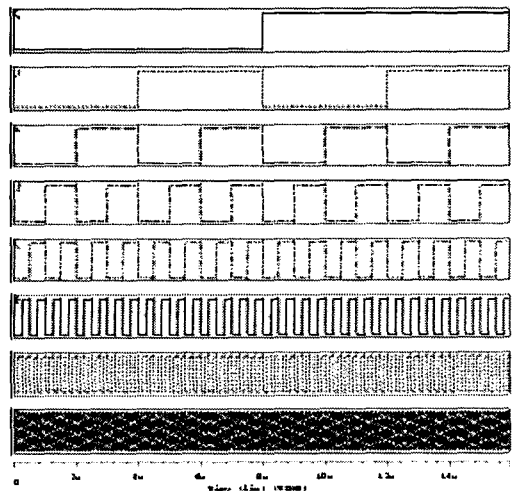


그림 7. 램프 입력에 대한 출력값

V. 결론

본 논문에서는 파이프라인 아날로그 디지털 변환기의 동작을 높이기 위한 병렬 샘플/홀드를 갖는 파이프라인 아날로그 디지털 변환기를 제안하였다. 제안된 파이프라인 아날로그 디지털 변환기는 N개의 샘플/홀드 회로를 병렬로 연결하여 샘플/홀드 회로 설계 시 유연성을 가질 수 있으며 전체 시스템의 처리 속도가 향상되었다. 제안된 파이프라인 아날로그 디지털 변환기는 $0.35\mu\text{m}$ CMOS 공정 파라미터를 이용하여 HSPICE로 시뮬레이션 하였으며 8비트의 해상도에서 DNL은 $+0.4\text{LSB} \sim -0.6\text{LSB}$, INL은 $0.9\text{LSB} \sim -1.4\text{LSB}$ 의 특성을 나타내었다.

참고문헌

- [1] Kevin M. Daugherty, *Analog-to-Digital Conversion*, McGraw-Hill, 1995.
- [2] Michael J. Demler, *High-Speed Analog-to-Digital Conversion*, Academic Press, 1994.
- [3] Behzad Razavi, *Principles of Data Conversion System Design*, IEEE Press, 1995.
- [4] B. Razavi and B. Wooley, "Design Techniques for High-Speed, High-Resolution Comparator," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1916-1926, Dec. 1992.