

# 부궤환 클럭회로에서의 one-cycle lock acquisition 기법

진수중, 이주애, 이지행, 조용기, 김대정, 민경식, 김동명

국민대학교, 전자정보통신공학부  
전화 : 02-910-4704 / 핸드폰 : 011-9962-1609

## One-Cycle Lock Acquisition Scheme for Negative Feedback Loops

Sujung Jin, Ju-Ae Lee, Ji-hang Lee, Yong-Ki Cho, Daejeong Kim, Kyeong-Sik Min, and Dong Myong Kim

Kookmin University  
E-mail : belljin@lycos.co.kr

### Abstract

This paper proposes a phase-locked loop (PLL) that achieves one-cycle lock acquisition by employing the lock-acquisition circuit (LAC). The LAC produces the initial analog voltage ( $v_c$ ) that corresponds to the input frequency. When the transfer curve of the LAC matches that of the voltage-controlled oscillator (VCO), one-cycle locking can be possible. By HSPICE simulations, the proposed LAC is proved to be applicable to any kinds of PLL [1][2][3].

circuit (LAC)를 이용해서 앞에서 언급한 charge-pump PLL 의 설계시 필수 고려사항인 주파수 대역폭과 locking 속도의 관계를 모두 만족할 수 있는 새로운 PLL 을 제안한다.

### II. 본론

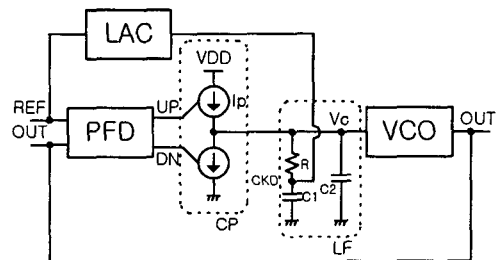


그림 1. 제안하는 one-cycle lock acquisition scheme

### I. 서론

이동통신용 멀티미디어 시스템을 고려한 phase-locked-loop (PLL)의 주파수 대역폭은 잡음, 속도, 회로의 안정도 모두를 고려하여 설계해야 한다. 좁은 주파수 대역폭을 선택하면, 입력신호의 잡음과 회로의 안정도는 보장이 되지만, PLL 의 locking 속도와 (VCO)에서 생성되는 잡음에는 취약하다. 따라서 시스템 사양을 고려하여 주파수 대역폭과 PLL 의 locking 속도 문제를 보완해야 한다[2]. 본 논문에서 제안하는 PLL 은 lock-acquisition

본 논문에서 제안하는 PLL 은 그림 1 과 같이 charge-pump PLL 과 LAC 로 구성된다. 그림 1 에서 초기 PLL 의 lock acquisition 과정을 살펴보면, loop filter 의 캐패시터에 저장되어 있는 전압  $v_c$  에 의해 VCO 의 출력주파수가 결정되고, phase-frequency detector (PFD)는 출력주파수와 입력주파수를 비교하여 UP 신호와 DN 신호를 생성한다. 이 신호들은 charge-pump 블록에서 duty 비에 비례하게 전류  $I_p$  을 생성하고, loop filter 의 캐패시터에

전하를 충전한다. 이 충전된 전하들이 loop filter 의 전압  $v_c$  을 생성하여 VCO 의 출력주파수를 결정한다. 결과적으로 초기 출력주파수와 입력주파수의 차이가 PLL 의 초기 lock acquisition 을 결정한다. 하지만 초기 캐패시터에 저장되어 있는 전압  $v_c$  을 정확하게 알지 못하기 때문에 PLL 의 초기 lock acquisition 과정은 loop filter 의 캐패시터에 저장되어 있는 전압  $v_c$  에 따라 달라진다. 만약 입력주파수와 VCO 의 초기 출력주파수의 차이가 크면 PLL 의 lock acquisition 시간은 길어진다[1][2].

본 논문에서 제안하는 LAC 는 loop filter 의 캐패시터에 저장되는 전압  $v_c$  을 입력주파수에 따라 충전하여 PLL 의 초기 lock acquisition 과정에서 발생하는 시간지연을 해결한다. 만약 LAC 의 입력주파수대 출력전압의 곡선이 VCO 의 이득곡선과 일치한다면 이론상으로 제안하는 PLL 은 one-cycle lock acquisition 을 갖는다.

### 2.1 LAC 의 기본 구성

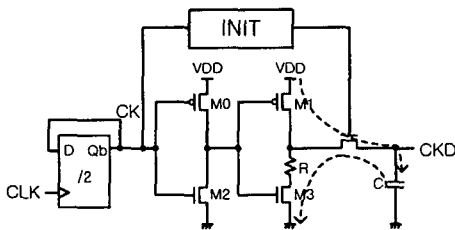


그림 2. LAC 블록도

LAC 는 그림 2 와 같이 크게 입력주파수의 duty 비를 고려한 2분주 회로와 LAC 동작구간을 설정해주는 INIT 블록, 그리고 입력주파수에 해당하는 아날로그 전압으로 바꾸어 주는 블록으로 나뉜다. 그림 2 에서 CK 가 HIGH 구간 동안에 전압을 충전하고, CK 가 LOW 구간 동안에 충전되어 있는 전압을 M3 트랜지스터와

저항을 거쳐서 방전한다. 이때 CK 가 LOW 구간 동안에 방전된 전압 CKD 는 PLL 의 입력주파수와 VCO 의 출력주파수가 일치하게 하여 PLL 의 one-cycle lock acquisition 을 갖게 한다.

### 2.2 INIT 블록의 회로설계

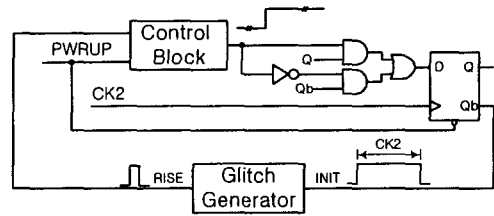


그림 3. INIT 블록도

그림 3 는 LAC 을 조절하기 위한 부분인 INIT 블록의 기본 구성도이다. INIT 는 LAC 의 동작구간을 설정해주는 블록으로서, 크게 control 블록, 신호발생블록 그리고 동작구간을 설정해주는 블록 크게 세 부분으로 나뉜다.

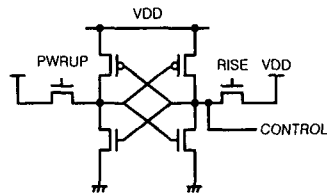


그림 4. CONTROL 회로도

먼저 CONTROL 블록은 그림 4와 같이 기본적인 latch 구조로써 PWRUP 신호에 의해서 출력신호 CONTROL 이 LOW 상태를 유지하다가 RISE 신호에 의해서 출력신호가 HIGH 상태로 반전되어 LAC 의 동작구간을 설정해주는 기준이 된다.

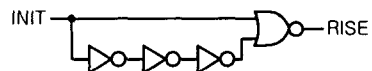


그림 5. RISE 신호 발생기의 회로도

다음으로 RISE 신호 발생기는 INIT 신호의 구간을 설정해 주는 신호이다. 그림 5 는 RISE 신호 발생기의 회로도이다.

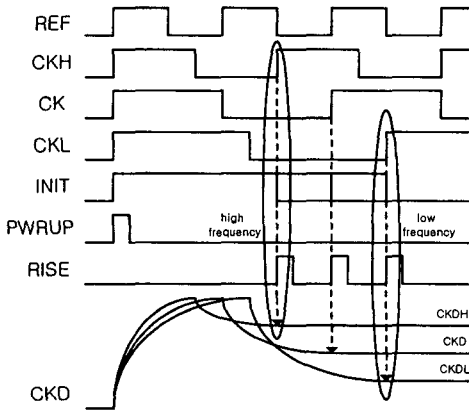


그림 6. LAC 의 타이밍도

그림 6 은 LAC 의 타이밍도이다. LAC 의 동작주파수는 PLL 의 입력주파수를 2 분주한 CK 를 기본주파수로 한다. 입력주파수의 duty 비를 고려하지 않는다면 설계자가 원하지 않은 전압으로 loop filter 의 전압이 충전되거나 방전되기 때문에 2 분주한 회로로 duty 비를 맞추었다. 그림 3 의 타이밍도에서 입력주파수가 높으면 방전되는 양이 적어져 CKDH 가 되고 반대로 입력주파수가 낮으면 방전되는 양이 많아져 CKDL 이 된다. 즉 LAC 는 입력주파수에 해당하는 아날로그 전압을 VCO 의 입력전압으로 조정하여 초기의 PLL lock acquisition 시간을 줄이는 역할을 한다.

### III. 시뮬레이션결과

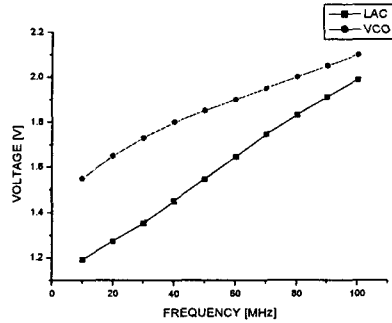


그림 7. LAC 와 VCO 의 이득곡선 결과

그림 7 은 LAC 와 VCO 의 이득곡선 그래프이다. 그래프에서 LAC 회로와 VCO 회로의 이득곡선의 오차가 발생하게 된다. 이는 VCO 의 이득이 커서 나타난 결과이다.

표 1 은 일반적인 PLL 과 LAC 를 사용한 PLL 의 acquisition time 을 비교한 표이다. 표에서 알 수 있듯이 LAC 를 사용한 PLL 이 사용하지 않은 PLL 보다 약 2 배~3 배정도 빠른 lock acquisition 을 갖는 것을 표를 통해서 확인할 수 있다. 하지만 낮은 주파수 대역에서는 그림 8 에서 VCO 와 LAC 의 이득곡선의 오차 때문에 많은 acquisition time 을 요구하는 것을 볼 수 있다.

표 1 일반적인 PLL 과 LAC 를 사용한 PLL 의 acquisition time 비교

FREQUENCY [MHz]	Acquisition time(PLL) [ns]	Acquisition time(LAC) [ns]
10	1600	1200
20	1100	500
30	700	300
40	580	270
50	520	200
60	500	200
70	470	200
80	450	200
90	420	200
100	400	200

#### IV. 결론

본 논문에서 제안한 LAC 를 이용해서 새로운 개념의 one-cycle lock acquisition 을 갖는 PLL 을 설계하였다. LAC 를 이용한 PLL 은 기존의 A/D 변환기와 D/A 변환기를 이용한 PLL 보다 회로가 간단하고, 작은 칩면적을 가지고 있다. 제안하는 LAC 를 적용한 PLL 을 0.35 $\mu$  m 표준 CMOS 공정에서 HSPICE 로 시뮬레이션하여 유용성을 검증하였다.

#### Acknowledgment

본 논문은 IDEC (IC Design Education Center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊은 감사 드립니다.

#### References

- [1] Sang Jun CHO and Daejeong KIM "A Frequency Detector for Frequency-to-Digital Conversion" Journal of the Physical Society, Vol. 37, No. 6, December 2000, pp. 812~815.
- [2] In-Chul Hwang, Sang-Hun Song "A Digitally Controlled Phase-Locked Loop with a Digital Phase Frequency Detector for Fast Acquisition" IEEE J.solid-state circuit, vol. 27, no. 12, pp. 1794-1798, Dec. 1992.
- [3] Raisanen-Ruotsalainen, E.; Rahkonen, T.; Kostamovaara, J. "An integrated time-to- digital converter with 30-ps single-shot precision" IEEE J. solid-state circuits. Vol 35, pp. 1507-1510, Oct .2002.