

# 진동성 신경회로망의 CMOS 회로설계

송한정  
충청대학 전자정보과

전화 : (043) 230-2272 / 핸드폰 : 019-9778-0202

## CMOS Circuit Design of a Oscillatory Neural Network

Han Jung Song  
Department of Electronic Engineering, Chung Cheong College  
E-mail : hjsong@ok.ac.kr

### Abstract

A oscillatory neural network circuit has been designed and fabricated in an 0.5  $\mu\text{m}$  double poly CMOS technology. The proposed oscillatory neural network consists of 3 neural oscillator cells with excitatory synapses and a neural oscillator cell with inhibitory synapse. Simulations of a network of oscillators demonstrate cooperative computation. Measurements of the fabricated chip in condition of  $\pm 2.5$  V power supply is shown.

### I. 서론

McCulloch 와 Pitts의 신경망 모델이래 수많은 연구가 영상처리, 음성인식 등 광범위하게 이루어져 왔다. 최근 연구결과 신경망의 기본 요소인 뉴런들이 진동성 오실레이터의 특성을 지니며 이러한 진동성 뉴런들이 신경망의 연산기능을 수행하게 되는 것으로 나타났다[1-4]. Freeman의 Victor 등의 연구결과들이 이러한 특징을 형상화한 신경망 모델에 해당한다고 할 수 있다[5,6]. 이 분야에 대한 아날로그 집적회로 구현에 대한 시도도 많이 이루어져 오고 있다[1-4]. 본 논문에서는 부성저항을 사용하는 뉴런 오실레이터[7]를 기본으로 하는 신경회로망을 CMOS 회로로 설계한다. SPICE 모의실험을 통하여 제안하는 신경회로망의 회로 해석을 실시하며 0.5  $\mu\text{m}$  2중 폴리 2중 금속 CMOS 공정으로 제작된 칩 측정결과를 분석한다.

### II. Neural oscillator cell 설계

그림 1에 2개의 콘덴서와 부성저항으로 이루어지는 neural oscillator cell[7] 을 나타내었다.

그림 1. 부성 저항을 이용한 neural oscillator cell  
여기에서 부성저항은 단방향성 비선형 CMOS 저항으로 출력 콘덕턴스를 통해 소모되는 전하를 보상해 주는 전하공급 소자 역할을 한다[7]. 이를 고려한 회로의 1차 미분 방정식은 다음과 같이 표현된다[7].

$$\begin{aligned} C \frac{dV_{out1}}{dt} &= g_m V_{out2} - g_o V_{out1} - i (= f(V_{out1} - V_{out2})) \\ C \frac{dV_{out2}}{dt} &= -g_m V_{out1} - g_o V_{out2} \end{aligned} \quad (1)$$

여기에서  $g_m$ ,  $g_o$ 은 각각 OTA의 트랜스콘덕턴스, 출력 콘덕턴스,  $V_{out1}$ ,  $V_{out2}$ 는 노드 전압을, C는 콘덴서 용량을 의미한다. 전형적인  $C=1$  pF,  $g_m=1$  uS,  $g_o = 50$  nS의 경우, 그림 2처럼 오실레이션이 일어난다.

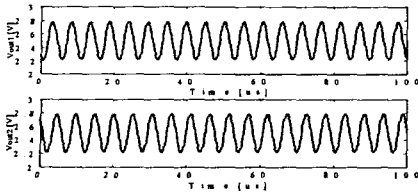
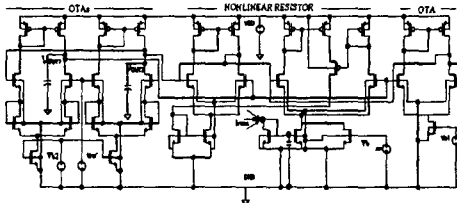
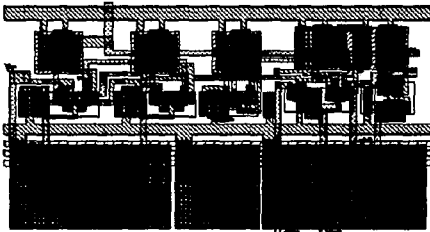


그림 2. 식 (1)의 MATLAB 모의실험

사용하는 neural oscillator cell의 회로가 그림 3에 보인다[7]. 전하 보상 소자 역할의 부성저항은 정귀환된 OTA와 바이어스 전류원인 bump 회로로 이루어지며, 그림에서 다이오드 연결 MOS와 콘덴서는 뉴럴 오실레이터의 summing 노드로 사용된다. 빠른 수렴을 위하여 또 다른 부귀환 OTA를 추가하였다.



(a) CMOS 회로도



(b) 칩 레이아웃

그림 3. CMOS neural oscillator 셀

제안하는 회로는 외부 바이어스 전압 또는 summing 전류 여부에 따라 오실레이션이 결정된다. 입력이 어떤 임계값보다 큰 경우에만 펄스 열이 생성된다. 그림 4에 제안하는 오실레이터의 SPICE 분석 결과가 나타나 있다. 입력 값의 유무에 따라 오실레이션 여부가 결정되는 것을 볼 수 있다.

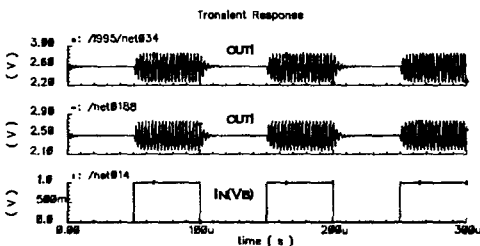
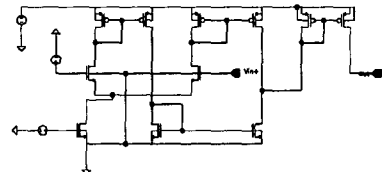


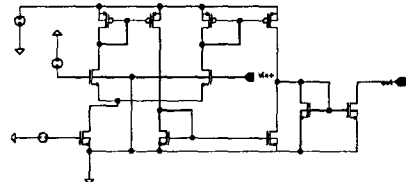
그림 4. neural oscillator cell의 SPICE 모의실험결과

### III. Neural oscillator cell을 이용한 simple network 설계

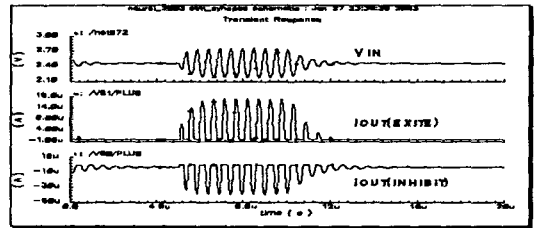
상기 부성저항을 이용한 neural oscillator는 neural network의 기본 요소로 사용될 수 있다. 먼저 본 논문 에 적합한 시냅스를 설계하였는데, 시냅스는 current source 또는 current sink를 지닌 wide-range OTA[8]로 이루어지며 전압 입력신호를 전과 정류된 전류 신호로 바꾸어주며 summing 회로로 연결된다. 그림 5는 설계된 흥분성 및 억제성 시냅스 회로[7,8]를 보여준다.



(a) 흥분성 시냅스 회로

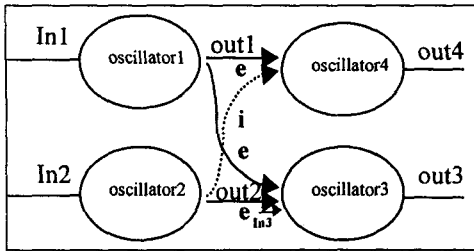


(b) 억제성 시냅스 회로



(a) SPICE 모의실험 결과

그림 5. 뉴럴 오실레이터의 시냅스 회로  
상기 뉴럴 오실레이터와 시냅스를 이용하여 그림 6과 같이 3개의 흥분성 시냅스와 1개의 억제성 시냅스로 연결된 단순 네트워크를 구성하였다.



e : excitatory, i : inhibitory

그림 6. 흥분성 및 억제성 시냅스를 지닌 단순 뉴럴 네트워크

외부 입력으로서 half-overlapped 50 khz (duty cycle 50 %) 구형파 펄스를 각각 In1,2에 인가하고, In3에 펄스 입력을 인가하였을 경우의 SPICE 모의실험 결과가 그림 7에 나타나 있다. 그림 7로부터 out1 과 out2 은 각각 오실레이터 1, 2의 출력을 나타내는데, 이는 입력 pulse 영역에서 진동함을 보여준다.

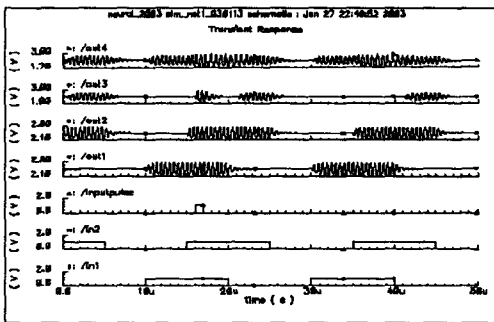


그림 7. neural network 회로의 SPICE 모의실험결과

흥분성 시냅스로만 연결된 오실레이터 3은 입력으로 들어오는 out1 또는 out2 중 하나라도 진동모드 상태에 있을 경우와 직접적인 입력 In3의 신호 여부에 따라 oscillatory 출력을(out3)을 나타낸다. 그러나 흥분성 시냅스와 억제성 시냅스로 연결된 오실레이터 4는 오직 오실레이터 1의 진동과 오실레이터 2의 무진동 모드에만 oscillatory 출력을(out4)을 나타낸다.

#### IV. 제작된 칩 측정

그림 6과 같은 시냅스 연결의 뉴럴 네트워크를 0.5  $\mu\text{m}$  2중 폴리 2중 메탈 CMOS 공정으로 제작한 칩사진을 그림 8에 나타내었다.

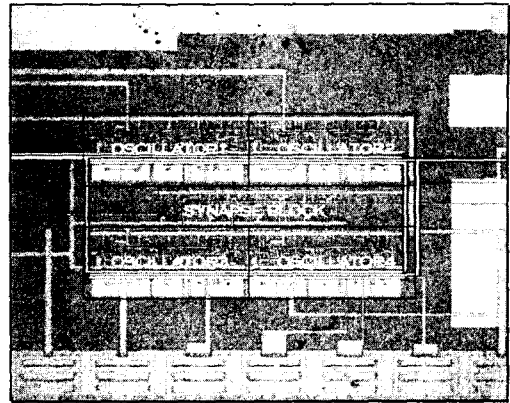
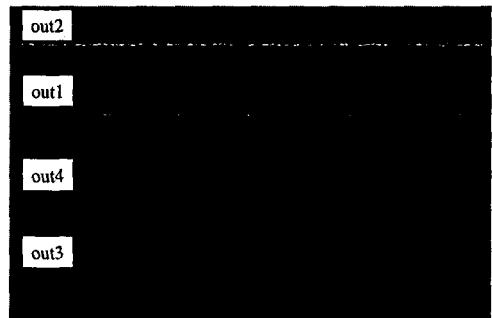
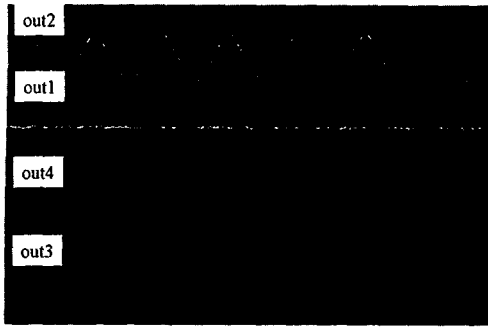


그림 8. 제작된 단일 뉴럴 오실레이터 칩

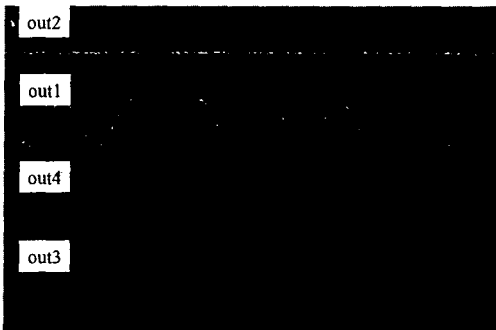
4개의 뉴럴 오실레이터와 3개의 흥분성 시냅스, 1개의 억제성 시냅스 연결을 보여준다. 칩의 핀 구성은 공급 전원 단자 Vdd 및 Vss, 2개의 입력단자, 4개의 출력단자 그리고 부성 저항의 바이어스 단자 Vb 등으로 구성된다. 그림 9에 칩 측정결과가 나타나 있다. 그림 7의 모의실험결과를 확인하기 위하여 입력 In1,2의 전압 존재 유무에 따라 출력 1,2,3,4가 어떻게 변하는지를 측정하였다. 그림 9(a)는 입력에 DC 전압을 0으로 했을 경우로 출력이 모두 0으로 나오며, (b)는 입력이 각각 0, 1인 경우, (c)는 입력이 각각 1,0인 경우, (d)는 입력이 각각 1, 1인 경우로 그림 7의 모의 실험에서의 출력 결과와 동일한 특성을 나타내고 있음을 알 수 있다.



(a) In1=In2=0



(b) In1=0, In2=1



(c) In1=1, In2=0



(d) In1=In2= 1

그림 9 제작된 neural network 칩 측정결과

## V. 결 론

3개의 흥분성 시냅스와 1개의 억제성 시냅스로 이루어진 뉴럴 네트워크를 0.5  $\mu\text{m}$  2중 폴리 2중 CMOS 공정으로 설계, 제작하였다. 제안한 회로는 부성저항을 이용한 뉴럴 오실레이터로 이루어지며 그 특성을 SPICE 모의실험을 통하여 분석하고 시냅스의 억제성

또는 흥분성 여하에 따른 상호영향을 분석하였다. 한편 제작된 칩을 입력 조건에 따라 출력이 djEJgrp 변하는지를 측정하여 모의실험결과와 비교, 분석하였다.

## 참고문헌

- [1] B. Linares-Barranco, E. Sanchez-Sinencio, A. Rodriguez-Vaquez, J.L. Huertas, " CMOS Analog Neural Network Systems based on Oscillatory Neurons ," *IEEE International Symposium on Circuits and Systems*, pp.2236 - 2239, May, 1992.
- [2] Y. Ota and B. M. Wilamowski, "CMOS implementation of a pulse-coded neural network with a current controlled oscillator," *IEEE International Symposium on Circuits and Systems*, Atlanta, GA, pp.410 - 413, May, 1996
- [3] Q. Luo, J.G. Harris. A novel neural oscillator and its implementation in analog VLSI, *IEEE International symposium on Circuits and Systems*, pp. 245-248, Australia, May 2001.
- [4] K. D. Neff, B. K. Meadows, E. A. Brown, S. P. DeWeerth, P. Hasler, A CMOS coupled nonlinear oscillator array, *IEEE International Symposium on Circuits and Systems*, pp. 301-304, Phoenix, Ariz, May 2002.
- [5] V. M. G. Tavares, J. C. Principe, J. G. Harris, "A silicon olfactory bulb oscillator", In *IEEE International Symposium on Circuits and Systems*, Geneva, Switzerland, May 2000.
- [6] W. J. Freeman, Y. Yao, B. Burke, "Central pattern generating and recognizing in olfactory bulb: A correlation learning rule", *Neural Networks*, vol. 1, pp. 227-288, 1988
- [7] 송한정 "가변 부성저항을 이용한 새로운 CMOS 뉴럴오실레이터의 집적회로 설계 및 구현", *대한전자 공학회 논문지*, 제 40권 SC편 제 4호, pp. 51-57, 7월 2003.
- [8] Carver Mead, *Analog VLSI and neural systems*, Addison-wesley publishing company, 1989.